

새로운 정전용량 계산식을 이용한 대면적 · 고화질 TFT-LCD의 화소 특성 시뮬레이션

Simulations of Pixel Characteristics for Large Size and High Quality TFT-LCD using a new sophisticated Capacitance Formulas

윤영준, 정순신, 김태형, 박재우, 최종선
홍익대학교 전자전기공학부

Young Jun Yun, Soon Shin Jung, Tae Hyung Kim, Jae Woo Park, Jong Sun Choi
School of Electronics and Electrical Eng., Hong-Ik Univ.

Abstract

An active-matrix LCD using thin film transistors (TFTs) has been widely recognized as having potential for high-quality color flat-panel displays. Pixel-Design Array Simulation Tool (PDAST) was used to profoundly understand the gate signal distortion and pixel charging capability, which are the most critical limiting factors for high-quality TFT-LCDs. Since PDAST can simulate the gate, data and pixel voltages of a certain pixel on TFT array at any time and at any location on an array, the effect of the new set of capacitance models on the pixel operations can be effectively analyzed. The set of models which is adopted from VLSI interconnections calculate more precise capacitance. The information obtained from this study could be utilized to design the larger area and finer image quality panel.

1. 서론

최근 정보화시대가 되어감에 따라 고화질과 대면적의 평판 디스플레이에 대한 요구가 점점 증가하고 있고, 그 결과 여러 가지 평판 디스플레이 기술에 대한 연구와 개발이 활발히 진행되고 있다. 이들 중 가장 우수하고 널리 사용되고 있는 것은 비정질 실리콘 박막트랜지스터(TFT)를 스위칭소자로 사용하는 액정 표시 장치(TFT-LCD)이다. 본 연구에서는 TFT-LCD의 동작 특성에 중요한 영향을 끼치는 요소 중의 하나인 정전용량에 대하여 연구하였다. 이전의 정전용량 계산방법은 corner effects나 edge effects와 같은 fringe 효과를 고려하지 않았기 때문에 정확한 화소의 전압을 구할 수 없었다. 그래서 본 연구에서는 VLSI에서 쓰이는 interconnection capacitance model을 적용했고, 그 결과 좀 더 정확한 정전용량을 구할 수 있었다. 본 연구에서 적용한

analytical model은 매우 정확하지만 복잡하고 시간이 많이 걸리는 numerical model과 거의 동일한 결과를 보여주고 있다.¹ 이렇게 새롭게 구해진 정전용량을 이용해서 TFT 어레이의 어떤 위치, 어떤 시간에서도 게이트, 데이터 및 화소의 전압을 정확하게 계산할 수 있었다. 이렇게 얻어진 결과는 대면적 고화질 TFT-LCD의 설계와 제작에 일반적인 방향을 제시해 줄 수 있을 것이다.

2. Simulation 방법

TFT-LCD의 한 화소의 정전용량은 그림 1과 같이 액정용량(C_{LC}), 축적용량(C_s), 기생용량(C_{Gs}), 그리고 게이트·드레인과 화소전극 사이에 생기는 coupling 용량 등을 가진 등가회로로 나타낼 수 있다. 축적용량은 앞 화소의 게이트에 연결된 형태($C_{ST-On-Gate}$)이다. 시뮬레이션에 사용되었던 주요

파라메타의 종류와 그 값은 표 1에 보여주고 있다. 15인치 XGA급(1024×768) TFT-LCD를 기준으로 하여 0.5 cm²/V·s의 전계 효과 이동도와 채널의 폭/길이가 25/5 μm인 TFT를 가지고, 예전에 계산된 정전용량 값과 새롭게 계산된 정전용량 값 두 가지 경우로 (1000, 1000) 화소에서 시뮬레이션 하였다.

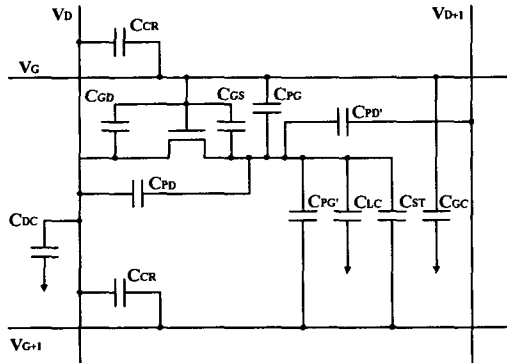


그림 1. 한 화소의 정전용량 등가회로

표1. 시뮬레이션에 사용된 파라메타의 종류와 값

항목	값	항목	값
대각크기	15"	게이트 전압	0~10 V
해상도	1024×768	데이터 전압	0~20 V
외관비	4 : 3	문턱전압	3 V
프레임 시간	16.667	전계효과이동도	0.5 cm ² /Vs
계조수	64	절연체 유전율	6.5
실리콘 두께	3000 Å	액정 유전율	9.8, 3.2
채널 폭	25 μm	채널 길이	5 μm
중첩 폭	25 μm	중첩 길이	3 μm
Inversion	Frame	Pixel의 위치	1000,1000

본 연구에서 새롭게 구한 정전용량은 데이터 배선과 게이트 배선 교차부의 용량, 액정 용량, 게이트 전극과 소오스/드레인 전극간의 중첩에 의한 기생용량, 공통 전극과 드레인/게이트 전극의 교차부에서 생기는 정전용량, 화소 전극과 드레인/게이트 전극의 coupling에 의해 생기는 정전용량이다.

지금까지 구해 오던 정전용량은 다음과 같이 간단한 식을 이용해서 계산했다.²

$$C = \epsilon \frac{S}{d}$$

위 식에서 ϵ 은 두 평행도체판 사이의 유전율, S는 도체판의 면적, d는 두 도체판 사이의 거리를 나타낸다. 이렇게 구한 정전용량은 끝 부분의 불 균일한 전하분포에 의한 영향을 취급하지는 않기 때문에 정확한 정전용량을 구하는데는 다소 부족한 면이 있었다. 그래서 본 연구에서는 VLSI에서 사용되어지는

interconnection capacitance model을 사용하였다.

첫 번째로 데이터 배선과 게이트 배선 교차부의 정전용량을 구하였는데, 이 때는 그림 2와 같이 두 개의 라인이 교차되는 구조의 수식을 사용하였다.³

$$\begin{aligned} \frac{C}{\epsilon_{ox}} &= 3.285 \times \left(\frac{W_1 \times W_2}{H_2} \right) \\ &+ W_1 \times \left(4.505 \times \frac{T_2}{T_2 + 0.2 \times H_2} - 0.438 \times \left(\frac{T_2}{T_2 + 0.2 \times H_2} \right)^2 \right) \\ &+ W_2 \times \left(4.505 \times \frac{T_1}{T_1 + 0.2 \times H_2} - 0.438 \times \left(\frac{T_1}{T_1 + 0.2 \times H_2} \right)^2 \right) \\ &+ 1.532 \times \left(T_2 \times \left(\frac{W_1}{W_1 + 0.5 \times H_2} \right)^{2.56} - T_1 \times \left(\frac{W_2}{W_2 + 0.5 \times H_2} \right)^{2.54} \right) \end{aligned}$$

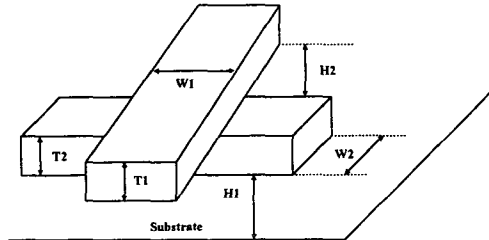


그림 2. 다른 층으로 서로 교차되는 전극 구조

그 다음으로 액정 용량을 구하였는데, 액정의 용량은 그림 3과 같이 공통전극 위에 한 개의 유한한 길이를 가지는 전극이 있는 구조를 적용하였다.⁴

$$\frac{C_p}{\epsilon_{ox}} = 1.15 \times \frac{S}{H} + 1.40 \times \left(\frac{T}{H} \right)^{0.222} \times D + 4.12 \times \left(\frac{T}{H} \right)^{0.728} \times H$$

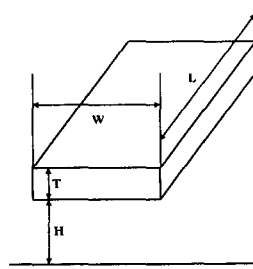


그림 3. 한 개의 일정한 길이의 전극이 있는 구조

세 번째로는 게이트 전극과 소오스/드레인 전극간의 중첩에 의해 생기는 기생용량을 구하였는데, 이 때 적용한 구조는 그림 4와 같다.³

$$\begin{aligned} \frac{C}{\epsilon_{ox}} &= 1.25 \times \left(\frac{W_1 - S_{ov}}{H_1 + H_2 + T_2} \right) \\ &+ 2.919 \times \left(\frac{T_1}{H_1 + H_2 + T_2} \right)^{0.25} + 0.906 \times \left(\frac{S_{ov}}{H_2} \right) \\ &+ \left[0.198 \times \left(\frac{T_1}{W_2 - S_{ov} + 1} \right) - 0.447 \times \left(\frac{T_1}{W_2 - S_{ov} + 1} \right)^2 + 2.514 \right] \end{aligned}$$

$$\times \left(\frac{T_2}{W_1 - S_{ov} + 1} \right) - 2.883 \times \left(\frac{T_2}{W_1 - S_{ov} + 1} \right)^2 \left] \times \left(\frac{H_1}{H_2} \right)^{0.649}$$

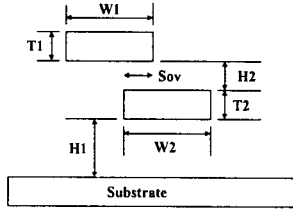


그림 4. 다른 두 평행한 전극이 중첩되는 구조

네 번째로는 게이트 전극과 공통전극, 그리고 데이터 전극과 공통전극 사이의 정전용량을 구하였고, 이때 사용한 구조는 그림 5와 같다.⁴

$$\frac{C}{\epsilon_{ox}} = 1.15 \times \left(\frac{W}{H} \right) + 2.80 \times \left(\frac{T}{H} \right)^{0.222}$$

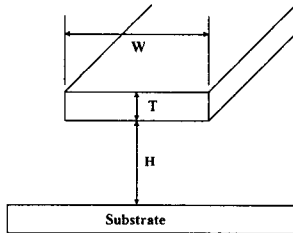


그림 5. 공통전극 위에 무한한 길이의 전극 구조

마지막으로 crosstalk를 구하기 위해 반드시 필요한 화소전극과 데이터 전극, 화소전극과 게이트 전극간의 coupling 정전용량을 구했다. 이때는 그림 6과 같이 두 개의 전극이 공통전극 위에 있는 구조를 사용하여 정전용량을 계산하였다.⁵

$$\frac{C}{\epsilon} = 1.064 \left(\frac{T}{S} \right) \left(\frac{T+2H}{T+2H+0.5S} \right)^{0.635} + \left(\frac{W}{W+0.8S} \right)^{1.4148} \left(\frac{T+2H}{T+2H+0.5S} \right)^{0.804} + 0.831 \left(\frac{W}{W+0.8S} \right)^{0.055} \left(\frac{2H}{2H+0.5S} \right)^{3.542}$$

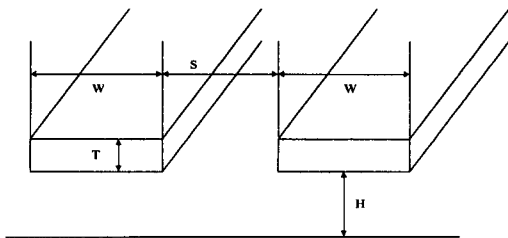


그림 6. 두 개의 전극이 공통전극 위에 있는 구조

3. Simulation 결과

위의 계산식 중, 마지막으로 구한 화소전극과 데이터/게이트 전극간의 coupling 정전용량 식을 적용하기 전에 그림 6의 구조를 이용해서 coupling 정전용량을 두 전극사이의 거리와 전극의 폭의 함수로 시뮬레이션 해보았다. 그 결과를 그림 7과 그림 8에 나타내고 있는데, 결과 값이 문헌상의 결과와 거의 일치함을 보여주고 있다.^{6, 7, 8} 여기서 두 전극 사이의 간격이 감소할수록 정전용량은 증가함을 알 수 있었고, 또 전극의 폭이 증가할수록 정전용량도 따라서 증가함을 알 수 있었다. 이 사실은 TFT-LCD가 고해상도 대화면적으로 갈수록 coupling 정전용량이 증가되고, 그 결과 crosstalk가 더 크게 일어날 것이라는 사실을 말해주고 있다.⁸

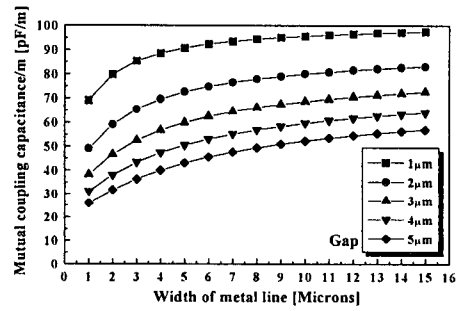


그림 7. 전극의 폭에 따른 정전용량

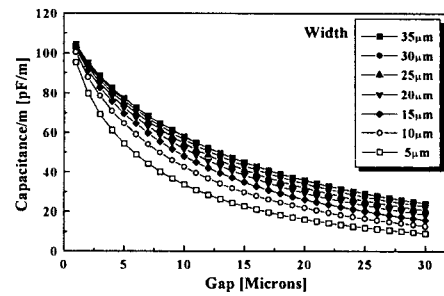


그림 8. 두 전극사이의 거리에 따른 정전용량

이전의 정전용량 계산식과 본 연구에서 제안한 정전용량 계산식을 이용하여 구한 정전용량 값을 표 2에 나타내었다. 새롭게 구한 정전용량 값은 끝 부분의 불균일한 전하분포에 의한 영향을 포함하였기 때문에 이전의 계산 값보다 다소 큰 값을 나타낼 수 있었다. 이렇게 구해진 정전용량 값을 가지고

(1000, 1000) 화소에서의 게이트 전압, 데이터 전압, 화소의 전압 특성을 PDAST를 이용해 시뮬레이션해서 그림 9, 10에 각각 나타내었다. 데이터를 살펴보면 충전의 단순한 정전용량 모델과 새로운 정전용량 모델과는 다른 결과 값을 나타냄을 알 수 있었다. 이 결과는 정전용량 값의 증가로 신호지연이 증가함을 말해주고 있다.

표 2. 계산식에 따른 정전용량 비교

정전용량 [pF]	전 계산식	새 계산식
C_{cr}	0.020287	0.069258
C_{LC}	0.290713	0.374793
C_{DC}	0.263013	0.285930
C_{GC}	0.211558	0.222179
C_{GS}	0.015304	0.015883
C_{PD}	-	0.013711
C_{PG}	-	0.004171
C_{PD}'	-	0.016457
C_{PG}'	-	0.005261

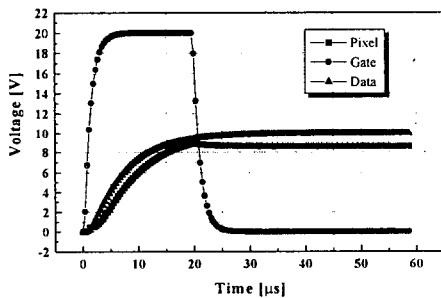


그림 9. 기존의 계산식에 의한 정전용량에 따른 (1000, 1000) 화소에서의 충전 특성

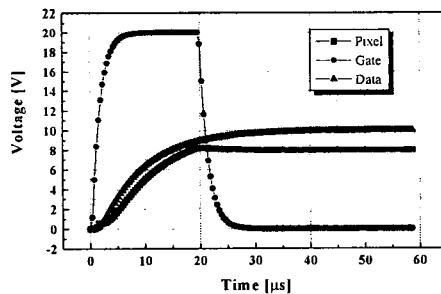


그림 10. 새로운 계산식에 의한 정전용량에 따른 (1000, 1000) 화소에서의 충전 특성

5. 결론

본 논문에서는 이전의 끝 부분의 불 균일한 전하 분포에 의한 영향을 취급하지 않는 정전용량 계산식 대신에 VLSI에서 적용되어지는 정전용량 모델을 사용해서 좀 더 정확한 정전용량 값을 구해낼 수 있었다. 이렇게 구해진 정전용량 값을 화소-설계 어레이 시뮬레이션 도구인 PDAST에 적용함으로써 이전의 방법보다 더욱 정확한 화소의 전압을 구해 낼 수 있었다. 앞으로는 실제의 측정 데이터와 시뮬레이션된 데이터를 비교·분석할 필요가 있다.

본 논문은 통상산업부와 과학기술처에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

참고 문헌

- [1] Albert E. Ruehli, Capacitance Models for Integrated Circuit Metallization Wires, IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 6, pp.530-536, 1975.12.
- [2] William H. Hayt, Jr., Engineering Electromagnetics, McGraw-Hill, pp.144-150, 1989.
- [3] S.-C. Wong, Interconnection Capacitance Models for VLSI Circuits, Solid-State Electronics, Vol. 42, No. 6, pp.969-977, 1998.
- [4] T. Sakurai, Formulas for Two- and Three-Dimensional Capacitance, IEEE Trans. Electron Devices, Vol. ED-30, No. 2, pp.183-185, 1983.
- [5] J.-H. Chern, Multilevel Metal Capacitance Models for CAD Design Synthesis Systems, IEEE Electron Device Lett., Vol.13, No.1, pp.32-34, 1992.
- [6] Robert L. Wisnieff, Line Delay Capacitive Crosstalk Effects in TFT/LCDs, 1988 SID, pp.173-178, 1988.
- [7] R. L. Wisnieff, Gray Scale Fidelity of Thin Film Transistor Addressed Liquid Crystal Displays, Proceedings of the Conference Eurodisplay 1987 London, pp.59-62, 1987
- [8] F. R. Libsch, Understanding Crosstalk in High-Resolution Color Thin-Film-Transistor Liquid Crystal Displays, IBM Journal of Research and Development, Vol. 42, No. 3/4, pp.467-479, 1998.