99 춘계학술대회 논문집/PB-11(pp.501-504) 한국전기전자재료학회

CMP 연마를 통한 STI에서 결함 감소

A Study of Chemical Mechanical Polishing on Shallow Trench Isolation to Reduce Defect

백명기*, 김상용*, 김창일*, 장의구*
(Myoung-Kee Baek*, Sang-Yong Kim*, Chang-Il Kim*, Eui-Goo Chang*)

Abstract

In the shallow trench isolation(STI) chemical mechanical polishing(CMP) process, the key issues are the optimized thickness control within-wafer-non-uniformity, and the possible defects such as nitride residue and pad oxide damage. These defects after STI CMP process were discussed to accomplish its optimum process condition. To understand its optimum process condition, overall STI related processes including reverse moat etch, trench etch, STI filling and STI CMP were discussed. It is represented that the nitride residue can be occurred in the condition of high post CMP thickness and low trench depth. In addition there are remaining oxide on the moat surface after reverse moat etch. It means that reverse moat etching process can be the main source of nitride residue. Pad oxide damage can be caused by over-polishing and high trench depth.

Key words : chemical mechanical polishing(CMP;화학적 기계적 연마), shallow trench isolation(STI), nitride residue, oxide damage, end point detection(EPD)

1. 서 론

ULSI chip의 성능과 집적도를 향상시키기 위하여 MOSFET소자는 끊임없이 scale down되어 왔다. 그러나, local oxidation of silicon(LOCOS) isolation 구조에서는 bird's beak 현상이 존재하기 때문에 실제 소자의 활성영역이 이로 인하여 줄어들게 된다는 것이다.[1] 이러한 단점을 극복하기위하여 isolation 부분을 식각하여 trench를 형성하고 oxide를 증착한 후에 chemical mechaical polishing (CMP)을 통하여 평탄화하는 shallow trench isolation(STI) 기술이 도입되어지고 있다.[2] 초창기 planarization 공정은 평탄화를 위해 유동성이 많아서 부분적인 평탄화가 가능한 oxide막의 사용과 etch back을 통해 평탄화를 수행하였으나 이 공정은 그다지 훌륭한 광대역 표면 평탄화를 얻지는 못하고 부분적인 평탄화만을 얻을 수 있었다.[3] 최근 들어서 CMP가 광대역 평탄화를 하는데 뛰어난 효과를 나타내고 있으며, STI, interconnection 공정 등 다양하게 사용되고 있다. 그러나 STI 공정 중 다양한 공정 조건으로 인하여 여러 가지 문제점이 발생되고 있는데 그 중 nitride residue가 활성영역에 남는 것과 silicon 표면에 damage를 입는 등, 불필요한 defect가 나타나는 것이다.[4] 이러한 몇몇 문제점들은 STI가 LOCOS를 대체하기에 앞서 중점적으로 풀어야 할 과제라 할 수 있다.[5] 따라서 이번 연구에서는 defect 발생원인과 제거 방법에 대해서 알아보고자 한다.

* 중앙대학교 전기공학과
(서울특별시 동작구 흑석동 221,
Fax:02-812-9651 e-mail: bmgee@ms.cau.ac.kr)

2. 실험방법

본 실험에는 8인치 웨이퍼를 이용하였으며 CMP 연마장치로는 IPEC 472 POLISHER 시스템을 채택하였다. 연마 후 세척장비로는 VERTEQ사의 VcS A2S 시스템을 사용하였고 연마제는 CABOT사의 SS-25를 이용하였으며 연마패드로는 RODEL사의 IC1000/Suba4를 사용하였다. STI 공정을 위하여 실리콘 기판 위에 수십Å정도의 얇은 pad oxide를 올리고 다음으로 2000Å의 질화막을 증착하였다. 각각 실험을 위해서 다양한 trench 깊이의 etch를 실시한 후 9000Å APCVD-TEOS막을 증착하였으며 보다 뛰어난 연마조건을 얻기 위하여 reverse moat etch를 한 연후에 CMP를 통하여 연마를 실시하였다. STI CMP의 기계적 공정조건으로서 down force는 7psi, back pressure는 3psi, platen 속도는 32rpm, carrier 속도는 28rpm을 적용하였으며 oxide 제거율은 대략 2000Å/min을 얻었다.

3. 결과 및 고찰

3.1 Nitride residue와 trench depth의 관계 분석

Nitride residue의 발생현상과 trench 깊이와의 상호 연관성을 분석하기 위해서 이루어진 것으로 다음과 같은 값을 얻게 되었다.

표 1. Trench depth에 따른 nitride residue 형성 여부

Trench depth	Field Oxide	Nitride	Residue 형성 여부
4333	6170	1399	yes
4125	6170	1399	yes
4127	6170	1399	yes
4865	6170	1399	no
4667	6170	1399	no
4932	6170	1399	no
5023	6170	1399	no

표 1의 결과를 보면 trench 깊이가 4100Å부터 4300Å까지 nitride residue가 나타났는데 trench 깊이가 대체로 낮게 콘트롤된 지역이고 반면에 nitride residue가 발생하지 않은 지역은 4600Å부터 5000Å 정도로 발생지역에 비해 상대적으로 깊게 콘트롤된 지역임을 알 수 있다. 결과적으로 nitride residue는 trench 깊이에 따라 상당한 영향을 받는다는 것을 짐작할 수 있는데 양호한 shallow trench isolation을 얻기 위해서는 reverse moat etch 공정에서 trench를 식각할 때 좋은 균일도를 얻기 위해 상당한 주의를 가져야만 할 것으로 여겨진다. 효과적으로 nitride residue 생성을 억제하기 위해서는 5000Å정도로 trench를 콘트롤할 필요성이 요구되어진다. 그림 1과 그림 2는 nitride residue가 나타난 지역과 나타나지 않은 지역의 SEM 사진이다.

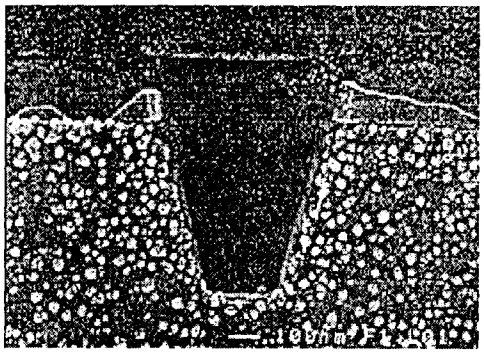

그림 1. Nitride residue 발생 지역

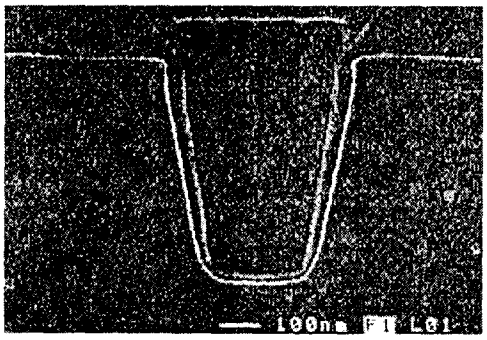

그림 2. Nitride residue가 나타나지 않은 지역

3.2 CMP 공정 중 생성 가능한 Capping Layer

CMP 공정 및 cleaning 공정에서 사용되는 연마제나 화학제의 영향으로 상호 반응에 의해 질화막 위로 어떤 capping layer가 형성될 수도 있다라고 예상할 수 있는데 만약 capping layer가 생성된다면 차후 공정인 nitride strip 공정시 보호막으로 작용하여 nitride residue를 남길 가능성이 매우 클 수 있다고 예상되어진다. 표 2는 각각 공정조건에 따른 결과 값이다.

표 2. 공정 후 Etch rate의 비교

Step	Sequence	Etch Rate (Å/min)
1	Polishing VcS SRD	46.23
2	Polishing HF SRD	46.15
3	Polishing Rinse SRD	46.09
4	Polishing VcS HF VcS SRD	46.24
5	VcS HF VcS SRD	46.71
6	No Process	47.12

각 단계에서 etch rate의 차이점이 발생한다면 CMP 공정과 cleaning 공정 후 capping layer가 생성된다라고 추측할 수 있을 것이다. 하지만, 표 3을 보면 매 단계의 etch rate의 차이가 거의 존재하지 않는다는 것을 알 수 있다. 이러한 점은 지금까지 우리가 예상했던 화학적 반응에 의한 새로운 막의 생성 가능성이 전혀 없다는 것을 의미한다. 이렇듯 CMP로 연마하는 동안에 사용되는 화학 연마제와 이러한 연마제 찌꺼기를 없애주기 위해서 사용되는 cleaning 작업을 통하여 어떤 화학반응이 일어날 수는 있으나 이러한 반응에 의하여 새로운 생성물이 발생하여 질화막위로 형성되지 않고 또 H_3PO_4를 통한 nitride strip 공정에도 아무런 영향을 주지 않는다는 것을 알 수 있었다.

3.3 Trench 깊이와 Post CMP Thickness 상호관계 에 다른 defect 생성

Trench 깊이에 따른 nitride residue는 매우 깊은 연관성이 있음을 살펴보았다. 따라서, trench 깊이에 의해 nitride residue 생성에 어떠한 영향을 주는가를 알아보고 post CMP thickness 높이에 따라서 어떤 결과를 얻을 수 있는가를 알아 볼 필요성이 있다. trench 깊이를 5000Å이하, 5000Å, 5000Å 이상으로 나누었고 post CMP thickness는 5500에서 6800Å까지 다양하게 설정하였다.

표 3. Trench depth와 post CMP thickness의 관계

Trench depth	Post CMP Thickness	Result	Remark
Low	6000Å	nitride residue	Normal CMP Thickness: 6000-6500 Normal Trench depth: 5000
Normal	6500Å	nitride residue	
High	5700Å	silicon damage	

표 3의 결과를 통하여 trench 깊이의 평균 이하에서 nitride residue 현상을 볼 수 있었는데, post CMP thickness가 6000Å이상이 되는 지점이면서 동시에 trench 깊이가 평균 기준인 5000Å에서 발생하는 것을 알 수 있었다. trench 깊이가 기준인 5000Å이라 할지라도 post CMP thickness가 6100Å 이상이 된다면 nitride residue가 생성된다는 것을 의미하는 것으로, post CMP thickness가 6100Å을 넘지 않도록 연마하는 것이 중요하다고 사료되어진다. 또한 여기서 주의해야 할 사항은 nitride residue 현상을 제거하기 위하여 trench 깊이를 6000Å으로 기준보다 깊게 한다면 STI CMP에서 thickness target을 5500Å이상으로 잡더라도 연마 후에 silicon damage 현상이 발생한다는 것이다.

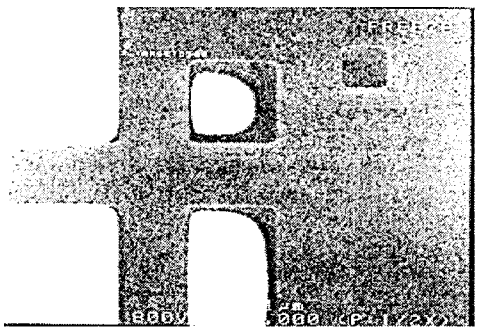

그림 3. Silicon damage 현상

그림 3을 통하여 이러한 현상을 직접적인 확인이 가능하였다. 이렇듯 silicon damage 현상이 생겼다면 pad oxide 손상도 생각해 볼 수 있으며 field oxide 또한 영향을 받아 정상적인 상태를 유지할 수 있겠는가 하는 문제가 발생하는데 그림 3으로 추정해 보면 큰 영향을 받았을 것으로 판단된다.

3.4 Reverse moat etch에서의 공정조건 변화

CMP를 효과적으로 하기 위하여 reverse moat etch공정을 하게 되는데 이때 etching 과정에서 oxide가 완전히 제거되지 않을 수 있다. moat 위에 남아 있는 oxide는 CMP 공정 후에도 계속 남아 nitride strip 공정시 방어막으로 작용하여 nitride residue를 남게 하는 원인이 된다. 이러한 현상을 알아보기 위해서 etching end point를 107%, 107%+5초, 107%+10초로 나누어서 실험을 하였다. 107%에서는 그림 1과 같이 oxide residue가 나타남을 알 수 있었으나 107%+5초에서는 oxide residue가 없었다. 또 107%+10초로 etching을 하였을 경우에는 그림 4와 같은 현상을 관찰할 수 있었다.

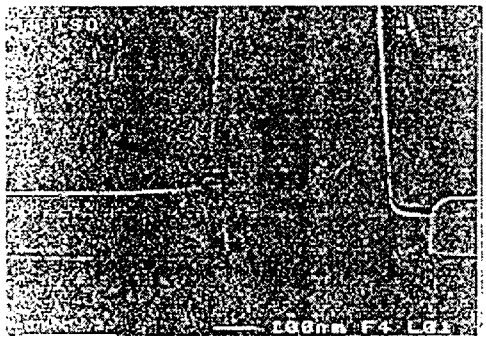

그림 4. EPD 107%+10초 Over-etch 후 SEM 사진

그림 4를 통하여 over etch에 의해 field attack으로 추정되는 field와 moat 의 경계지점에서 훼손현상을 볼 수 있었는데 그 정도가 그다지 심해 보이지는 않는다. 이러한 결과를 보면 nitride residue에 원인이 될 수 있는 oxide residue제거에 초점을 맞춘다면 EPD 107%+5초, 107%+10초로 over etch를 하는 것이 상당한 효과를 얻을 수 있음을 알게 되었다. 다만 EPD107%+10초의 경우에 발생 가능한 damage 현상에 관해서는 더 많은 연구가 필요하며 CMP 공정과 연관하여 공정 margin 확보를 위한 분석이 요구되고 있다.

4. 결 론

Nitride residue 발생에 영향을 주는 공정으로서 STI filling, reverse moat etch, STI CMP이라 할 수 있으며 문제점을 해결하기 위해서는 post CMP thickness와 STI trench 깊이를 조절함으로써 얻을 수 있으리라 생각된다. 또, reverse moat etch공정에서 oxide 제거는 필수적이라 할 수 있는데. EPD 107%+ 5초를 사용함으로써 가장 좋은 효과를 얻을 수 있었다. 여기서 중요한 점은 nitride residue이외에 silicon damage와 같은 defect도 고려해야 한다는 것이다. 낮은 trench 깊이와 높은 CMP thickness는 nitride residue를 생성함을 알 수 있었고 높은 trench 깊이와 over polishing은 silicon damage를 야기하였다. 이러한 두가지 factor의 콘트롤은 STI CMP 공정에서 매우 중요하다고 할 수 있겠다.

참 고 문 헌

[1] J Jui, *et al.*, "Scaling Limitations of Submicron LOCOS Technology," Tech. Dig. IEDM, p.392, 1985.

[2] H. Kim, *et al.*, "The effect of the pattern sensitivity on interlayer dielectric planarization," CMP-MIC, p.103, 1998

[3] C. Y. Chang and S. M. Sze, ULSI Technology, Macgraw-Hill company, p.427, 1996.

[4] J. Tony, *et al.*, "Planarization and integration of shallow trench isolation," VMIC, p.467, 1998.

[5] B. Withers, *et al.*, "Wide margin CMP for STI," Solid State Tech., p.173, 1998.