

P-채널 poly-Si TFT's의 Alternate Bias 스트레스 효과

Effect of Alternate Bias Stress on p-channel poly-Si TFT's

이제현, 변문기, 임동규, 정주용, 이진민, 김영호

J. H. Lee, M. G. Byun, D. G. Lim, J. Y. Chung, J. M. Lee, Y. H. Kim

수원대학교 전자재료공학과

Dept. of Electronic Materials Engineering, The University of Suwon

Abstract

The effects of alternate bias stress on p-channel poly-Si TFT's has been systematically investigated. It has been shown that the application of alternate bias stress affects device degradation for the negative bias stress as well as device improvement for the positive bias stress. This effects have been related to the hot carrier injection into the gate oxide rather than the generation of defect states within the poly-Si/SiO₂ under bias stress.

1. 서론

최근 다결정 실리콘 박막 트랜지스터 (polysilicon thin film transistors, poly-Si TFT's) 는 a-Si TFT's에 비해 동일한 기판에 LCD 구동회로를 집적화 할 수 있기에 가능한 저 소비전력과 소형화, 우수한 전기적 특성으로 인하여 많은 연구가 진행되어지고 있다. 그러나 poly-Si TFT's는 10V~30V 정도의 비교적 높은 구동전압 인가로 인하여 전기적 스트레스 현상이 발생하게 되며 이로 인한 구동회로용 poly-Si TFT's의 전기적 열화 현상이 장기적 신뢰성 문제에 있어 매우 심각한 문제점으로 대두되고 있다. 이와 같은 전기적 스트레스 효과의 원인으로는 hot-carrier 주입으로 인한 계면 준위 생성^{(1),(3)}, 게이트 산화막내로의 hot-carrier trapping⁽⁴⁾, poly-Si 박막내의 defect state 생성⁽²⁾ 등

이 제시되고 있으나 p-채널 poly-Si TFT'의 경우 전기적 스트레스인가에 따른 소자 특성 변화 현상의 지배적인 메카니즘 규명이 아직 미미한 것으로 알려져 있다.

따라서, 본 연구에서는 전기적 스트레스에 따른 전기적 특성변화를 체계적으로 해석하기 위하여 W/L=10 μ m/5 μ m인 p-채널 poly-Si TFT's를 제작한 후 negative bias 스트레스와 positive bias 스트레스를 교대로 인가하여 전기적 특성 변화에 따른 메카니즘을 규명하고자 한다.

2. 실험방법

본 연구에서는 저압 화학 기상 증착(LPCVD) 방법으로 550 $^{\circ}$ C에서 500A 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성 영역 층으로 사용하였다. 이때 반응 gas로는 100 % SiH₄를 사용하였으며, 증착시 진공도는 0.3 Torr, SiH₄ 유인량은

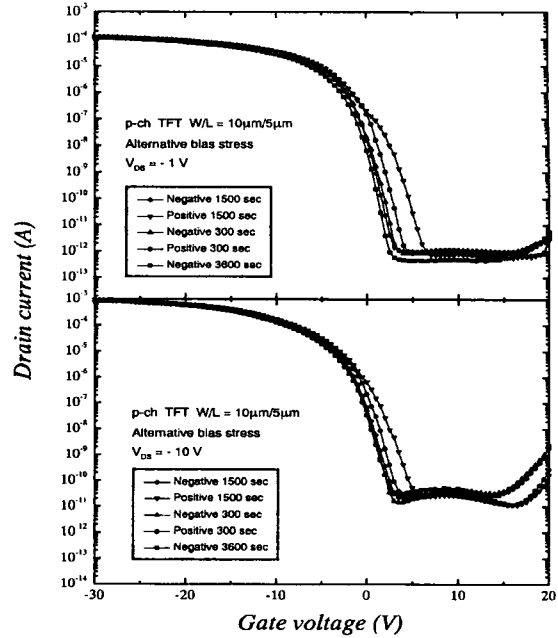
60 sccm (standard cubic centimeter), 증착률은 34 A/min로 유지하였다. Si 이온을 35 KeV, $1.1 \times 10^{15}/\text{cm}^2$ 의 조건으로 실리콘 박막에 이온 주입을 시킨 후 SPC(Solid Phase Crystallization)방법으로 580°C에서 48시간 동안 열처리하여 다결정 실리콘으로 고상결정화시킨 후 active 마스크를 이용하여 활성 영역층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950°C에서 1000Å 성장시켜 게이트 마스크를 사용하여 게이트 영역층을 정의한 후 P'를 소오스, 드레인, 게이트 영역에 이온 주입시켰으며 열산화 방법으로 순수 SiO₂ 막을 950°C에서 3500Å 두께로 증착 하였다. Contact 마스크를 이용하여 소스, 드레인, 게이트의 접촉점을 정의한 후 실리콘이 함유된 알루미늄을 DC magnetron sputtering 하여 전극을 증착한 후 metal 마스크를 사용하여 전극을 형성하고 450°C에서 1시간 열처리하여 p-채널 다결정 실리콘 박막 트랜지스터를 제작하였다. 제작된 소자에 negative bias stress($V_{GS} = V_{DS} = -20\text{V}$)와 positive bias stress($V_{GS} = +20\text{V}$, $V_{DS} = -20\text{V}$)를 교대로 인가하여 전기적 스트레스에 따른 전기적 특성 변화를 체계적으로 해석하여 poly-Si TFT's의 소자 특성 변화 메커니즘을 규명하였다.

3. 결과 및 고찰

Quartz wafer상에 제작된 p-채널 다결정 실리콘 박막 트랜지스터에 negative bias stress와 positive bias stress를 교대로 인가한 후 전기적 특성 변화를 Table. 1에 나타내었다.

Fig. 1은 poly-Si TFT's 소자에 negative bias stress($V_{GS} = V_{DS} = -20\text{V}$)와 positive bias stress($V_{GS} = +20\text{V}$, $V_{DS} = -20\text{V}$)를 교대로 인가한 후 $V_{DS} = -1\text{V}$ 와 $V_{DS} = -10\text{V}$ 일 때의 전기적 스트레스 시간에 따른 전형적인 $I_{DS} - V_{GS}$ 특성 곡선이다. Negative bias stress를 인가한 소자에 positive bias stress를 인가하면 게이트 산화막 내에 트랩되어 있던 정공⁽⁵⁾들이 detrapped되고 전자가 트랩 된다. 따라서 트랩된 정공들이 채널에 (-) 전하를 유도하여 발생하는 negative shift에 비해서 트랩

Fig. 1. The transfer characteristics at drain voltage $V_{DS} = -1\text{V}$, -10V of p-channel poly-Si TFT's with alternate bias stress.



된 전자는 채널에 (+) 전하를 유도하기 때문에 positive shift하게 된다. 여기에 다시 negative bias stress를 인가하면 다시 전자가 detrapped되고 정공이 trap되어 $I_{DS} - V_{GS}$ 특성 곡선은 negative shift 된다. Negative shift의 폭은 같은 시간 동안의 positive bias stress에 의한 positive shift 폭보다 작은 것으로 나타났다. 이는 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 전자에 비해 정공이 크기 때문이다.

Fig. 2은 negative bias와 positive bias를 순차적으로 인가한 후 $V_{GS} = 12.5\text{V}$, $V_{DS} = -10\text{V}$ 와 $V_{GS} = 17.5\text{V}$, $V_{DS} = -10\text{V}$ 일 때의 bias stress 시간에 따른 누설전류의 변화를 나타낸 것이다. Bias stress 조건이 변함에 따라 누설전류가 증감을 반복하는 형태를 나타내는데 이러한 결과는 전기적 스트레스로 인하여 poly-Si 박막 내에 생성되는 defect state 및 poly-Si/SiO₂계면에 발생하는 계면 준위 보다는 게이트 산화막에 주입되는 hot-carrier에 지배적으로 영향을 받는 것을 반증하는 것이다.

Fig. 2. Variation of leakage current for alternate bias stress poly-Si TFT's at $V_{GS} = 12.5\text{V}$, 17.5V with $V_{DS} = -10\text{V}$

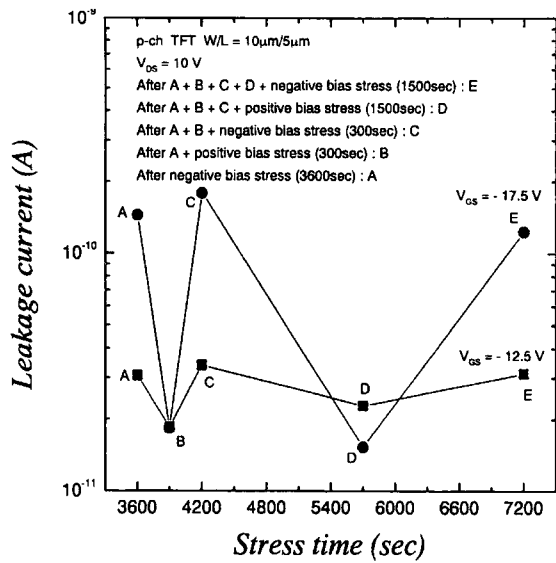


Fig. 3. Variation of threshold for alternate bias stressed poly-Si TFT's at $V_{DS} = -1$ V

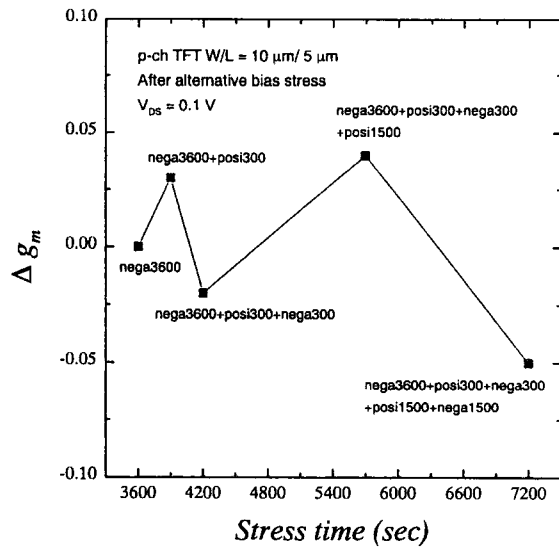


Table 1. Summary of device parameters of p-channel poly-Si TFT's after the alternative bias stress at room temperature.

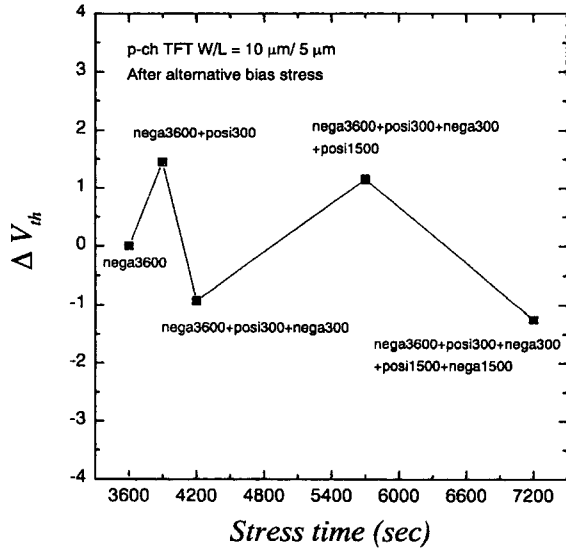


Fig. 4. Variation of transconductance for alternate bias stressed poly-Si TFT'S at $V_{DS} = -0.1$ V

stress time [sec]	Device Parameters			
	ΔV_{th} ($V_{DS} = -1$ V)	Δg_m ($V_{DS} = -0.1$ V)	I_{off} [pA] ($V_{DS} = -10$ V)	
			$V_{GS} = -10$ V	$V_{GS} = -20$ V
Nega (3600)	.	.	49.0	2280
+Posi (300)	1.45	0.03	26.0	272
+Nega (300)	-0.93	-0.02	35.9	1870
+Posi (1500)	1.15	0.04	26.6	162
+Nega (1500)	-1.25	-0.05	35.4	2150

변함에 따라 문턱전압의 증감이 반복되는 현상이 나타나는데 이는 positive bias stress를 인가하면 트랩된 전자가 채널에 (+)전하를 유도하기 때문에

채널을 형성하는데 필요한 게이트 전압이 유도된 (+)전하만큼 줄어지고 문턱전압이 감소하는 것을 나타낸다. 또한 negative bias stress를 인가한 경우 트랩된 정공이 (-)전하를 유도하기 때문에 이를 상쇄시키기 위하여 유도된 (-)전하량 만큼의 게이트 전압이 더 필요하게 되고 따라서 문턱전압이 증가하게 된다. 같은 시간 동안의 negative/positive bias stress 인가 후를 살펴보면 문턱전압의 변화 폭이 positive bias stress를 인가한 경우 더 큰 것을 알 수 있다. 이는 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 전자에 비해 정공이 크다는 것을 나타내는 결과이다.

Fig. 4는 negative bias stress와 positive bias stress를 교대로 인가한 후 bias stress 시간에 따른 g_m(transconductance)의 변화를 나타내는 것이다. Positive bias stress를 인가한 경우 g_m의 증가를 나타내는데 이는 게이트 산화막내에 트랩된 전자가 새널에 (+)전하를 유도하기 때문이다. 반면에 negative bias stress를 인가하면 g_m의 감소를 나타내는데 이는 트랩된 정공이 (-)전하를 채널에 유도하여 majority carrier인 정공의 이동도를 저해하는 것과 함께 전기적 스트레스로 인하여 다결정 실리콘 박막 내에 생성된 defect state 및 hot-carrier 주입에 따른 계면준위의 생성 때문으로 사료된다.

4. 결론

본 연구에서는 p-채널 poly-Si TFT's 소자를 제작한 후 전기적 스트레스에 의한 소자 특성 변화 메커니즘을 좀더 정확히 규명하기 위하여 negative bias stress($V_{GS} = V_{DS} = -20V$)와 positive bias stress($V_{GS} = +20V, V_{DS} = -20V$)를 교대로 인가하여 전기적 스트레스에 따른 전기적 특성 변화를 체계적으로 분석한 결과 negative bias stress인가로 발생하는 $I_{DS}-V_{GS}$ 특성곡선에서의 negative shift 폭이 동일한 시간동안의 positive bias stress에 의한 positive shift 폭보다 작은 것을 볼 수 있는데 이는 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 전자에 비해 정공이 크다는 것을 보여주는 결과이다. 또한 누설전류 및 g_m의 증감이 반복되는 형태로 나타나는데 이러한 결과는 전기적 스트레스로 인하여 발생하는 동작 특성 변화 메커니즘이 전기

적 스트레스에 의하여 poly-Si 박막 내에 생성되는 defect state 및 poly-Si/SiO₂ 계면에 발생하는 계면 준위 보다는 게이트 산화막에 주입되는 hot-carrier에 지배적인 영향을 받는 것으로 나타났다.

참고 문헌

1. J. R. Ayres and N. D. Young : *IEEE Proc. - Circuit Device Syst.* 141 (1994) 33
2. I.-W. Wu, W. B. Jackson, T.-Y. Huang, A. G. Lewis, and A. Chiang, "Mechanism of device degradation in n- and p-Channel polysilicon TFT's by electrical stressing" *IEEE Electron Device Lett.*, vol.11, no. 4, pp. 167-170, Apr.1990
3. G. Fortunato, A. Pecra, G. Tallarida, L. Mariucci, C. Rieta and P. Migliorato, "Hot-carrier effects in n-channel polycrystalline silicon thin-film transistors : A correlation variations," *IEEE trans. Electron Dev.* vol. 41, pp. 340, 1994
4. N. D. Young and A. Grill, "Electron trapping instabilities polycrystalline silicon thin-film transistors," *Semicond. Sci. Technol.*, vol. 5, pp. 72, 1990
5. 진교원, 박태성, 백희원, 이진민, 조봉희, 김영호. " p-채널 Poly-Si TFT's 소자의 Hot-Carrier 효과에 관한 연구 " 한국전기전자재료학회 vol. 11, No. 9, pp 683 ~ 686, 1998.