

# 초 박막 SOI MOSFET's의 Back-Gate Bias 효과

## Back-Gate Bias Effect of Ultra Thin Film SOI MOSFET's

이제혁, 변문기, 임동규, 정주용, 이진민, 김영호

J. H. Lee, M. G. Byun, D. G. Lim, J. Y. Chung, J. M. Lee, Y. H. Kim

수원대학교 전자재료공학과

Dept. of Electronic Materials Engineering, The University of Suwon

### Abstract

In this paper, the effects of back-gate bias on n-channel SOI MOSFET's has been systematically investigated. Back-gate surface is accumulated when negative bias is applied. It is found that the driving current ability of SOI MOSFET's is reduced because the threshold voltage and subthreshold slope are increased and transconductance is decreased due to the hole accumulation in Si body.

### 1. 서 론

최근 들어 bulk MOSFET의 규모가 점점 작아짐에 따라 n<sup>+</sup>-p간의 접합 기생정전용량등 여러기생효과가 심각하게 나타나는데, 이러한 기생효과를 줄이기 위한 새로운 제조 방법인 SOI (Silicon-On-Insulator) 기술에 많은 연구가 진행되어 지고 있다. SOI MOSFET의 경우 구조적으로 활성영역(active layer)이 기판으로부터 완전히 격리되어 있기 때문에 bulk MOSFET 보다 열전자 효과(hot-carrier effect)<sup>(2)</sup>, Latch-up, 몸체효과(body-effect)등이 현저히 억제되며, 접합면적의 감소로 인한 기생정전용량(parasitic capacitance)이 감소하여 SRAM, Microprocessor등 고속소자 및 회로 구성에 큰 이점을 갖는다<sup>(3)</sup>.

현재 SOI MOSFET에 대한 주된 연구는 실리

활성영역전면이 완전 공핍(Fully-Depleted)이 일어날 수 있으며, 전면과 후면 게이트 전압에 의한 전하 결합(charge coupling)현상<sup>(4)</sup>으로 인해 전기적 특성에 영향을 미친다. 따라서 본 논문에서는 전면 활성영역이 완전 공핍이 되도록 실리콘 막이 매우 얇은 완전 공핍형 4단자 SOI MOSFET을 제작하여, 후면 표면의 상태 변화에 따른 전기적인 특성을 분석하였다.

### 2. 실험방법

본 연구에서는 bonded etch back(BE) SOI 웨이퍼를 사용하여 4단자 n-채널 MOS 트랜지스터를 제작하였다. 기판과 소자를 절연시키기 위한 산화막(buried oxide)의 두께는 150nm로 정의하였으며 소자가 제작되어지는 활성영역(active layer)은 100nm, 게이트 산화막(gate oxide)의 두께는 10nm로 정의하였다. 또한 contact에 접촉저항을 줄이기

위하여 소스, 드레인, 게이트에 텅스텐 실리사이드를 형성하였다. 다음과 같이 제작되어진 4단자 SOI MOSFET를 제작하여 back bias의 변화에 따른 전기적인 특성을 측정분석 하였다. 또한 제작을 위한 공정 변수는 Table I에 나타내었으며 fig. 1에 소자의 단면도를 나타내었다.

TABLE I  
MOS and BESOI wafer Parameters

Channel Depletion	Full
Active silicon layer thickness (nm)	100
Gate oxide thickness (nm)	10
Buried oxide thickness(nm)	150
Gate length ( $\mu\text{m}$ )	0.45
Channel width ( $\mu\text{m}$ )	10
Drain structure	Single

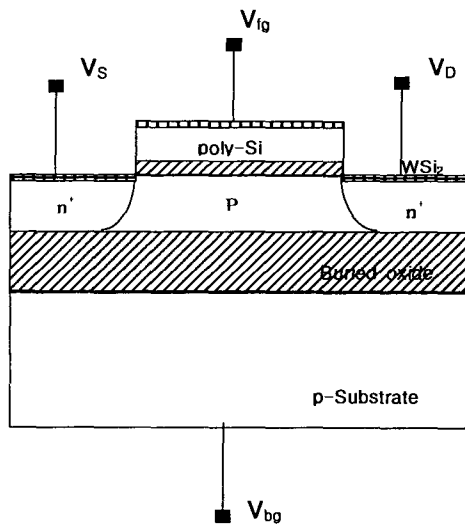


Fig. 1 Cross section of the 4-terminal SOI MOSFET's

### 3. 결과 및 고찰

본 연구에서는 n-채널 SOI MOSFET's에 back gate bias를 인가하여 변화하는 전기적 특성을 분석 하였다.

Fig.2는 n-채널 SOI MOSFET's에  $V_{bg} = 0V$ 와  $V_{bg} = -20V$ 일때의 전형적인  $I_{DS}-V_{GS}$  특성이다.  $V_{bg} = 0V$ 인 경우에 비하여  $V_{bg} = -20V$ 의 전압을

인가한 경우 off전류가 감소한 것을 볼 수 있다. Back-gate bias에 의해서 (+)전하가 유도되어 소수 캐리어 확산전류인 off 전류가 감소하게 된다.

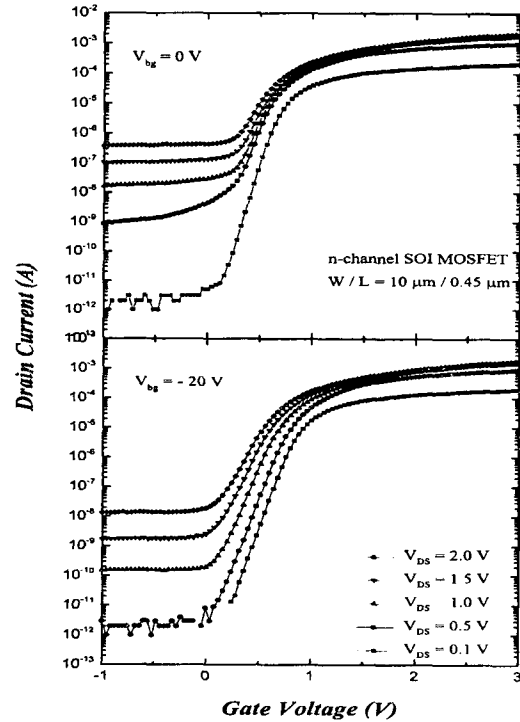


Fig.2 The transfer characteristics at back-gate voltage  $V_{bg} = 0V$ ,  $V_{bg} = -20V$  of n-channel SOI MOSFET's

Fig. 3은 드레인 전압이 1 V일 때  $V_{bg} = 0V$ 에서  $V_{bg} = -20V$ 까지의 변화할 때 나타나는 전형적인  $I_{DS}-V_{GS}$  특성이다. 앞에서 언급한 것과 같이 back-gate bias가 (-)의 방향으로 증가함에 따라 off전류가 감소하나 -5V 이상에서는 off전류의 변화 폭이 줄어드는 것으로 나타났다. 이는 back-gate bias가 -5V 이상에서는 (+)전하의 축적상태가 포함되기 때문으로 사료된다. 또한 back-gate bias가 (-) 방향으로 증가하면  $I_{DS}-V_{GS}$  특성이 좌측으로 이동하는 것으로 나타났다.

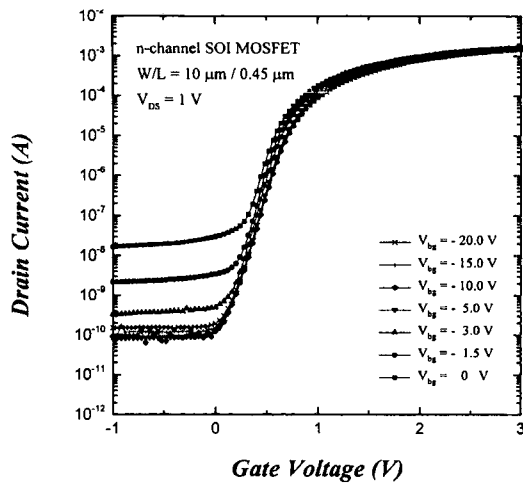


Fig. 3. The transfer characteristics at  $V_{DS} = -1$  V of n-channel SOI MOSFET's with back-gate bias.

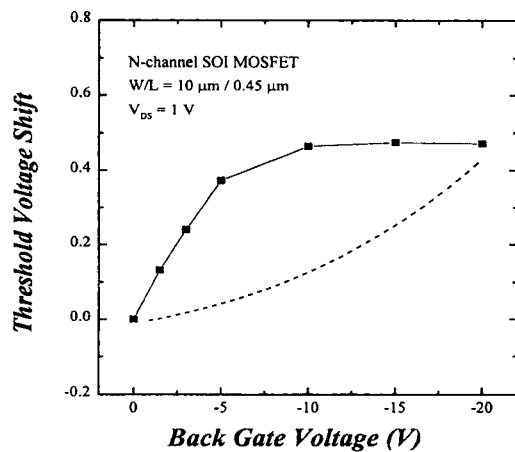


Fig. 4. Variation of threshold voltage for back-gate bias with n-channel SOI MOSFET's at  $V_{DS} = 1$  V.

Fig. 4는  $V_{DS} = 1$  V일 때 back-gate bias에 따른 문턱전압의 변화량을 나타낸 그래프이다. Back-gate bias가 0V에서 -10V까지는 문턱전압이 증가 하나 -10V이상에서는 변화가 없이 일정해진다. 이는 back-gate 표면상태가 축적상태가 되어 실리콘 몸체에 (+)전하의 축적이 많아지기 때문이다. 문턱전압은 back-gate bias가 (-)로 증가함에 따라 약 0.2V의 증가가 나타났다.

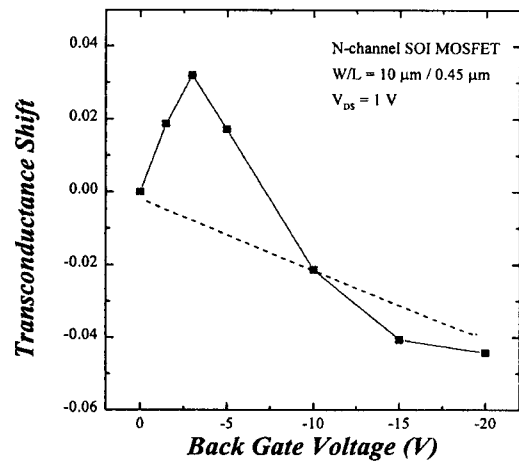


Fig. 5. Variation of transconductance for back-gate bias with n-channel SOI MOSFET's at  $V_{DS} = 1$  V.

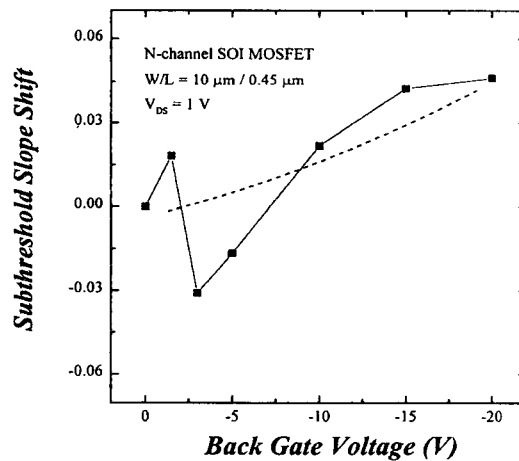


Fig.6 Variation of S-Slope for back-gate bias with n-channel SOI MOSFET's at  $V_{DS} = 1$  V.

Fig. 5는  $V_{DS} = 1$  V일 때 back-gate bias에 따른 transconductance( $g_m$ ) 값의 변화를 나타낸 것이다. Back-gate bias가 (-)로 증가할수록  $g_m$  값은 감소하는 것으로 나타났다. 이는 back-gate bias에 의해 축적된 (-)전하가 이동도를 감소 시키기 때문이다.

Fig. 6은  $V_{DS} = 1$  V일 때 back-gate bias에 따른 subthreshold slope(S-Slope)의 변화량을 나타낸 것이다. Back-gate bias가 (-)로 증가할수록 이동

도가 감소하고 s-slope은 증가하는 것을 알 수 있다.

#### 4. 결 론

본 연구에서는 활성영역층의 두께가 1000Å을 갖는 완전 공핍형 초박막 n-채널 SOI MOSFET's 을 제작하여 back-gate bias에 따른 전기적인 특성을 분석하였다. back-gate bias를 (-)로 인가하면 back-gate의 표면상태는 축적상태가 된다. Back-gate 표면 전위가 축적 상태가 되면 실리콘 몸체에 (+)전하 축적이 많아지기 때문에 문턱전압 및 subthreshold slope의 증가, 이동도의 감소로 인한 전류의 구동 능력이 감소하는 것을 알 수 있었다.

#### 참 고 문 헌

1. J. P. Colinge " SILICON-ON-INSULATOR TECHNOLOGY : Materials To VLSI ". 1991.
2. W. H. Lee, T. Osakama, K. Asada, and T. Sugano, "Design methodology and size Limitations of submicrometer MOSFET's for DRAM applications," IEEE Trans. Electron Devices, Vol. 35, No. 11, pp. 1876-1884, 1988
3. J. C. Surm, K. Tokunaga, and J. P. Collinge, "Increased drain saturation current in ultra-thin silicon on insulator(SOI) MOS transistor." IEEE Electron Device Letters, Vol. 9, No. 9, pp. 460-463, Sep. 1988.
4. M. Matloubian, M. Benachir, J. Brini, and G. Ghibardo, " Analytical models of subthreshold swing and threshold voltage for thin- and ultra-thin-film SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 32, No. 11, pp. 2303-2311, Nov. 1990.