

## 코발트 폴리사이드 게이트의 전기적 특성

### Electrical Properties of Cobalt Polycide Gate

정연실, 김시중, 김주연, 배규식

Yeon-Sil Jung, Si-Jung Kim, Ju-Youn Kim, Kyoo-Sik Bae

수원대학교 전자재료공학과

Dept. of Electronic Materials Engineering, The University of Suwon

#### Abstract

PMOS capacitors with Co-polycide electrode were fabricated by the SADS method to study the effects of activation condition on the C-V characteristics. For the activation temperature of 600°C, the capacitor using CoSi<sub>2</sub> formed from Co/Ti bilayer as diffusion source showed excellent C-V properties and the increase in V<sub>th</sub> with the increasing activation time. But when the activation temperature increased, the oxide capacitance decreased due to diffusion of impurities into the oxide.

#### 1. 서론

MOSFET 소자의 성능은 여러 인자에 영향을 받지만 주로 게이트와 게이트 전극에서의 RC 값에 크게 의존한다. 여기서 RC 값은 소자의 동작 속도를 좌우한다. 그러나 submicron의 scale을 갖는 소자로 접어들면서부터 게이트 산화막의 두께가 10nm 이하로 줄어들어 따라 RC 값이 증가하여 소자의 동작속도를 저하시키는 주된 요인의 하나로 나타나고 있다. RC 값을 줄이기 위해서는 전극에서의 면저항이 작아야 한다. 기존의 MOSFET에서 소자의 게이트 전극으로는 다결정 실리콘(Polycrystalline-Si)이 주로 사용되었으나 이는 20~50 Ω/sq.의 높은 면저항을 나타내어 0.25μm의 설계 기준에는 적합치 못하다. 그래서 다결정 실리콘위에 실리사이드를 적층시킨 폴리사이드 구조가 일반적으로 사용하게 되었다.<sup>1,2)</sup> 그 중 CoSi<sub>2</sub>는 비저항이 15~25 μΩcm로 상당히 낮고, 면저항의 선풍 의존성이 없으며 산화물 스페이서와 반응하여 bridging 현상을 일으키지 않는다. 그리고 열적 안정성이 우수하고 도펀트들과 화합물을 잘 형성하지 않는다는 장점이 있다.<sup>3,4)</sup> 또

한 CoSi<sub>2</sub>는 실리콘과 동일한 cubic 결정구조를 가지며, 두 재료간의 격자 상수의 차이가 1.2%에 불과하므로 실리콘 기판과 정합관계를 갖는 CoSi<sub>2</sub> 막의 성장(epitaxial growth)이 가능하다.<sup>5)</sup>

본 연구에서는 게이트 전극으로서 다결정 실리콘 위에 CoSi<sub>2</sub>를 적층시킨 코발트 폴리사이드 게이트를 가지는 PMOS capacitor를 제작하여 이의 후속 열처리 온도와 시간에 따른 전기적 특성의 변화를 연구하였다.

#### 2. 실험방법

PMOS capacitor를 제작하기 위하여 비저항이 1~20 Ωcm인 4" N-type (100) 실리콘 기판 위에 건식 열산화막 방법으로 10nm의 SiO<sub>2</sub>를 성장시켰고, 게이트 전극을 형성 시키기 위하여 저압 화학 증착(LPCVD : Low Pressure Chemical Vapor Deposition)방법으로 다결정 실리콘을 160nm 성장시켰다. 이 후 활성창은 마스크 작업으로 진행되었고 전자빔 증발 증착기(E-beam evaporator)로 Co 단일막과 Co/Ti 이중막을 각각 증착시켜 CoSi<sub>2</sub>를

형성하였다. 미반응된 Co와 Ti를 제거한 후  $BF_2^+$  이온을  $5E15$ 의 도오즈와  $30keV$ 의 에너지로 이온 주입을 하였다.  $CoSi_2$ 를 먼저 만든 후 이온 주입을 한 것은 미리 형성된 실리사이드를 게이트의 확산 원으로 이용(SADS : Silicide As Diffusion Source) 하기 위함이었다.

이렇게 제작된 PMOS capacitor 시편은 면저항과 AES 분석을 통하여 열적 안정성 및 도판트의 이동을 확인하였고 C-V를 측정하여 전기적 특성을 분석할 수 있었다.

### 3. 결과 및 고찰

Fig. 1은 이온 주입 후 Co 단일막을 이용한  $CoSi_2$ 와 Co/Ti 이중막을 이용한  $CoSi_2$ 의 후속 열처리 시간에 따른 면저항의 변화이다. 초기 면저항의 값이 높은 것은 이온 주입에 의한 damage 때문이나 하지만 단일막을 이용할 경우와 이중막을 이용한 경우 모두 후속 열처리가 진행될수록 면저항의 값이 낮아지고 300 sec 이상의 장시간에서도 낮은 면저항 값이 유지됨을 볼 수 있어 우수한 열적 안정성을 나타내고 있다.

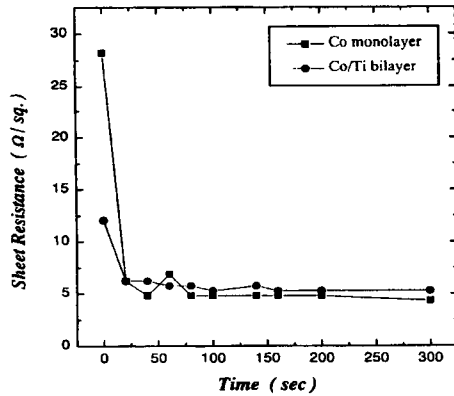


Fig. 1. The changes of the sheet resistance as a function of activation time. The activation temperature was  $600^{\circ}C$ .

전기적 특성의 변화에 영향을 미치는 요인 중에는 게이트 산화막 내로 열분해된 Co의 확산이 영향을 끼칠 수 있어 AES 분석을 해 보았다. 다음 Fig. 2는 Co/Ti 이중막을 이용하여 형성된 실리사이드의 경우 후속 열처리 전과 후의 AES 분석 결과이다. 이 sample에서는 초기 실리사이드 형성으로 인하여 코발트가 산화막 내로 약간 확산해 있음을 볼 수

있으며, 후속 열처리 후 더욱 더 많은 코발트가 산화막 내로 침투해 있음을 알 수 있다. 또한 삼상층이 불완전하게 제거되어 Ti이 상당량 존재하는 것으로 보인다. 이렇게 산화막 내로 침투된 코발트와 제거되지 않은 Ti은 게이트 산화막의 질을 저하시키고, 기생 정전 용량을 증가시키는 원인으로 작용할 것이다.

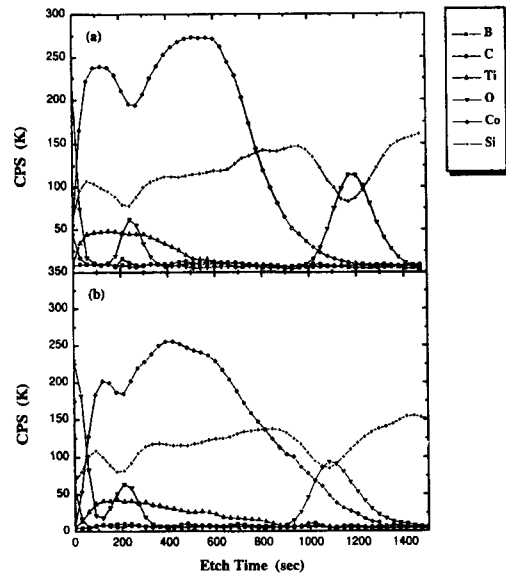


Fig. 2. AES depth profiles of cobalt polycide gate formed by Co/Ti bilayer. The activation temperature was  $700^{\circ}C$ . : (a) before activation and (b) after activation annealing (160sec)

Fig. 3은  $CoSi_2$ 를 확산 소스로 이용한 폴리사이드 게이트의 C-V 특성 변화이다. Fig. 3(a)는 Co 단일막을 이용하여 실리사이드를 형성한 경우로 열처리 시간이 증가할수록 문턱전압( $V_{Th}$  : Threshold Voltage)이 오른쪽으로 shift함을 알 수 있다. 이는 시간이 증가할수록 불순물이 산화막내로 침투하여 산화막내의 격자 배열이 깨지면서 전하가 접합면 쪽으로 트랩이 일어나  $CoSi_2$ /Poly-Si의 계면 전하가 증가한 것으로 생각된다. 또한 이 경우에는 그래프에 흑 같이 튀어나온 부분을 볼 수 있다. 이는 축적된 전하에 의한 inner fringing capacitance의 shielding으로 인한 것이다.<sup>(6)</sup> Fig. 3(b)는 Co/Ti 이중막을 이용하여 실리사이드를 형성한 경우로 이는 후속 열처리 시간이 증가함에 따라 C-V 곡선이 왼쪽으로 shift함을 볼 수 있다. 산화막 내에 어떠한

전하가 존재할 때에는 C-V 곡선이 전압축을 따라 평탄전압( $V_{FB}$  : Flat Band Voltage)만큼 이동하게 된다.<sup>(7)</sup> 그러므로 시간이 증가할수록 코발트가 산화막 내로 침투하였음을 AES 분석에서와 같이 C-V 측정에서도 확인 할 수 있었다.

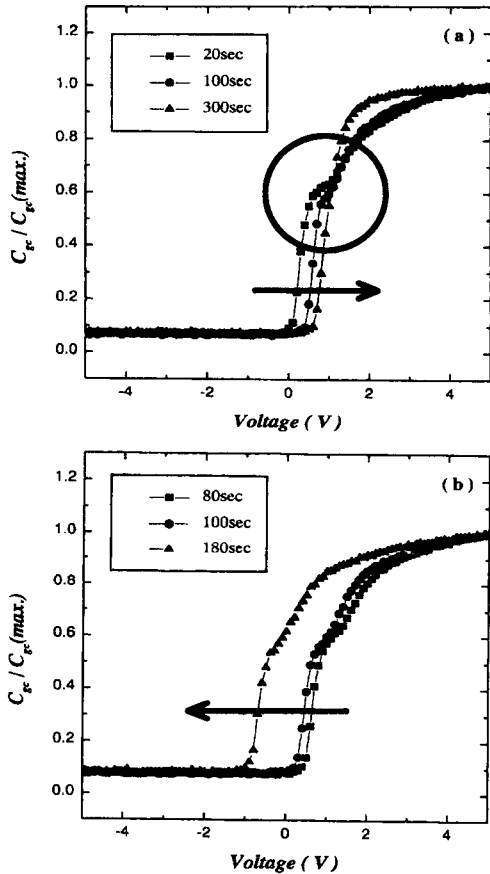


Fig. 3. Variation of capacitance as the activation time change at 600°C when the  $CoSi_2$  formed by diffusion source. : (a) Co monolayer and (b) Co/Ti bilayer

Fig. 4.는 Co/Ti 이중막을 이용하여 실리콘을 형성한 폴리사이드 게이트의 온도 변화에 따른 C-V 특성 변화이다. 600°C의 저온에서는 비교적 안정하고 높은 C 값을 가지나 온도가 700°C, 800°C로 증가함에 따라 C 값이 감소되고 있음을 알 수 있다. 이는 초기 600°C의 저온에서는 Ti 박막이 코발트의 균일한 확산을 유도하여 비교적 평탄한 계면을 유지하지만 열처리 온도가 증가할수록 산화막내로 코발트와  $BF_2^+$ 가 다결정 실리콘의 큰 입계를 따

라 확산해 산화막의 손상을 가져오게 된다. 이는 또한 AES 결과에서도 알 수 있듯이 Ti이 게이트 실리콘 전극내로 확산하여 기생 정전용량의 증가를 가져온 것으로 생각된다.

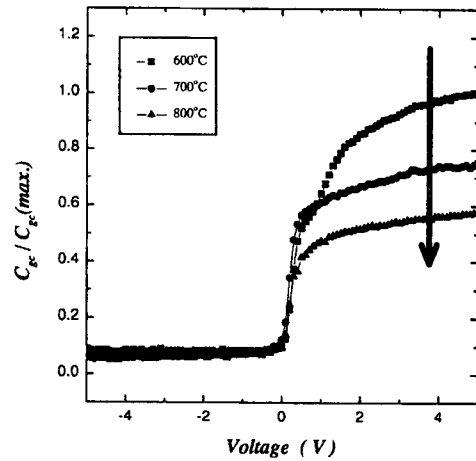


Fig. 4. Variation of capacitance as the activation temperature changes ( $t=40sec$ ) when the  $CoSi_2$  formed from Co/Ti bilayer was used as diffusion source

#### 4. 결론

Co 단일막을 이용하여 형성된  $CoSi_2$ 나 Co/Ti 이중막을 이용하여 형성된  $CoSi_2$  모두 장시간의 후속 열처리에도 우수한 열적 안정성을 나타내었다. 하지만 Co 단일막을 이용하여 형성된 코발트 폴리사이드 게이트의 경우에는 열처리 시간 경과 후 불순물(Co,  $BF_2^+$ )이 산화막 내로의 침투가 Co/Ti 이중막을 적용한 경우보다 용이해 산화막내의 질을 저하시키고  $CoSi_2$ /Poly-Si 계면 사이에 전하의 트랩을 증가시켜 전체적으로  $V_{Th}$ 의 증가와 소자 특성의 열화 현상을 가져왔다. 이에 반하여 Co/Ti 이중막을 적용하여 형성된 코발트 폴리사이드 게이트는 후속 열처리 시간이 증가할수록  $V_{Th}$ 의 감소와 안정적인 C-V 특성을 나타내었다. 하지만 후속 열처리 온도가 증가할수록 불순물의 침투로 인해 게이트 내의 기생정전용량의 증가로 낮은 C 값을 나타내었다.

따라서  $CoSi_2$ 를 게이트의 확산 소스로 이용하여 폴리사이드 게이트를 적용할 경우 Co/Ti 이중막을 이용하고 높은 온도보다는 600°C 정도의 낮은 온도에서 장시간 후속 열처리 과정을 거치는 것이 게이트의 전기적 특성을 향상시키기 위한 방법으로 생각되어진다.

#### 참 고 문 헌

1. 김영욱, 대한금속학회회보, 7(1), 40 (1994)
2. 이종무, 김영욱, "Sailicide Transistor 기술동향", 대한금속학회회보, 7(3), 213 (1994)
3. C-S, Wei, G.Raghavan, M.Laurence, A.Dass, M.Frost, T.Brat, and D.B.Fraser VLSI Metallization and Interconnent Conf. Proc. VI, 240 (1989)
4. C.Y. Ting F.M. d'Heurle, S.S Iyer, and P.M. Fryer. J. Electrochem. Soc. 133, 2621 (1986)
5. M.-A. Nicolet, and S.S.Lau, in VLSI Electronics : Microstructure Science, edited by N.G. Einspruch and G.B. Larrabee (Academic, New York, 1983) Vol. 6, Chap.6
6. Hajime Kurata and Toshihiro Sugii, IEEE TRANSACTIONS ON ELECTRON DEVICES VOL. 45, NO. 10, OCTOBER 1998
7. BEN G. STREETMAN SOLID STATE ELECTRONIC DEVICE, fourth edition, Chapter 8