

CeO₂ 박막의 구조적, 전기적 특성 연구

A Study on the Structure and Electrical Properties of CeO₂ Thin Film

최석원*, 김성훈*, 임동건*, 이준신*

(Seokwon Choi, Sung-Hoon Kim, Dong-Gun Lim, Junsin Yi)

Abstract

CeO₂ thin films have used in wide applications such as SOI, buffer layer, antireflection coating, and gate dielectric layer. CeO₂ takes one of the cubic system of fluorite structure and shows similar lattice constant ($a=0.541\text{nm}$) to silicon ($a=0.543\text{nm}$). We investigated CeO₂ films as buffer layer material for nonvolatile memory device application of a single transistor. Aiming at the single transistor FRAM device with a gate region configuration of PZT/CeO₂/p-Si, this paper focused on CeO₂/p-Si interface properties. CeO₂ films were grown on p-type Si(100) substrates by 13.56MHz RF magnetron sputtering system using a 2 inch Ce metal target. To characterize the CeO₂ films, we employed an XRD, AFM, C-V, and I-V for structural, surface morphological, and electrical property investigations, respectively. This paper demonstrates the best lattice mismatch as low as 0.2 % and average surface roughness down to 6.8 Å. MIS structure of CeO₂ shows that breakdown electric field of 1.2 MV/cm, dielectric constant around 13.6 at growth temperature of 200 °C, and interface state densities as low as $1.84 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$. We probes the material properties of CeO₂ films for a buffer layer of FRAM applications.

Key words(중요용어) : CeO₂, Buffer layer, FRAM, Lattice mismatch, Interface trapped charge density

1. 서론

CeO₂는 정사면체 구조의 일종인 fluorite 구조를 가지며 격자 상수가 5.411 Å로 실리콘의 격자상수 5.43 Å와 매우 유사하므로 Si과의 결합을 최소한으로 줄일 수 있을 것으로 기대된다. 따라서 Si와의 격자상수가 유사함으로 인하여 silicon-on-insulator(SOI)⁽¹⁾⁻⁽³⁾를 구현하는데 많은 시도가 있었고, 화학적으로도 매우 안정한 물질이므로 MFSFET에서의 Si과 ferroelectric과의 상호 확산에 의한 계면의 질이 낮아지는 것을 방지하면서 실리콘과의 CeO₂의 좋은 계면 특성을 기대할 수 있어서 많이 연구되어지고 있다. 또한 비유전율이 ~26이므

로 DRAM의 유전물질로도 연구되어지고 있으며, 반사 방지막으로도 활용이 가능한 것으로 나타나 있다. 본 연구에서는 CeO₂의 특성을 파악함으로써 향후FRAM의 Buffer층으로 사용하기 위하여 먼저 그 특성을 파악하는 데 있다. buffer층으로 사용할 물질을 고려할 때 계면에서 실리콘과의 반응을 통한 SiO나 SiO₂등과 같은 물질을 형성하지 않아야 한다. 또한 화학적으로도 안정하여 ferroelectric이 실리콘으로 diffusion 되는 것을 막아주는 역할도 해야한다. 계면의 특성을 좋게 하기 위하여서는 SiO나 SiO₂등과 같은 물질을 형성하지 않는 산화물이나 비 산화물을 선택할 수밖에 없는데 이러한 성

격을 지닌 물질을 든다면 산화물계에서의 CeO_2 , YSZ, Y_2O_3 , MgO 등과 비 산화물계에서의 CaF_2 등이 있다. 이중 CeO_2 는 실리콘과의 격자 부정합율이 최소이며 화학적으로도 안정하고 열팽창계수가 실리콘과 유사한 물질이므로 buffer 층으로 사용하기엔 적합한 물질일 것이다. 본 연구에서는 계면 상태가 우수한 buffer 층을 구현하는데 있다.

2. 실험

본 연구에서 CeO_2 박막을 MIS 구조로 제작하여 전기적, 구조적 특성을 조사하였다. 500 μm 의 p-type Si(100) wafer를 아세톤 10min, 메탄올 10min간 초음파 세척 후 탈 이온수로 세척하고 N_2 가스로 건조하였다. 후면에 Ohmic 접합형성을 위하여 200 \AA 정도의 Al을 증착하고 열처리로서 표면 반응을 최소화하기 위하여 N_2 가스를 2.5lpm 정도로 흘려주면서 620 $^\circ\text{C}$ 에서 15분간 열처리하였다. Si 표면에 존재하는 자연 산화막을 완충 불산용액($\text{HF}(49\%) : \text{H}_2\text{O} = 1:10$)에 수초간 dipping 하여 제거하였다. 이후 RF magnetron sputter로 증착하였는데 Ce disk를 target(99.9%)으로 사용하여 실온에서 Ce를 수~수십 \AA 로 증착 하여 10분간 O_2 를 20sccm으로 흘려주어 산화시킨 후 Ar과 O_2 를 챔버 내로 유입하여 증착 하였다. 이렇게 seed layer를 증착, 산화시키는 시간을 갖는 두 단계의 증착 방법을 선택한 이유는 챔버 내로 유입된 산소가 Si 표면을 산화시키는 것을 막기 위해서이다. 이후 RF magnetron sputter로 증착 하였으며 증착 시 power는 50W, Ar : O_2 의 비는 2 : 1, 챔버 내의 압력은 5~7mTorr였다. CeO_2 박막 증착 후 전기적 측정을 위하여 Al전극을 700~1000 \AA 증착 하였다. 그림 1은 본 연구에서 제작된 MIS 소자의 모식도이다. 계면상태와 박막의

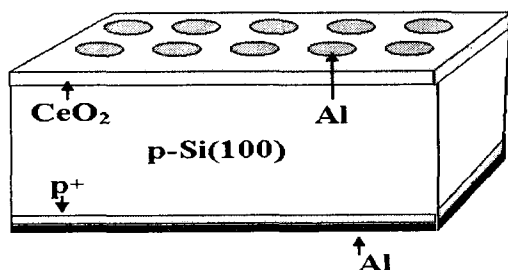


그림 1 MIS구조의 모식도

절연특성 평가를 위하여 I-V, C-V 등의 전기적 측정을 하였고 Keithley 617, Fluke 5100B, Boonton 7200을 컴퓨터와 연결하여 조사하였다. 또한 박막의 표면 특성이나 구조적 특성, 표면 거칠기 등을 평가하기 위하여 XRD와 AFM 분석을 통하여 조사하였다.

3. 결과 및 고찰

그림 2는 기판온도에 따른 XRD를 나타낸 것이다. 각각의 시료들은 50W, 5mT~7mT, Ar : $\text{O}_2 = 2 : 1$ 에서 증착 한 것으로 500~600 \AA 정도의 두께를 나타내고 있다. 증착 시 기판의 온도가 상승할수록 CeO_2 (111) 방향으로의 성장이 주도적인 것으로 나타났다. (200) 방향으로의 성장이 300 $^\circ\text{C}$ ~400 $^\circ\text{C}$ 에서도 조금은 나타나고 있지만 매우 미약하다. 하지만 실온에서 증착 한 시료의 경우에는 (200) 방향으로의 성장이 (111) 방향보다 더 강하게 나타나고 있다. 기존의 e-beam evaporation⁽⁴⁾ 방법이나, sputtering⁽⁵⁾ 방법으로 증착 할 경우에 실온에서 (200) 방향으로의 성장이 (111) 방향으로의 성장보다 더 주도적인 적은 없었다. 이는 seed layer의 증착을 통한 증착 방법의 차이에서 기인 한 것으로 사료된다. 그림 3은 산화시킨 seed layer의 XRD이다. Si과 같은 방향을 가지는 CeO_2 가 성장되었음을 보이고 있는데 이는 앞으로도 CeO_2 를 상온에서도 epitaxial하게 성장할 수 있음을 보여준다. Seed layer가 epitaxial하게 성장했음에도 불구하고 그 이후의 성장에서는 (111) 방향으로의 성장도 함께 나타나는 이유는 두께 증가의 영향과 온도 상승의 영향 때문이라고 사려된다. 또 Seed layer의 격자상수는 5.44 \AA 로 Si과의 격자 부정합이 0.2%였으나 500 $^\circ\text{C}$ 에서의 성장시킨 시료는 5.51 \AA 로 격자 부정합이 1.5%로 나타났다. (111) 방향으로의 성장은 (200) 방향으로 성장할 때보다 격자 부정합이 더 크게 나타났다. FWHM 또한 (111) 방향에서보다 (200) 방향에서 더 낮게 나타나고 있다. 따라서 grain size 또한 더 클 것이다. 그림 4는 증착 온도에 따른 거칠기를 나타내고 있다. 표면의 거칠기는 대략 6.9 \AA ~33 \AA 정도였고 기판 온도가 상승 할 수록 표면의 거칠기는 좋아지는 현상이 나타나고 있다. 400 $^\circ\text{C}$ 이상에서는 기판의 온도가 상승하여도 큰 변화는 존재하지 않았다. (100) p-Si 기판의 면저항 50 Ωcm 이 용하여 Irwin⁽⁶⁾ 곡선으로부터 구한 도핑 농도는 10^{14}cm^{-3} 였다. 그림 5는 기판온도에 따른 C-V 특성을 나타낸 것이다. 측정시 주파수는 1MHz였다. ϵ

r은 200°C에서 가장 큰 값을 나타내었고 온도가 상승할수록 낮아졌다.

표 1은 C-V 측정으로부터 얻은 Q_{ot} , Q_f , D_{it} 등을 나타내었다. D_{it} 는 Terman 법에 의하여 구하였는데 그 식은 다음과 같다.⁽⁷⁾

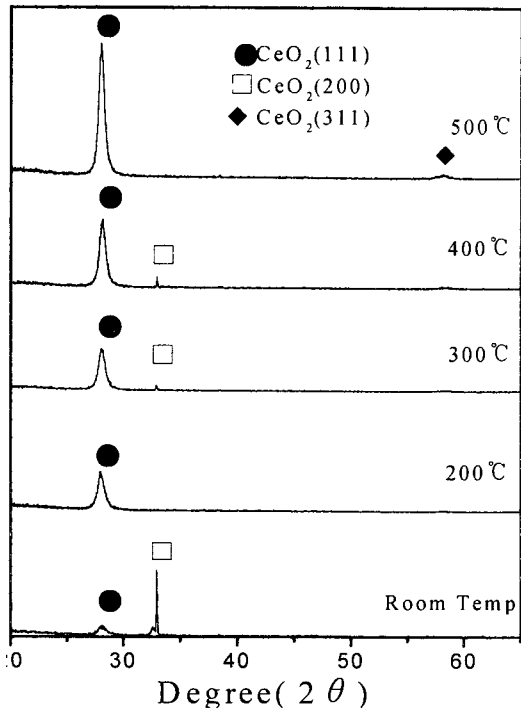


그림 2 기판온도에 따른 XRD

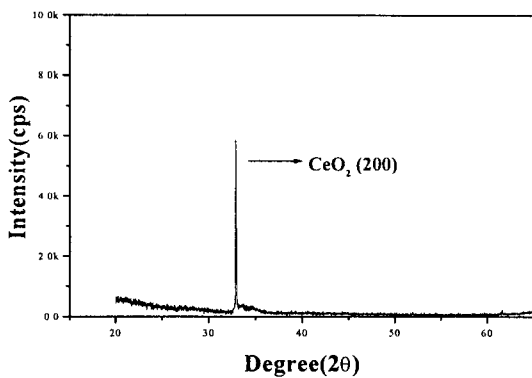


그림 3 산화시킨 seed layer(68Å)의 XRD

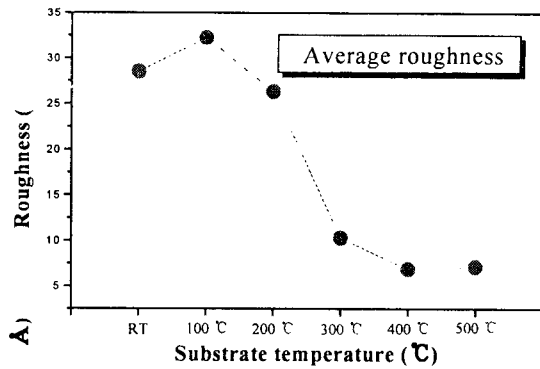


그림 4 증착 온도에 따른 표면 거칠기

$$D_{it} = \frac{C_i}{q} [(d\psi_s/dV)^{-1} - 1] - \frac{C_D}{q} \text{ cm}^1 \text{ eV}^{-1}$$

D_{it} 의 최소값은 온도가 상승할수록 증가하고 있으며 유전율과 비슷한 경향을 보이고 있다. 이는 CeO_2 박막을 저온에서도 우수한 특성을 보이는 막으로의 성장이 가능하다는 것을 보여준다. CeO_2 박막에 존재하는 여러 가지 결함들은 고정전하와 CeO_2 박막 내에 존재하는 trap에 의한 것들이었다. 실온에서 증착 한 시료가 고정전하의 양과 trap에 존재하는 전하의 양이 작게 나타났다. C-V특성에서 보여주고 있는 이력특성은 trap에 의한 전하 주입현상에 의한 것이며 이는 향후 열처리 또는 seed layer 증착 시 기판의 온도를 상승시켜 개선 될 수 있을 것으로 사려된다. 그림 6은 기판 온도를 가변한 시료의 I-V 특성을 나타내고 있다. 누설전류나 항복전계의 특성은 300°C에서 가장 우수한 것으로 나타났다.

표 1 증착 온도에 따른 전기적 특성

	Q_{ot} ($\times 10^{10} \text{C}$)	Q_f ($\times 10^{10} \text{C}$)	D_{it} ($\times 10^{11} \text{cm}^1 \text{eV}^{-1}$)
RT	0.25	.	2.0185
200°C	.	5.45	1.8427
300°C	3.301	1.56	2.3240
400°C	0.378	3.69	3.0065
500°C	1.202	4.67	4.6367

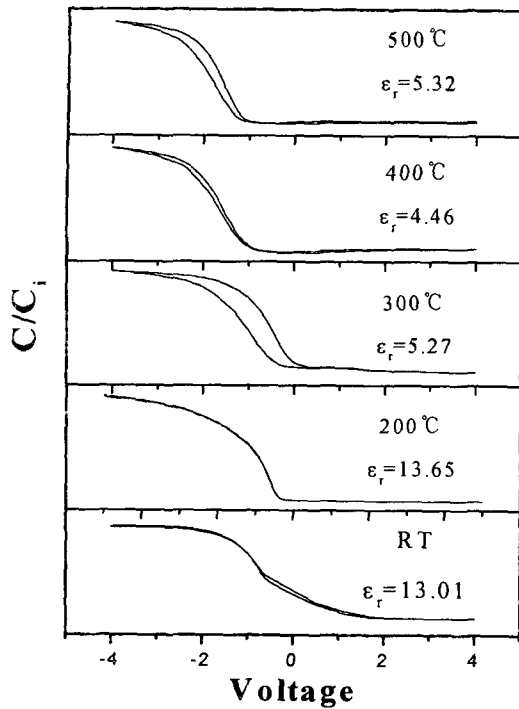


그림 5 기판 온도에 따른 C-V 특성

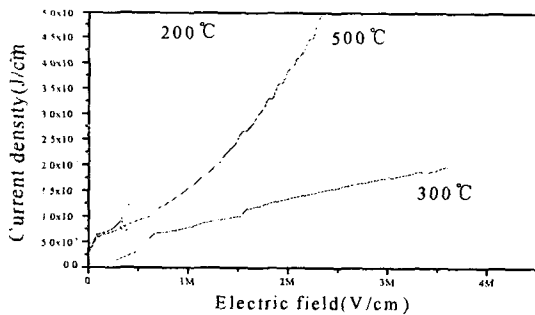


그림 6 기판온도를 가변한 시료의 I-V특성

4. 결론

본 연구는 CeO₂를 FRAM buffer층으로 사용하기 위하여 먼저 그 특성을 파악하는데 있었다. XRD측정을 통하여 본 결정성은 실온에서는 (200)방향으로 성장을 하나 기판 온도가 상승 할 수록 (111)방향으로 성장을 하는 것으로 나타났다. C-V를 통하여 얻은 D_{it}특성은 최소 $1.8427 \times 10^{11} \text{cm}^{-1} \text{eV}^{-1}$ 로 나타났다. 이는 기판온도가 200°C이하이며 seed layer를 실온

에서 얻은 값으로 앞으로의 seed layer의 조건을 더욱 더 개선한다면 D_{it}특성이 우수한 CeO₂박막을 성장하리라 사려된다. 앞으로의 연구는 이러한 seed layer의 조건 개선과 buffer층으로 사용하기 위한 두께에 따른 특성을 연구할 것이다.

참 고 문 헌

- (1) T. Inoue, Y. Yamamoto, S. Koyama, S. Suzuki and Y. Ueda, Appl. Phys. Lett. 56, 1332 (1990)
- (2) S. Yaegashi, T. Kurihara, H. Hoshi and H. Segawa, Jpn J. Appl. Phys., part 1 33, 270 (1994)
- (3) M. Yoshimoto, H. Nagata, T. Tsukahara and H. Koinuma, Jpn. J. Appl. Phys., Part 2 29, L1199 (1990)
- (4) L. Luo, X. D. Wu, C. J. Maggiore, Y. Yamamoto, Y. Sakurai, J. H. Chang, Appl. Phys. Lett 59 3604 (1991)
- (5) T. Inoue, T. Ohsuna, Y. Obara, Y. Yamamoto, M. Satoh and Y. Sakurai, Jap. J. Appl. Phys., Vol32 1765 1993
- (6) D. B. Cuttriss, Bekk Syst. Tech. J., Vol. 40, pp 509, 1961
- (7) S. M. Sze, "Physics of Semicond Devices", John & Sons. Second edition, York, 1981.