

다결정 실리콘 박막 트랜지스터의 성능에 대한 채널 길이의 영향

이정석, 장창덕, 백도현, 이용재
 동의대학교 전자공학과

Influence of Channel Length on the Performance of Poly-Si Thin-Film Transistors

Jung-Suk Lee, Chang-dug Jang, Do-Hyun Baek, Yong-Jae Lee
 Department of Electronic Engineering, Dong-eui University
 E-mail : jsl@hyomin.dongueui.ac.kr

Abstract

In this paper, The relationship between device performance and channel length(1.5~50 μ m) in polysilicon thin-film transistors fabricated by SPC technology was investigated by measuring electric properties such as I-V characteristics, field effect mobility, threshold voltage, subthreshold swing, and trap density in grain boundary with channel length. The drain current at ON-state increases with decreasing channel length due to increase of the drain field, while OFF-state current (leakage current) is independent of channel length. The field effect mobility decrease with channel length due to decreasing carrier life time by the avalanche injection of the carrier at high drain field. The threshold voltage and subthreshold swing decrease with channel length, and then increase in 1.5 μ m because of increase of trap density in grain boundary by impact ionization.

1. 서 론

다결정 실리콘 박막 트랜지스터(polycrystalline Si Thin Film Transistors : poly-Si TFTs)는 기판으로 대면적의 유리를 사용하기 때문에 평판 디스플레이,

액정 디스플레이 (TFT-LCD)의 구동소자, 그리고 SRAM의 풀-업소자로 사용되는 등 그 적용범위가 매우 넓으며 현재도 이에 대한 연구가 활발하게 진행되고 있다.^[1]

비정질 실리콘(amorphous Si : a-Si)을 이용한 TFT는 일반적으로 아주 작은 누설전류와 작은 ON전류를 갖는데, 화소 메모리 내의 데이터를 표시기 물질이 반응하기 위한 충분히 긴 시간동안 유지하는데 필요한 작은 누설전류와 적절한 ON 전류를 갖도록 크기를 조절할 수 있기 때문에 행렬(matrix) 표시기에서 잘 동작할 수 있다. 하지만 비정질 Si TFT는 대역 간극 끝부분에 국부화된 상태(localized states)가 많아 이동도가 매우 낮다는 가장 큰 단점이 있으며 상온에서조차 불안정하여 신뢰감이 높지 않다. 이에 반하여 poly-Si TFT는 a-Si TFT보다 이동도가 크고 더 안정하며, 재현성이 우수하기 때문에 높은 해상도와 높은 대비비를 갖은 LCD에 응용할 수 있다.^[2]

트랜지스터의 전기적 특성을 향상시키기 위하여 grain size의 증가와 트랩 상태의 감소가 요구되는데^[3], 큰 grain size의 poly-Si TFT 제조방법으로는 고상 결정화 방법(Solid Phase Crystallization : SPC)과 엑시머 레이저 방법들이 연구되고 있다. 또한, 값싼 유리 기판의 사용을 가능하게 하기 위해 공정 온도를 낮추는 것 역시 중요하다.

레이저를 이용한 재결정화는 이동도면에서는 좋은 결과를 얻을 수 있으나, 결정 입정의 균일성 및 생산성에 큰 문제가 있다. 이에 비하여 SPC방법은 공정시간이 길다는 단점은 있으나 균일성과 재현성이 좋아 널리 사용되고 있다.

이에 본 논문에서는 유리기판 위에 저온($\leq 600^{\circ}\text{C}$)

공정의 고상결정화(SPC)를 통하여 다결정 박막 트랜지스터를 제작하여, 누설전류, 전계 효과 이동도, subthreshold swing, 그리고 활성화에너지와 같은 전기적 특성을 측정하였다. 특히, 전기적 특성의 채널 길이(1.5 μm ~50 μm)의 의존성에 대해서 실험하였다. 이 결과로부터 채널길이에 따른 전기적 특성변화를 분석하여 채널길이가 전기적 특성변화에 미치는 영향을 규명하고자 한다.

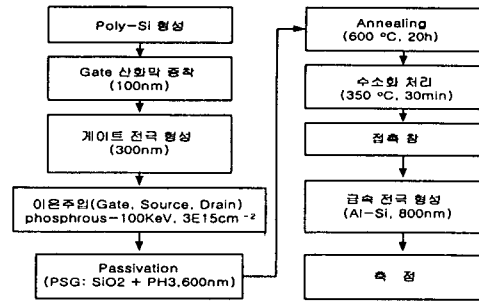
2. 소자 제작

그림 1은 유리기판에 저온 공정 기술($\leq 600\text{\AA}$)로 poly-Si TFT를 제작하기 위한 소자제작 공정 순서이다. 먼저 SiO_2 의 기초산화막을 APCVD(Atmospheric Pressure Chemical Deposition)법으로 유리기판 위에 증착한 다음, 1000 \AA 의 채널 박막은 450 $^\circ\text{C}$ 에서 Si_2H_6 를 이용하여 LPCVD(Low Pressure CVD)방법으로 증착하였다. 이 채널 막은 450 $^\circ\text{C}$ 에서 비정질 상태로 증착되기 때문에 600 $^\circ\text{C}$ 의 N_2 분위기에서 10h동안 어닐링하였다. 어닐링 후에 채널 막이 1 μm 의 평균 grain size를 가지고 채널 두께에 걸쳐 완전히 결정화되었음을 TEM 관측으로 확인하였다. 게이트 SiO_2 (1000 \AA)와 게이트 폴리실리콘막(1000 \AA)은 550 $^\circ\text{C}$ 에서 각각 LPCVD로 증착하였다. 게이트 패턴을 형성한 후에 소오스와 드레인, 게이트를 형성하기 위하여 100 KeV의 에너지로 $5 \times 10^{15} \text{cm}^{-2}$ 의 인을 이온 주입하였다. 그런다음, PSG(Phosphorus silicate glass)을 증착한 후에 앞에서 주입된 인을 여기서 키기 위해서 600 $^\circ\text{C}$, N_2 분위기에서 열적 어닐링을 행하였다. 전극을 형성하기 위한 접촉 창을 사진 식각으로 열어 알루미늄을 증착하였다. 특히, 알루미늄을 증착하기 전에 전극의 접촉저항을 줄이기 위해 텅스텐 실리사이드 (WSi_2)를 형성하였다. 또한, 소자 성능을 향상시키기 위하여 접촉 창을 열기 전에 순수한 수소 플라즈마($1.3\text{W}/\text{cm}^2$)에서 350 $^\circ\text{C}$, 30분간 수소화 공정을 행하였다. 제작된 poly-Si TFT의 구조는 Top 게이트 형태의 구조이며, 측정된 소자의 채널 폭은 5 μm 이고 채널 길이의 범위는 1.5 μm ~50 μm 이다.

위의 공정순서를 거쳐 제작된 poly-Si TFT의 전기적 특성들 - 전계효과 이동도(field-effect mobility, μ_{FE}), 문턱전압(threshold voltage, V_T), 누설전류, 활성화에너지(activation energy, E_a), 트랩밀도(trap density, N_T)-를 추출하였다.

그림1 소자 제작 공정 순서

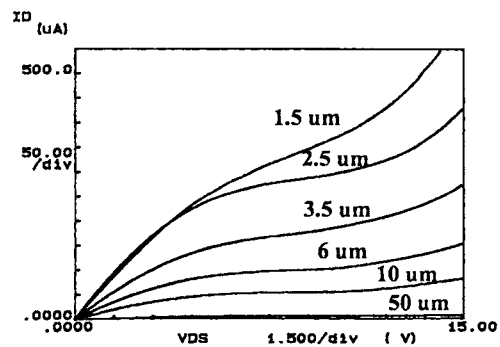
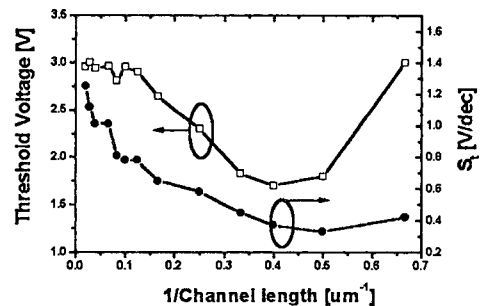
Fig.1 Process Sequence



3. 실험 및 결과 고찰

SPC로 제작된 다결정 박막 트랜지스터의 채널 길이에 따른 전류-전압 특성은 다음과 같다.

그림 2는 $V_g=10\text{V}$ 일 때, 채널 폭이 5 μm 이고, 채널 길이가 각각 1.5, 2.5, 3.5, 6, 10, 50 μm 인 TFT의 출력 특성(I_D-V_D) 변화를 나타낸다. 그림에서 알 수 있듯이 채널길이가 짧아짐에 따라 드레인 전계의 증가로 인해 드레인 전류가 상당히 증가하였다. 특히, 2.5 μm 이하의 단채널에서 kink effect에 의한 kink 전류

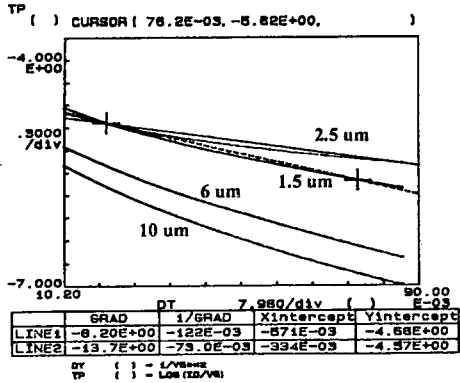


가 나타났다.

그림 2 $V_g=10\text{V}$ 에서 poly-Si TFT의 채널길이에 따른 출력 특성의 변화($W=5\mu\text{m}$).

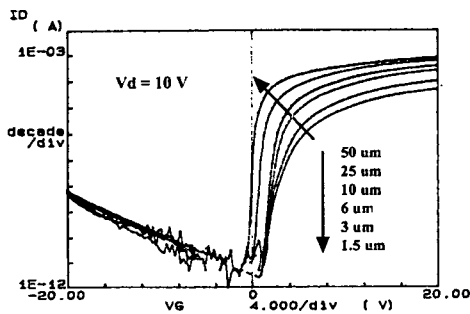
Fig.2 Channel length dependence of the Output characteristics of the poly-Si TFT ($W=5\mu\text{m}$).

또한, 낮은 드레인 전압에서 텅스텐 실리사이드 (WSi_2)에 의한 낮은 저항으로 전류 crowding 효과가



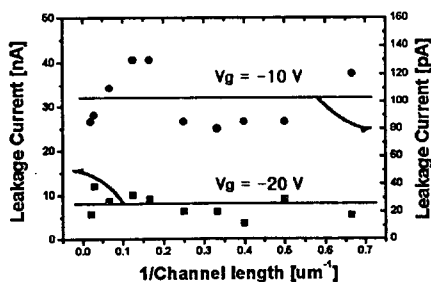
나타나지 않았다. Poly-Si에 접촉해 있는 텅스텐 실리콘사이드의 면저항은 $\sim 20\Omega/\text{square}$ 이다.

그림 3은 $V_d = 10\text{V}$ 일 때, 채널 길이에 따른



poly-Si TFT의 전달 특성의 변화를 나타내고 있다.

OFF-상태 전류 영역에서, 누설전류는 인가된 게이트 전압이 증가함에 따라 상당히 증가하지만, 채널 길이와는 상관없이 나타났었다. 이에 반



하여, ON 전류는 채널 길이가 증가함에 따라 감소하였다. 그림 4는 채널 길이의 역수에 대한 누설전류의 의존성을 나타낸 그림으로, 누설전류가 역방향 바이어스된 드레인 접합에 의해 발생한다는 것을 나타낸다. 이 접합 누설전류는 공핍영역에 있는 grain boundary 트랩을 통하여 생성된 전자-정공쌍에 의해 발생한다.^[4]

그림 3 $V_d=10\text{V}$ 일 때, poly-Si TFT의 채널 길이에 따른 전달 특성

Fig. 3 The channel length dependence of the transfer characteristics for the poly-Si TFT at $V_d=10\text{V}$.

그림 4 $V_d=10\text{V}$ 일 때, 채널 길이 역수에 대한 누설전류의 의존성

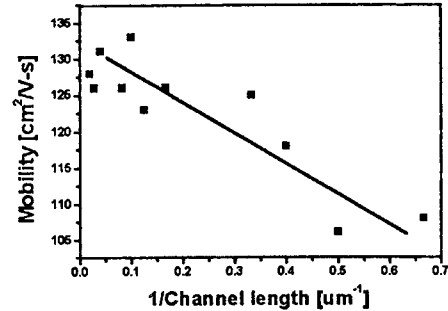


그림 5 poly-Si TFT의 채널 길이에 따른 이동도

Fig. 5 The field effect mobility of the poly-Si TFT versus channel length.

그림 6 poly-Si TFT의 채널 길이에 따른 문턱전압과

Subthreshold swing

Fig. 6 The Threshold voltage and Subthreshold swing of the poly-Si TFT versus channel length.

그림 6는 채널 길이에 따른 문턱전압과 Subthreshold swing을 나타내고 있다. 전계효과 이동도와 문턱전압은 $V_g=1\text{V}$ 에서 전달 특성의 전달컨덕턴스로부터 구하였으며, Subthreshold swing는 $V_g=10\text{V}$ 에서의 전달 특성으로부터 구하였다. 그림 7은 채널 길이에 따른 poly-Si의 $\ln(I_{ds}/V_g)-V_g^{-2}$ 곡선을 나타내며 이 곡선의 기울기로부터 다음 식에 의해 grain boundary에서의 트랩 밀도를 구할 수 있다.^[5]

$$\ln \frac{I_d}{V_g} = -\frac{q^2 N_T^2}{C_{ox}^2} \frac{1}{V_g^2} + \ln(\mu V_d C_{ox} \frac{W}{L})$$

그림 7 채널 길이에 따른 poly-Si TFT의 $\ln(I_{ds}/V_g)-V_g^{-2}$ 곡선

Fig. 7 The $\ln(I_{ds}/V_g)-V_g^{-2}$ pot of the poly-Si TFT

그림 6으로부터 문턱전압과 Subthreshold swing은 채널 길이가 감소함에 따라 점점 감소하다가 $1.5\mu\text{m}$ 이하에서 증가한다.

이는 poly-Si의 grain boundary에서의 트랩밀도로 설명된다. 채널길이가 감소함에 따라 grain boundary에서의 트랩밀도가 감소함으로써 문턱전압과 Subthreshold swing이 감소하였으나, 1.5 μm 에서는 grain boundary에서의 트랩밀도 증가함으로써 문턱전압과 Subthreshold swing가 증가하였다. 채널길이 10, 6, 2.5, 1.5 μm 에서의 트랩밀도는 각각 1×10^{12} , 9.27×10^{11} , 6.18×10^{11} , $8.04 \times 10^{11} \text{ cm}^{-2}$ 이었다. 1.5 μm 에서의 트랩밀도 증가는 단 채널 효과인 충격이온화에 의한 트랩 생성으로 여겨진다.

4. 결 론

고상결정화 방법으로 채널길이를 달리하여 제작한 poly-Si TFT의 전기적 특성을 측정하고 채널길이에 따른 전기적 특성의 변화를 비교한 결과 다음과 같은 결론을 얻었다.

채널길이에 따른 출력특성으로부터 채널길이가 짧아짐에 따라 드레인 전계의 증가로 인해 드레인 전류가 상당히 증가하였고, 전달특성으로부터는 누설전류가 채널길이에는 영향을 받지 않는다는 것을 알 수 있었다. 또한 전계효과 이동도는 채널길이 감소함에 따라 감소하였는데, 이는 높은 드레인 전계에서 캐리어의 아발란치 주입에 의해 캐리어 수명이 짧아지기 때문이었고, 문턱전압과 Subthreshold swing은 채널길이가 감소함에 따라 점점 감소하다가 1.5 μm 이하에서 증가한다. 이는 poly-Si의 grain boundary에서의 트랩밀도로 설명된다. 채널길이 10, 6, 2.5, 1.5 μm 에서의 트랩밀도는 각각 1×10^{12} , 9.27×10^{11} , 6.18×10^{11} , $8.04 \times 10^{11} \text{ cm}^{-2}$ 이었다. 따라서, 향후 과제로는 단채널 효과에 의한 poly-Si 특성 열화에 대한 더 많은 연구가 요구된다.

5. 참 고 문 헌

- [1] 장진, "저온 다결정 실리콘 박막 트랜지스터 개발 동향", 전기전자재료 제 12권 제2호, pp.1-5, 1999.
- [2] Shiau Chen, et al, "Polysilicon TFT technology will solve problems of mobility, pixel size, cost, and yield", Solid State Technology, pp. 113-126, 1996.
- [3] Dimitrios N. Kouvatso, et al, "High-Performance Thin-Film Transistors in Large Grain Size Polysilicon Deposited by Thermal Decomposition of Disilane", IEEE Trans. Electron Devices, vol.43, NO.9, pp.1399-1405, 1996.
- [4] C.T.Angelis, et al, "Study of leakage current in n-channel and p-channel polycrystalline silicon

thin-film transistors by conduction and low frequency noise measurements", J. Appl. Phys., 82 (8), pp.4095-4101, 1997.

- [5] C.B. Moore and Dieter G, Mat. Res. Soc. Symp., Vol. 182, pp. 341, 1990