

STI-CMP 공정을 위한 Pattern wafer와 Blanket wafer 사이의 특성 연구

A study on Relationship between Pattern wafer and Blanket Wafer for STI-CMP

김상용*, 이경태*, 김남훈*, 서용진**, 김창일*, 이우선***, 장의구*
(S. Y. Kim*, K. T. Lee*, N. H. Kim*, Y. J. Seo**, C. I. Kim*, W. S. Lee***, E. G. Chang*)

Abstract

In this paper, we documented the controlling oxide removal amount on the pattern wafer using removal rate and removal thickness of blanket wafer. There was the strong correlation relationship for both(correlation factor:0.7109). So, we could confirm the repeatability as applying for STI CMP process from the obtained linear formular. As the result of repeatability test, the difference of calculated polishing time and actual polishing time was 3.48 seconds based on total 50 lots. If this time is converted into the thickness, it is from 104Å to 167Å. It is possible to be ignored because it is under the process margin.

Key Words : chemical mechanical polishing(CMP ; 화학적 기계적 연마), shallow trench isolation(STI), end point detection(식각 종말점 측정)

1. 서 론

최근 LOCOS 절연 공정에서의 문제점으로 나타난 활성영역의 감소현상을 일으키는 bird's beak 현상을 줄여 주기 위하여 shallow trench isolation(STI) 공정이 ULSI 소자의 집적화 공정에 도입되었고 공정의 평탄화 특성 확보를 위한 chemical mechanical polishing(CMP) 공정의 중요성이 커지고 있다.^{[1][2][3]} 하지만, STI-CMP 공정에서의 식각 종말점 이상의 과도 연마 때문에 일어나는 dishing 및 erosion과 같은 현상들로 인해 소자의 직접화 공정에 장애가 되고 있다. 산화막 에칭 공정에서 대부분의 식각 종말점 측정 방법을 타겟 웨이퍼의 연마 시간에 따른 두께와 제거율 사이의 관계를 통하여 얻고 있다.^[4]

본 논문에서는 블랑켓 웨이퍼를 타겟 웨이퍼로 이용하여 연마 특성을 확보하고, 그 특성을 이용하여 실제 STI 패턴 웨이퍼에 적용하여 상호의 상관 관계를 분석하려한다. 블랑켓 웨이퍼의 선형적인 특성을

유도하기 위해서는 공정 변수들의 변화는 연마 시간과 제거량에 대한 직접적인 정보획득을 어렵게 하기 때문에 공정의 모든 조건을 최적화한다.^[5] 획득된 선형 특성을 이용하여 다항식을 유도하여 85회 정도의 실험을 반복하여 그 정확성을 알아 보려한다. 그 결과가 과도연마의 공정 오차 한도내에 있다면 실제 연마시간과 계산된 연마 시간의 차이를 50 회의 재현성 실험을 통하여 재현성을 확인하고 두께로 환산하여 그 차이 정도를 알아 보려한다.

2. 실험

본 실험에서는 IPEC 472 연마장치를 사용하여 연마 공정을 수행하였다. POST-CMP 공정을 위한 세척 공정으로 VERTEQ사 VcS A2S 세정시스템을 사용하여 SC-1 공정과 HF dip 공정을 수행하였다.^[6] 연마 공정시 연마 패드는 폴리우레탄 베이스 연마패드를 사용하였고 슬러리는 실리카 베이스를 사용하였다.^[7] 산화막의 두께는 NANO M8000 측정 장치를 가지고 CMP 공정 전과 후의 막 두께를 측정하였다. 블랑켓 웨이퍼와 패턴 웨이퍼의 연마 시간에 따른 연마 특성을 살펴보기 위해서 200mm 16000Å 블랑켓 PECVD TEOS 웨이퍼와 STI 패턴 웨이퍼를 사용하였다. 20초 간격으로 각각 7mm edge exclusion

* 중앙대학교 전자전기공학부
(서울특별시 동작구 흑석동 221,
Fax: 02-812-9651 e-mail: cikim@cau.ac.kr)

** 대북대학교 전기전자공학부

*** 조선대학교 전기공학부

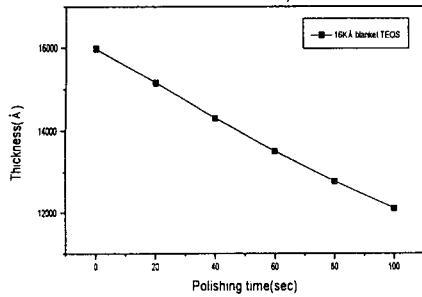


그림 1. 16000 Å 블랑켓 웨이퍼의 연마 시간에 따른 두께 변화

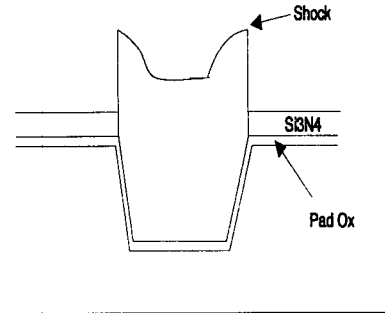


그림 3. STI reverse moat 패턴 개략도

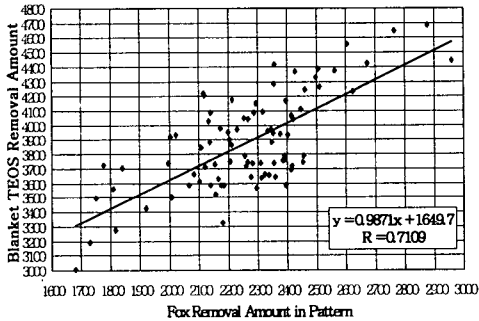


그림 2. 산화막 연마 시간에 따른 블랑켓 웨이퍼와 STI 패턴 웨이퍼의 상관관계

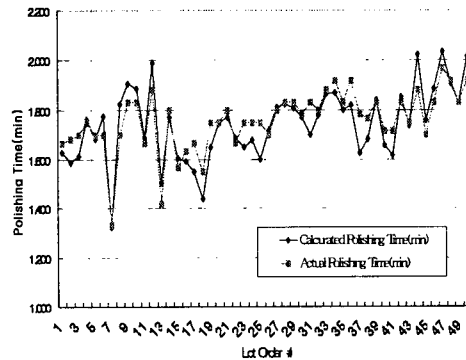


그림 4. 계산된 연마 시간과 실제 연마 시간이 차이

을 주어 49지점 각각의 위치에서 블랑켓 웨이퍼의 두께와 패턴 웨이퍼에서 필드 산화막과 질화막 (Si₃N₄)의 두께를 측정하고 분석하였다.

식(1)과 같다. 패턴 웨이퍼의 연마 시간을 알기 위해 원하는 산화막의 제거량을 식(1)에 대입하여 블랑켓 웨이퍼에서 제거되는 산화막의 두께를 구한 그림 1에서 블랑켓 웨이퍼 두께 값에 대한 연마 시간을 구하여 패턴 웨이퍼에 적용하였다

3. 결과 및 고찰

3-1. 연마 시간에 따른 제거율 측정

STI 패턴 웨이퍼에 블랑켓 웨이퍼의 선형적인 특성을 적용하기 위해서 블랑켓 웨이퍼의 시간에 따른 두께 변화의 선형성 확보하려한다. 선형성 확보를 위하여 공정 조건을 최적화하여 공정 변수의 영향을 최소로 하였다. 그림 1은 최적화된 공정조건하에서 선형성을 확보한 블랑켓 웨이퍼의 시간에 따른 두께변화를 나타낸 그래프이다.

$$Y = 0.9871 \times X + 1649.7 \quad (r=0.7109) \quad \dots (1)$$

X: 패턴 웨이퍼에서 요구되는 산화막 제거량
Y: 블랑켓 웨이퍼에서 제거되는 산화막 제거량

3-2. 연마 시간에 따른 선형공식 유도

유도되어진 블랑켓 웨이퍼의 선형특성을 패턴 웨이퍼에 적용하기 위해서, 그림 2와 같이 85회의 선형 공식 유도과정 실험을 수행하였다. 그림에서 실선으로 나타난 것은 85회의 실험 결과값을 평균한 것이다. 이때 상관관계 인자(r: 0.7109)을 얻을 수가 있었다. 이 상관관계로부터 선형 공식을 유도하면

이와 같은 실험은 임의의 리버스 모트 형태의 STI 패턴 구조를 세워 알아보았다. 그림 3에서 shock 지역이 처음 연마 시간 동안 제거되며 실제 측정값은 shock이 제거된 후에 측정한 값을 말한다. 85회의 측정치로 블랑켓 웨이퍼와 패턴 웨이퍼사이의 상관관계를 얻을 수 있었는데, 산화막의 제거량은 처음에는 증가 경향을 보이지만 질화막과 만나는 영역에서는 제거량의 감소율이 낮아진다. 그 이유는 질화막과 산화막의 선택비가 3:1 이기 때문이다. 질화막은 처음에 직접적인 패드와 접촉없이 화학적 연마만 일어나고 패드와 만나는 부분에서부터는 압력

의 영향을 받아 기계적인 연마에 의해 질화막의 두께가 조절된다.

3-3. 실험식을 통한 재현성 확보 실험

상관관계를 통한 실험식의 재현성 확보를 목적으로 50회의 반복 실험을 실시하였다. 실험식을 패턴 웨이퍼에 적용하여 계산한 값과 실제 실험한 값과의 비교를 통하여 그 결과를 분석하였다. 그림 4는 실제 연마값과 계산값의 차이를 나타낸다. 실제 연마 시간과 계산된 연마 시간의 차이는 50회를 기준으로 할때 3.48sec 정도이고 이를 두께로 환산할 경우 104~176Å의 차이를 보였다. 이 값은 공정의 허용한도 이내에 존재하는 값이므로 재현성은 어느 정도 확보된 것으로 사료된다.

4. 결 론

블랑켓 웨이퍼와 패턴 웨이퍼의 상호 연관성을 도출하여 블랑켓 웨이퍼의 선형적인 특성을 패턴 웨이퍼의 연마 시간에 적용 가능함을 입증하였다. 또한, 블랑켓 웨이퍼의 선형조건을 패턴 웨이퍼에 적용 할 경우 과도연마 현상은 무시할 수 있음을 확인하였다.

재현성은 50회 반복 실험을 기준으로 할때 SD-1 sigma: 2.34% 정도이었고, 실제 연마 시간과 계산된 연마 시간의 차이는 공정의 허용 오차 한도 이내에 있음을 확인하였다.

참 고 문 헌

- [1] M. Nandakum *et al.*, "Shallow Trench Isolation for advanced ULSI CMOS Technologies," Proceeding of the Electron Device Meeting, pp. 133-136, 1998.
- [2] PennWell Publishing Company(Us), "CMP TAKE ON STI," Solid State Technology, V.40 N.7, p.68, 1997.
- [3] Sallagortyp *et al.*, "STI PROCESS STEPS FOR SUB-QUATOR MICRON CMOS," Microelectronics and Reliability, V.38, N.2, pp.271-276, 1998.
- [4] S. Sivaram *et al.*, "Chemical Mechanical Polishing of Interlevel Dielectrics: Model for Removal Rate and Planarity," Mat. Res. Soc. Symp. Proc. Vol.260, 1992.
- [5] Avaro Maury *et al.*, "Optimization of CMP Process for TEOS based oxide films using a designed experiment," CMP-MIC Proceedings, p.285, 1995.
- [6] Y. L. Wang., "The Combination of Multi-Spray, Scrubbing and HF Rinsing Processes for Post CMP, Clean-up Application," CMP-MIC Proceedings, pp.347-350, 1997.
- [7] D. R. Evans and B.D.Ulrich, "Pattern Dependence and Planarization Using Silica or Ceria Slurries for Shallow Trench," CMP-MIC Proceedings, pp. 347-350, 1998.