

## 스퍼터링 방법을 이용한 SrTiO<sub>3</sub> 박막의 저항율 특성

### The Resistivity Properties of SrTiO<sub>3</sub> Thin Films by Sputtering method.

이 우 선\* · 손 경 춘\*\*\* · 서 용 진\*\*\* · 김 남 오\*\*\*\*, 이 경 섭\*\*\*\*\* · 김 형 곤\*\*\*\*\*

Woo-Sun Lee\* · Kyeong-Choon Son\*\*\* · Young-Jin Seo\*\*\* · Nam-Oh Kim\*\*\*\* · Kyung-Sub Lee

\* 조선대학교 전기공학과 교수

\*\* 조선대학교 전기공학과 석사과정

\*\*\* 목포 대불대학교 전기공학과 교수

\*\*\*\* 조선대학교 전기공학과 공학박사

\*\*\*\*\* 동신대학교 전기전자공학과 교수

\*\*\*\*\* 조선이공대학 전기과 교수

#### Abstract

The objective of this study is to deposited the preparation of SrTiO<sub>3</sub> dielectric thin films on Ag/barrier-mater/Si(N-type 100) bottom electrode using a conventional rf-magnetron sputtering technique with a ceramic target under various conditions. It is demonstrated that the leakage current of films are strongly dependent on the atmosphere during deposition and the substrate temperature. The resistivity properties of films deposited on silicon substrates were very high resistivity. Capacitance of the films properties were the highest value(1000pF) and dependent on substrate temperature.

### I. 서 론

최근 반도체 소자의 고집적, 고용량화로 인해 기존의 캐패시터(capacitor) 재료로 사용되고 있는 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>로는 두께가 한계에 이르러 고 유전율(Apparent permittivity)을 갖는 강유전체 박막에 많은 관심이 모아지고 있다<sup>[1]</sup>. 따라서 DRAM의 셀당 정전용량을 증진시키고 소자의 소형화, 고집적화를 위하여 캐패시터 재료로 perovskite 구조의 유전체를 반도체소자에 응용하기 위한 연구가 활발히 진행되고 있다. DRAM의 고집적화에 있어서 메모리 캐패시터의 용량을 유지시키기 위해서 유전체의 두께를 얇게 하는 방법과 면적을 증가시키는 방법 등이 있는데 두께의 감소는 터널링의 문제점을 야기하고 있으며, 입체 구조적인 면적의 증가는 공정의 복잡화에 따른 문제점에 의한 제약성이 있다. 그러므로 유전율이 높은 재료를 사용하여 이러한 문제점을 해결하려는 추세에 있으며 1G DRAM급 이상의 차세대 메모리 분야에서는 고유전체 박막의 형성 기술의 중요성이 인식되고 있다<sup>[2]</sup>. 고주파 스퍼터링 방식에 의

해서 제작 STO(SrTiO<sub>3</sub>) 박막<sup>[3,4]</sup>는 상온에서 페로브스카이트 구조를 이루는 입방정의 상유전체로 상전이 온도는 110K<sup>[5]</sup> 정도이고 유전상수는 상온에서 약 250~300 정도로서 고주파수에서 유전율이 유지되는 것으로 보고되고<sup>[6]</sup> 있으며 온도 특성이 우수하고 대용량, 저손실 때문에 입계절연형 캐패시터<sup>[7]</sup>와 실리콘 대규모집적 회로의 캐패시터 박막으로 256 Mbits DRAM 뿐만 아니라 MISFETs의 게이트 절연막으로 사용하여 양호한 특성을 얻었다는 보고가 있다. 현재 산화 실리콘과 질화 실리콘 박막에 대한 전기적 특성 및 유전체 특성에 관하여 많은 연구가 진행되어 DRAM 캐패시터로 사용되어 왔으나, 최근 (Ba,Sr)TiO<sub>3</sub>, Pb(Zr, Ti)O<sub>3</sub>과 (Pb, La)(Zr, Ti)O<sub>3</sub>와 같은 세라믹 유전체 박막들의 DRAM의 캐패시터로 이용성이 더욱 더 증대되고 있다.

따라서 본 연구에서는 차세대 반도체 소자의 개발과 유전체 박막의 형성에 따른 집적소자에 응용가능성을 알아보기 위하여 낮은 기판온도에서 STO 박막을 증착하여 정전용량이 양호한 캐패시터 박막을 형성하고자 한다.

## II. 실험 방법

본 실험에서는 STO 캐패시터 박막의 제작을 위해 고주파 마그네트론 스퍼터링 장비와 진공증착기(VSSE-2TS)를 이용하여 Al/STO/Si와 박막을 실리콘 웨이퍼[p-Type(100)] 위에 증착하고 전기적인 특성을 실험하였다. 고주파 마그네트론 스퍼터링법에 의하여 STO 박막을 3.35Å/sec 증착속도로 증착하였다.

스퍼터링 전원은 DC power supply, 최대전력 300W와 13.56MHz의 고주파전원(YS-100S)을 교체 사용하였고 파워메터와 임피던스 매칭기를 이용하여 반응로의 음극 방전으로 플라즈마를 계속 유지하였다. 진공펌프는 로터리 펌프와 확산 펌프를 가동하여  $2 \times 10^{-6}$  Torr 대역까지 배기하고 작용가스 주입을 mass flow controller를 통해 조절하였다. 반응기체로는 Ar:O<sub>2</sub> = 8:2의 forming gas(증착압력:  $1 \times 10^{-2}$  Torr)를 사용하였으며 증착시 반응 기체는 로터리 펌프와 확산펌프를 통해 배기 시켰다. 또한 상부전극 Al과 하부전극 Ag의 형성은 진공증착법으로 증착시 기판온도 200°C로 유지시키며 30A의 전류를 공급하여 10초 동안 증착 하였으며, 전극의 면적은 0.5mm<sup>2</sup>로 하였다. 실험에서 사용된 타겟(Cerac Co. USA)은 직경 5.08cm, 두께 0.98cm 그리고 순도 99.95%의 STO와 TiN 세라믹을 사용하였고 Al과 Ag는 순도 99.99%의 파우더를 사용하였다. 실리콘웨이퍼는 비이커에 아세톤을 채우고 증류수가 채워진 초음파 세척기의 수조에 넣어 세척하는 간접방식으로 약 10분간 아세톤과 증류수의 혼합용액(1:10)으로 세척한 후 증류수에서 약 5분간 세척하고 전열기로 건조시킨 후 보관하여 사용하였다.

표1. 박막의 증착조건

Table. 1 Deposition condition of film

RF Power(W)	100
Gas Pressure(Torr)	$1 \times 10^{-2}$
Sputtering Gas(Ar/O <sub>2</sub> )	80/20
Deposition Temperature(°C)	50, 100, 200
Thickness(Å)	2500, 5000

타겟 표면의 불순물은 플라즈마 방전시에 약 1

분간 프리 스퍼터링을 실시하여 서터로 차단하여 제거하였다. 한편, 전극 증착은 100[mg]의 Ag 시료분말을 텅스텐 보트에 담아 rotaray pump와 diffusion pump를 이용하여  $10^{-6}$  [torr]까지 배기한 후 30[mA]의 전류를 가하여 증착시 열화를 방지하여 약 3[sec] 동안 증착 하였다. 표1에 증착조건을 나타냈다.

## III. 실험결과 및 분석

그림 1은 실리콘 웨이퍼 위에 300°C 2000Å 두께의 SrTiO<sub>3</sub> 박막을 SEM으로 절단면의 미세구조 사진을 나타낸다. Ag/SrTiO<sub>3</sub>/Si 구조에서의 단면형상으로 Si와 상부전극과의 계면에서 결합상태는 양호하며, 박막은 균열은 보이지 않았으며 치밀한 조직을 이루고 있음을 확인할 수 있다.

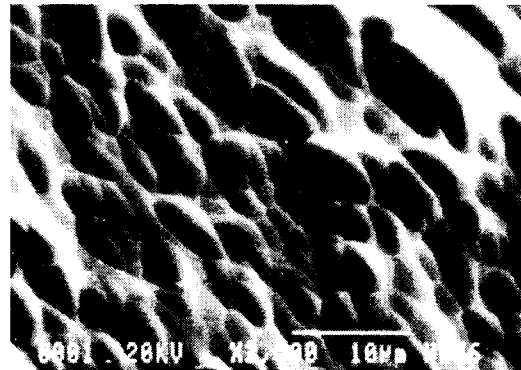


Fig. 1 SEM surface image of STO thin films deposited at 300°C.

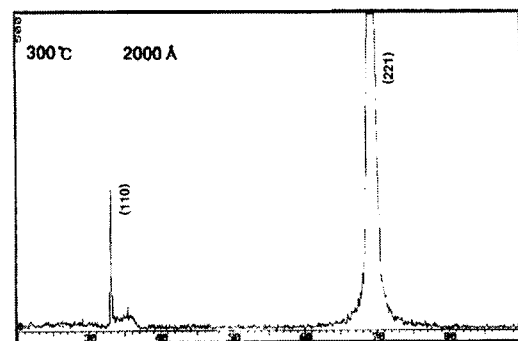


Fig. 2 X-ray patterns of STO thin films deposited at 300°C.

그림 2는 증착온도 300℃에서 고주파 마그네트론 방법으로 증착한 STO 박막의 회절선이다. 이 때 회절피크는 33°와 70°에서 회절피크가 관측되고 있으나 회절피크 강도는 215.7 [cps], 500 [cps]로 회절피크가 나타나지 않음을 알 수 있다. 본 실험에서는 저온(300℃)증착으로 STO 박막을 페로브스카이트 단일상의 단결정상을 얻을 수 있음을 확인하였다.

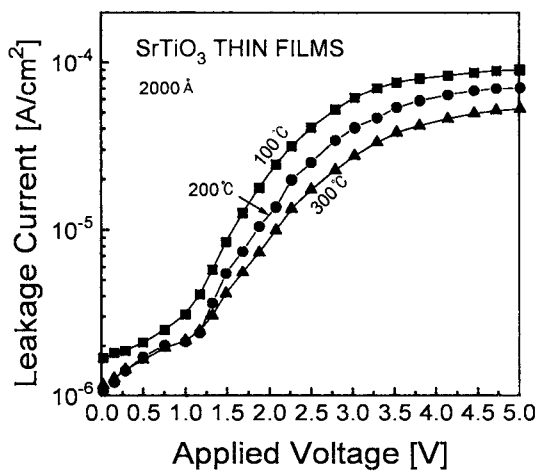


Fig. 3 The leakage current density vs. voltage characteristics of thin films deposited at various deposition temperatures.

누설전류 특성은 DRAM capacitor와 절연층의 적용여부를 좌우하는 메카니즘으로 유전체 박막에서는 이 누설전류를 낮추는데 그 목적을 두고 있다. Perovskite 구조의 SrTiO<sub>3</sub> 커패시터 박막을 측정시 인가전압을 역방향전압(-5V)에서 순방향전압(5V)으로 증가할 때 박막의 두께 2000Å의 경우에 SrTiO<sub>3</sub> 커패시터 박막의 증착시 기판온도와 인가전압에 따른 누설전류밀도의 특성곡선을 그림 3에 나타낸다. 박막 커패시터의 누설전류 값은 기판온도 300℃에서는 9.7e<sup>-6</sup> [A/cm<sup>2</sup>]에서 5.5e<sup>-5</sup> [A/cm<sup>2</sup>]의 값이 됨을 알 수 있었다. 이때 순방향 전압영역에서 포화영역은 각 온도에 대하여 1 [V]로 낮은 포화현상을 나타내었다.

그림 4와 5는 전압 30V를 인가하여 박막 시료의 저항을 LCR 메터를 이용하여 결과를 나타내고 있다. 증착온도와 비저항 관계를 주파수 120Hz와 1KHz에서 측정된 값을 나타내었다.

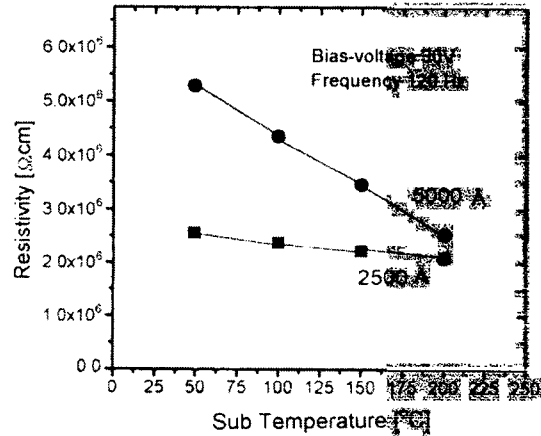


Fig. 4 Resistivity dependence of SrTiO<sub>3</sub> thin films as a function of sub. temperature (120Hz)

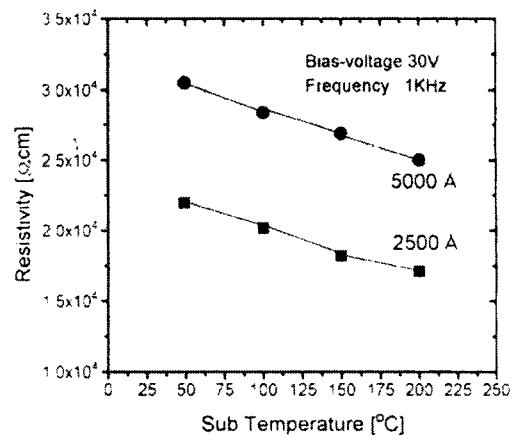


Fig. 5 Resistivity dependence of SrTiO<sub>3</sub> thin films as a function of sub. temperature (1KHz)

그림 4는 측정 주파수 120Hz에서 2500Å일 때 증착온도 50℃에서 2.63 × 10<sup>6</sup> Ω · cm 이었으며, 200℃에서는 2.14 × 10<sup>6</sup> Ω · cm임을 보였고 5000Å의 각 증착온도에서 5.27 × 10<sup>6</sup> Ω · cm과 1.71 × 10<sup>6</sup> Ω · cm 이었다. 한편 그림 5는 1KHz에서 증착온도 50℃에서 2.25 × 10<sup>4</sup> Ω · cm 이었으며 200℃에서는 1.75 × 10<sup>4</sup> Ω · cm으로 나타냄을 보였고 5000Å의 각 증착온도에서 3.15 × 10<sup>4</sup> Ω · cm과 2.51 × 10<sup>4</sup> Ω · cm으로 온도가 높을수록 비 저항은 낮게

나타나고 있으며, 박막의 두께가 두꺼운 경우에 비 저항이 높게 나타나고 있으며 온도에 따라서 비 저항의 감소율이 높아짐을 보이고 있다. 또한 주파수가 높을수록 비 저항은 낮게 나타남을 보였다.

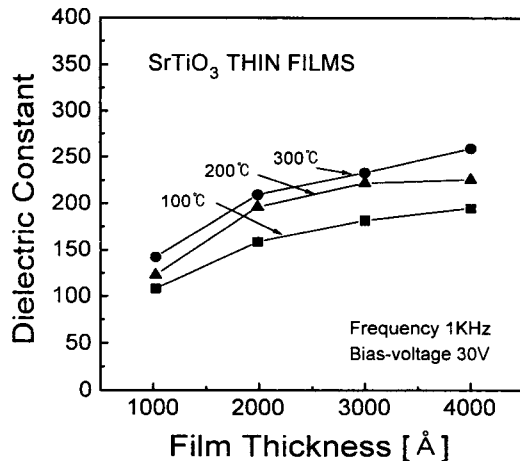


Fig. 6 Dielectric constants of thin films at various deposition thickness.

그림 6은 시편에 Al 전극을  $0.5\text{mm}^2$ 으로 증착하여 LCR meter를 사용하여 30V 인가전압시에 1KHz의 측정신호로 정전용량을 측정하여 식  $\epsilon_s$

$$= \frac{C \cdot t}{\epsilon_0 \cdot A}$$

로 계산된 유전상수 값을 도시하였다.

정전용량과 비유전율은 함수관계가 있으므로 그래프의 추이는 거의 직선적이고 박막의 두께가 두꺼울수록 정전용량과 비유전율은 높게 나타났으며, 박막 제작 온도가 높을수록 비유전율이 상승하는 결과를 나타내 보였다. 증착온도 300°C와 4000Å 두께에서 가장 높은 유전율을 나타내고 있었으며, 두께가 얇을수록 터널링 할 수 있는 가능성이 높기 때문에 누설전류가 증가하여 박막의 유전성에 나쁜 영향을 미친다고 생각된다. 반면 증착온도에 의한 영향은 온도상승에 따라 화학량론적인  $\text{Sr}^{2+}$  결핍의 감소와  $\text{TiO}_2$  상의 반응이 활발하여 박막 입자의 결정성이 향상되어 결정립자의 크기가 적어지므로 캐패시턴스의 공간전하층에 축적되는 에너지가 증가하는 결과로 생각된다.

#### IV. 결 론

본 연구에서는 RF 스퍼터링 방법에 의해서 유전체 세라믹 캐패시터 박막을 제작하고 전기적인 특성을 측정한 결과 다음과 같은 결론을 얻었다.

1. 누설전류밀도는 기판온도가 높을수록 높게 나타났으며  $10^{-5}$  값으로 낮은 누설전류밀도를 나타내었다.
2. 캐패시터의 비 저항은  $10^5$ 로 높은 특성을 나타냈으며 절연체에서 요구되는 절연막으로의 적용성을 보였다.
3.  $\text{SrTiO}_3$  박막의 유전상수는 주파수가 낮을수록 높은 특성을 보였다.
4. 박막의 표면 사진은  $\text{SrTiO}_3$  박막에서 단일상의 단결정 박막으로 관측되었고 나타내었다.

#### 참고문헌

- (1). Masahiko Hiratani, Kazushige Imagawa and Kazumasa Takagi, "Orientation and crystal structure of  $\text{SrTiO}_3$  thin films prepared by pulsed laser deposition," *Jpn. J. Appl. Phys.*, 34, 254-260, 1995.
- (2). Seigen Otani, Mami Kimura and Nobuo Sasaki, "Laser annealing of  $\text{SrTiO}_3$  thin films deposited directly on Si substrates at low temperature," *Appl. Phys. Lett.*, 63(11), 4 October 1993.
- (3). K. Morii, H. Kawano, I. Fujii, T. Matui and Nakayama, "Dielectric relaxation in amorphous thin films of  $\text{SrTiO}_3$  at elevated temperatures," *J. Appl. Phys.* 73(3), 1514-1919, 1 August, 1995.
- (4). JOON SUNG LEE, HAN WOOK SONG, DAE SUNG YOON and SOO NO KWANG, "Preparation and characterization of  $\text{SrTiO}_3$  thin films using ECR plasma assisted MOCVD," *Mat. Res. Soc. Symp. Proc.*, 415, 183-188, 1996.
- (5). C. J. Brinker and G. W. Screrer, "Sol-Gel science," *Academic Press*, 1-10, 1990.
- (6). H. P. R. Frederikese and W. R. Hosier, "Hall Mobility in  $\text{SrTiO}_3$ ," *Physical Review*, 161, 1968.
- (7). X. Chen, A. I. Kingon, et al, "Leakage and interface engineering in titanate thin films for non-volatile ferroelectric memory and ULSI drams," *Integrated Ferroelectrics*, 7, 293-306, 1995.