

## Offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 I-V 분석

The Analysis of I-V characteristics on n-channel offset gated poly-Si TFT's

변문기, 이제혁, \*김동진, 조봉희, 김영호

(M. G. Byun, J. H. Lee, D. J. Kim, B. H. Cho, Y. H. Kim)

### Abstract

The I-V characteristics of the n-channel offset gated poly-Si TFTs have been systematically investigated in order to analyze the effects of offset region. The on currents are reduced due to the series resistance by the offset length and there is no kink phenomenon in offset devices. The off currents of the offset gated TFTs are remarkably reduced to  $10^{-12}$  A independent of gate and drain voltage because the electric field is weakened by the increase of the depletion region width near the drain region. It is shown that the offset regions behave as a series resistance and reduce lateral and vertical electric field.

**Key Words(중요용어) :** Poly-Si TFT's, offset gated poly-Si TFT's, off currents

### 1. 서 론

최근 다결정 실리콘 박막트랜지스터는 낮은 구동 전압, 높은 이동도, 우수한 on/off 전류비 등의 특성으로 인하여 광범위한 범위에 걸쳐 응용되어지고 있다. 그러나 이러한 좋은 특성에도 불구하고 다결정 실리콘 박막 트랜지스터의 큰 off 전류 특성 때문에 화소의 스위칭 소자로 사용시 화소에 가해진 전압을 일정하게 유지하기 어려우며 이로 인한 디스플레이의 선명도가 감소하고 화질이 떨어져서 AMLCDs에서의 스위칭 소자로 사용할 수 없다는 것이 문제점으로 제기 되어지고 있다. 이러한 다결정 실리콘 박막 트랜지스터의 off 전류는 게이트 전압( $V_{GS}$ )과 드레인 전압( $V_{DS}$ )에 따라 좌우되며, 특히 드레인 근처 고 전계 영역에서 큰 off 전류가 발생하고 있다.

#### 수원대학교 전자재료공학과

(경기도 화성군 봉담읍 와우리 산2-2, Fax : 0331

-223-4769, E-mail : emad@mail.suwon.ac.kr)

#### · 유한대학 전자과

생하고 있다. 따라서 다결정 실리콘 박막트랜지스터의 off 전류를 감소시키기 위해서는 드레인 근처에 인가되는 전계를 감소시켜야 하며 이를 위해 offset-gated TFT's, LDD(lightly doped drain) TFT's, multiple-gate TFT's 등 여러 가지 소자 구조에 대하여 많은 연구가 진행되어지고 있다. 일반적으로 offset gate 구조와 LDD 구조 등은 드레인에 인가되는 전계를 감소시켜 off 전류를 감소시키는 기생 직렬 저항(parasitic series resistance)을 이용하는 방법으로 on 전류 역시 현저하게 감소하게 되며 offset 길이나 LDD 길이에 민감한 특성을 나타나게 된다.

따라서, 본 연구에서는 n-채널 offset-gated TFT를 quartz 기판 상에  $W/L=50 \mu\text{m} / 10 \mu\text{m}$ 으로 offset 길이에 변화를 주면서 제조한 후 특성 변화를 가져오는 메커니즘을 규명해 보고자 한다.

### 2. 실험 방법

LPCVD(low-pressure chemical vapor deposition)

방법으로 550 °C에서 500 Å 두께의 실리콘 박막을 증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는  $\text{SiN}_4$ 를 사용하였으며, 증착 시 진공도는 0.3 Torr,  $\text{SiN}_4$  유입량은 60 sccm(standard cubic centimeter), 증착률은 34 Å /min로 유지하였다. Si 이온을 35 Kev,  $1.1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 SPC(solid phase crystallization) 방법으로 열처리(580 °C, 48 hrs)하여 다결정 실리콘으로 고상결정화 시킨 후 active mask를 이용하여 활성영역 층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. Gate 산화막은 열산화 방법으로 950 °C에서 1000 Å 성장시키고 poly-Si 게이트 전극을 LPCVD 방법을 사용하여 560 °C에서 1500 Å 두께로 증착한 후 gate mask를 사용하여 gate 영역층을 정의한다.  $n'$ 의 source/drain 형성을 위해  $3 \times 10^{15} \text{ cm}^{-2}$ , 95 Kev의 조건으로  $n'$  이온을 source, drain, gate 영역에 이온 주입하였으며 이때 masking 작업을 이용하여 offset 영역을 정의한다. 열산화 방법으로 순수  $\text{SiO}_2$  막을 950 °C에서 3500 Å 두께로 증착시켰다. Contact mask를 이용하여 source, drain, gate 접촉 점을 정의한 후 실리콘이 1 % 함유된 알루미늄을 DC magnetron sputtering 방법으로 전극을 증착하였다. Metal mask를 사용하여 전극을 형성하고 450 °C에서 1시간 동안 alloying하여  $W/L = 50 \mu\text{m} / 10 \mu\text{m}$ 이고 다양한 offset length를 갖는 n-channel 다결정 실리콘 박막 트랜지스터를 제작하였으며 그 단면도는 Fig. 1 과 같다.

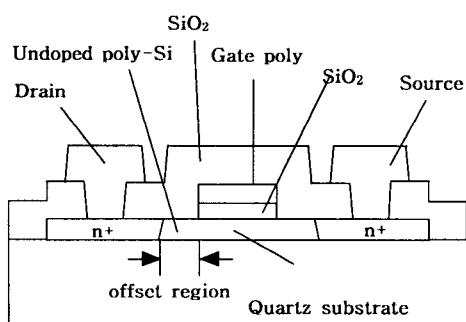


그림 1 다결정 실리콘 박막 트랜지스터의 단면도  
Fig. 1 Crossectional view of offset gated poly-Si TFT's

### 3. 결과 및 고찰

Fig. 2 는 게이트 전압이 5 V일 때의 offset 길이에 따른  $I_{DS}-V_{DS}$  특성 곡선이다.

Offset 영역에 의한 직렬저항 효과로 인하여 offset 길이가 증가함에 따라 on 전류가 감소하는 것을 확인할 수 있었다. 또한, 일반 소자의 경우 드레인 전압이 10 V인 지점에서 나타나기 시작하는 kink 현상이 offset 구조를 갖는 소자에선 나타나지 않았는데 이는 offset 영역으로 인한 드레인 극처의 전압강하에 의해서 전계값이 감소했기 때문에 발생 바이폴라 트랜지스터 효과(parasitic bipolar transistor action)가 일어날 정도로 캐리어(전자)에 에너지를 전달해 주지 못했기 때문으로 사료되며, 이것은 게이트 전압이 5 V이고 드레인 전압이 10 V 일 때의 수평전계 simulation 결과인 Fig. 3 으로부터 offset 영역에 의하여 수평방향 전계의 크기가 크게 감소된다는 것을 확인함으로써 증명할 수 있었다.

Fig. 4 는 Fig. 2 의 그래프에서 드레인 전압이 15 V에서 20 V 인 구간을 1차 함수로 가정하여 그 기울기의 역수로부터 구한 offset 길이에 따른 저항 값의 변화 그래프이다.

게이트 전압이 증가할수록 반전층이 증가하기 때문에 게이트 전압이 9 V 이상이 되면 offset 영역에 의한 저항효과는 거의 사라지게 되어 일정해지게 된다. 하지만 게이트 전압이 적어질수록 offset에 의한 저항효과가 커지게 되기 때문에 offset 길이에 따른 저항값 증가 비율은 커지게 된다.

Fig. 6 은 드레인 전압이 5 V일 때의 offset 길이에 따른  $I_{DS}-V_{GS}$  특성 곡선이다. 일반적인 구조를 갖는 다결정 실리콘 박막 트랜지스터는 offset gate 구조를 갖는 소자에 비하여 매우 높은 off 전류를 나타내며, offset 소자의 off 전류는 드레인 전압 및 게이트 전압과 offset 길이에 별다른 영향 없이  $10^{12} \text{ A}$  정도의 값으로 변하게 된다.

다결정 실리콘 트랜지스터의 off 전류는 grain boundary 내의 trap 밀도와 수평방향 전계의 함수이기 때문에 offset 영역에 의한 드레인 부근의 수평전계 감소 효과에 의하여 그 값이 크게 줄어 일정한 값을 가지게 되는 것으로 사료되며 이는 게이트 전압이 -10 V 이고 드레인 전압이 5 V 일 때의 수평전계 simulation 결과인 Fig. 5 에서 offset 영역에 의하여 수평방향 전계의 크기가 일정한 값으로 줄어드는 것을 확인함으로써 증명할 수 있었다.

#### 4. 결 론

Quartz 기판 상에 다양한 offset 길이를 가지는 poly-Si TFT's를 제조하여 그 특성을 연구하였다.

Offset 구조를 가지는 poly-Si TFT's는 offset 영역에 의한 직렬저항 효과와 전계감소 효과 때문에 offset 길이에 비례하여 on 전류가 감소하게 되며 일반적인 소자에서 나타났던 kink 현상이 없어지게 된다. 또한,  $I_{DS}$ - $V_{DS}$  특성 곡선의 포화곡선 기울기로부터 유도해낸 저항값으로부터 offset의 직렬저항 효과는 게이트 전압이 적을수록 크게 나타나게 되는 것을 확인할 수 있었다. 전계의 영향을 크게 받는 off 전류의 경우는 일반 소자의 off 전류가 드래인 전압에 따라 크게 증가하는데 반하여 offset 소자의 경우는 offset 영역에 의하여 전계값이 offset 길이에 상관 없이 일정한 값으로 줄어들기 때문에 off 전류값은  $10^{-12}$  A 정도로 게이트 전압이나 드래인 전압의 증감과 상관없이 거의 일정한 값을 유지하게 된다.

#### 참 고 문 헌

1. KEIJI TANAKA, HITOHI ARAI, SHIGETO KOHDA, "Characteristics of Offset-Structure Polycrystalline-Silicon Thin-Film Transistors", IEEE ELECTRON DEVICE LETTERS, Vol. 9, pp. 23~25, 1988.
2. K. R. Olasupo, W. Yarbrough, and M. K. Hatalis, "The Effect of Drain Offset on Current-Voltage Characteristics in Sub Micron Polysilicon Thin-Film Transistors", IEEE TRANSACTION ON ELECTRON DEVICES, Vol. 43, pp. 1306~1308, 1996.
3. J. R. Ayres and N. D. Young : IEE Proc.-Circuit Devices Syst. 141 (1994) 33

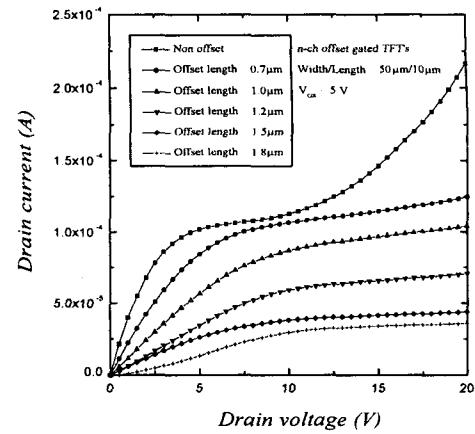


그림 2 게이트 전압이 5 V일 때의 offset 길이에 따른  $I_{DS}$ - $V_{DS}$  특성 곡선

Fig. 2 The output characteristics of n-channel poly-Si TFT's at  $V_{GS} = 5$  V

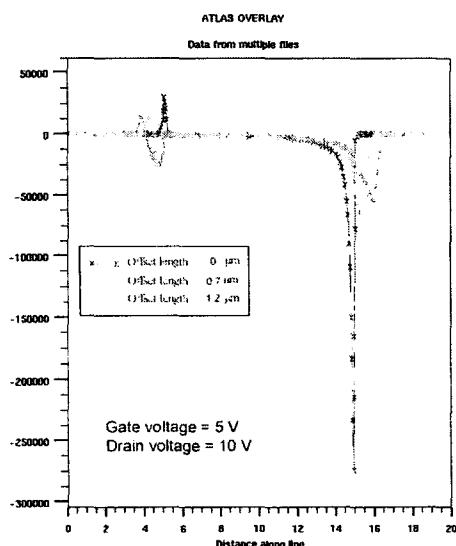


그림 3 게이트 전압이 5 V이고 드레인 전압이 10 V 일 때의 전계 simulation 결과

Fig. 3 The results of electric field by simulation when  $V_{GS} = 5$  V and  $V_{DS} = 10$  V

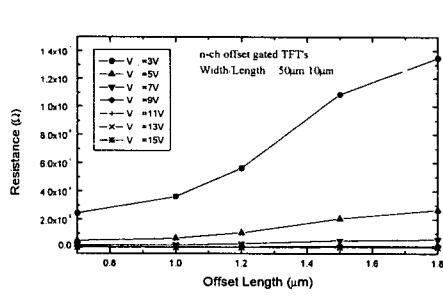


그림 4 Offset 길이와 게이트 전압에 따른 저항값의 변화

Fig. 4 Variation of resistance as a function of offset length and gate voltage.

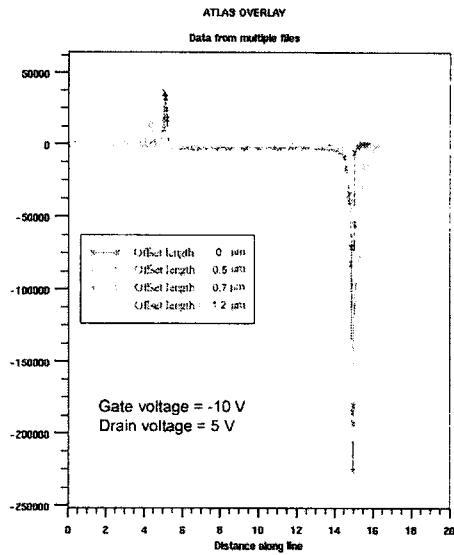


그림 6 게이트 전압이 -10 V이고 드레인 전압이 5 V 일 때의 전계 simulation 결과

Fig. 6 The results of electric field by simulation when  $V_{GS} = -10$  V and  $V_{DS} = 5$  V

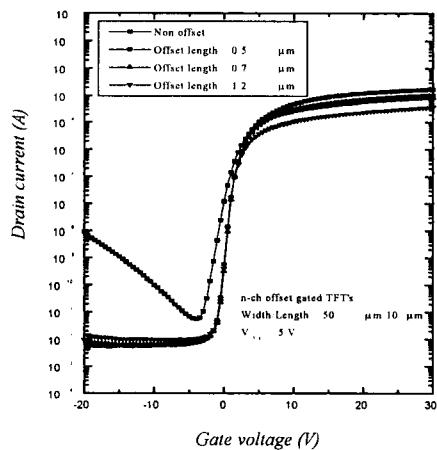


그림 5 드레인 전압이 5 V일 때의 offset 길이에 따른  $I_{DS}$ - $V_{GS}$  특성 곡선

Fig. 5 The transfer characteristics of n-channel poly-Si TFT's at  $V_{DS} = 5$  V.