

## N-채널 박막 SOI MOSFET의 후면 바이어스에 따른 전기적 특성 분석

### Analysis of the electrical characteristics with back-gate bias in n-channel thin film SOI MOSFET

이제혁, 임동규, 정주용\*, 이진민, 김영호  
수원대학교 전자재료공학과, Rodel Korea\*

J. H. Lee, D. G. Lim, J. Y. Chung\*, J. M. Lee, Y. H. Kim  
Dept. of Electronic Materials Engineering, The University of Suwon, Rodel Korea\*

#### Abstract

In this paper, we have systematically investigated the variation of electrical characteristics with back-gate bias of n-channel SOI MOSFET's. When positive bias is applied back-gate surface is inverted and back channel current is increased. When negative bias is applied back-gate surface is accumulated but it does not affect to the electrical characteristics.

**Key words(중요용어)** : SOI MOSFET, positive bias, negative bias, electrical characteristic

#### 1. 서 론

최근 들어 bulk MOSFET의 규모가 점점 작아짐에 따라 소오스, 드레인, 게이트 영역에 생기는 공핍영역이 상호 밀접한 관계를 갖고, 드레인 전압의 증가에 따라 문턱전압이 낮아지는 DIBL(Drain Induced Barrier Lowering) 현상이 널리 알려지게 되었으며, n<sup>+</sup>-p간의 접합 기생정전용량(parasitic junction capacitance)등 여러 기생효과가 심각하게 나타나는데, 이러한 기생효과를 줄이기 위한 새로운 제조 기술인 SOI (Silicon-On-Insulator) 기술<sup>1)</sup>에 대한 많은 연구결과가 보고되어지고 있다. SOI MOSFET의 경우 구조적으로 활성영역(active layer)이 기판으로부터 완전히 격리되어 있기 때문에 bulk MOSFET 보다 열전자 효과(hot-carrier effect)<sup>2)</sup>, Latch-up, 몸체효과(body-effect)등이 현저히 억제되며, 접합면적의 감소로 인한 기생정전용량이 감소하여 SRAM, Microprocessor등 고속소자 및

회로 구성에 큰 이점을 갖는다<sup>3-4)</sup>.

SOI MOSFET 기술은 이러한 장점으로 인하여 서브미크론 소자의 문제점들을 해결하고 더 나아가 저 전력, 저 전압, 초고주파 응용에 가장 적합한 실리콘 소자 제작 기술로 평가되어 지고 있다.

현재 SOI MOSFET에 대한 주된 연구는 활성층으로 사용되어지는 실리콘 박막의 두께가 2000Å 이하인 초 박막 SOI MOSFET에 대한 연구가 이루어지고 있으며, 초 박막 SOI MOSFET인 경우 실리콘 막의 두께가 매우 얇아 활성영역전면이 완전 공핍(Fully-Depleted)이 일어날 수 있으며, 전면과 후면 게이트 전압에 의한 전하 결합(charge coupling)현상<sup>5)</sup>이 전기적 특성에 영향을 미친다. 따라서 본 논문에서는 전면 활성영역이 완전 공핍이 되도록 실리콘 막이 매우 얇은 완전 공핍형 4단자 SOI MOSFET을 제작하여, 후면 게이트 바이어스를 변화에 따른 전기적인 특성을 분석하였다.

## 2. 실험 방법

본 연구에서는 매몰층 산화막 두께는 1500Å 이고 활성영역으로 사용되어지는 실리콘 막의 두께가 1000Å을 갖는 BESOI(bonded and etch back SOI) 웨이퍼를 사용하여 게이트 산화막의 두께가 100Å을 갖고 10 $\mu$ m의 채널 폭과 0.5 $\mu$ m의 채널 길이를 갖는 4단자 n-채널 MOS 트랜지스터를 제작하였다. 또한 contact에 접촉저항을 줄이기 위하여 소스, 드레인, 게이트에 텅스텐 실리사이드를 형성하였다.

위와 같은 방법으로 제작되어진 4단자 SOI MOSFET를 제작하여 후면 바이어스의 변화에 따른 전기적인 특성을 측정분석 하였다. 공정 변수는 Table I에 나타내었으며, 그림 1에 4 단자 n-채널 SOI MOSFET의 단면도를 나타내었다.

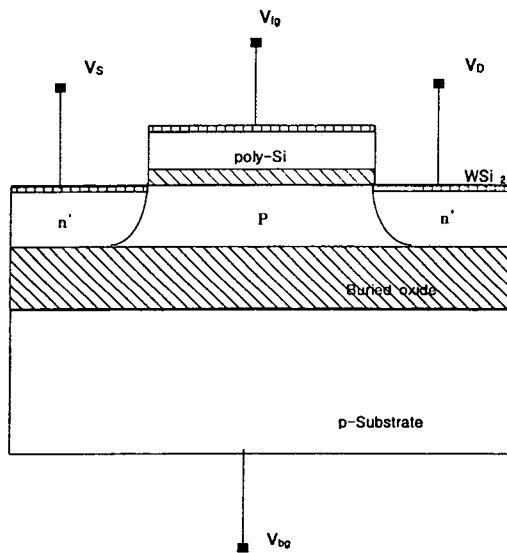


Fig. 1. The cross-section of 4-terminal n-channel SOI MOSFET

## 3. 결과 및 고찰

본 연구에서는 4단자 n-채널 SOI MOSFET's에 후면 바이어스를 인가하여 변화하는 전기적 특성을 측정 분석하였다.

그림 2는 n-채널 SOI MOSFET's의 후면 게이트 전압 변화에 따른 전형적인  $I_{DS}-V_{GS}$  그래프를 나타낸 것이다. 후면 게이트 전압에 관계없이 드레인

Table I. MOS and BESOI wafer Parameters

Channel Depletion	Full
Active silicon layer thickness (nm)	100
Gate oxide thickness (nm)	10
Buried oxide thickness(nm)	150
Gate length ( $\mu$ m)	0.5
Channel width ( $\mu$ m)	10
Drain structure	Single

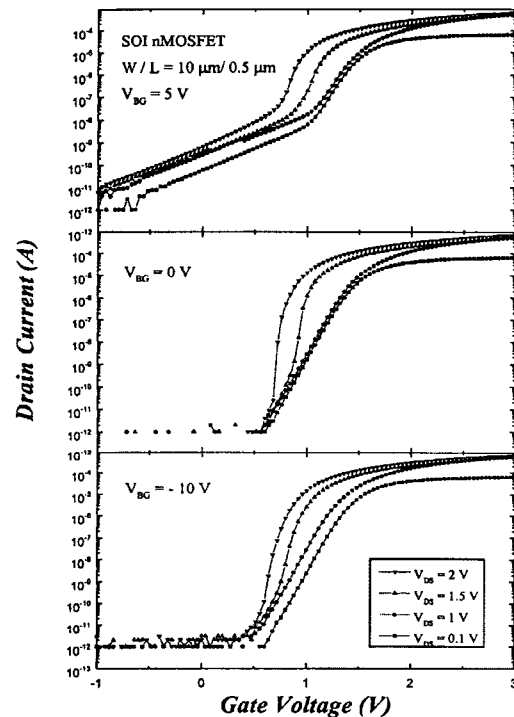


Fig. 2. The  $I_{DS}-V_{GS}$  characteristics with back-gate bias of n-channel SOI MOSFET's.

전압이 증가하면 문턱전압이하의 영역에서 드레인 전류가 급격히 증가하는 현상이 나타남을 알 수 있다. 후면 게이트 전압이 5V일 때는 후면 게이트 전압에 의하여 후면 계면이 반전되므로 전면 게이트 전압이 (-)임에도 불구하고 전류가 흐르게 된다. 후면 게이트 전압이 증가함에 따라 후면 채널 전류의 증가하기 때문에 그래프는 위쪽으로 이동한다. 후면 게이트 전압이 -10V일 때 후면 계면은 0V일

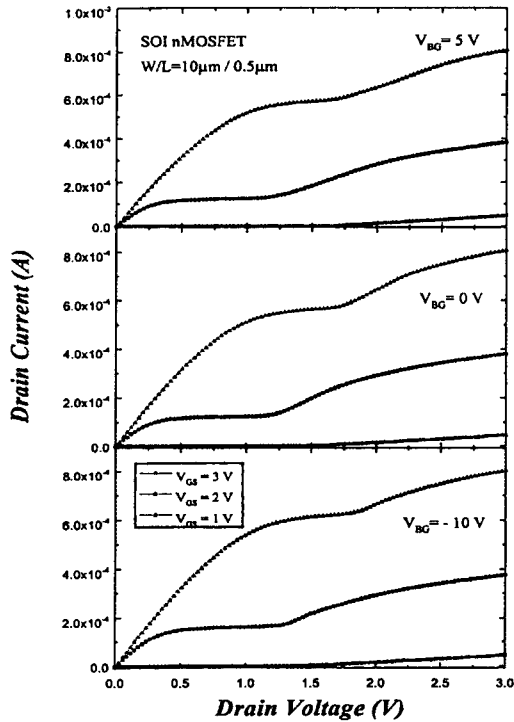


Fig. 3. The  $I_{DS}$ - $V_{DS}$  characteristics with back gate bias of n-channel SOI MOSFET's.

때와 마찬가지로 축적 상태를 이루며 특별한 변화는 나타나지 않는다. 그러나 후면 계면이 더욱 축적되고 높은 드레인 전압이 인가되면 낮은 드레인 전압 영역에 비하여 후면 게이트 전압에 영향을 많이 받는 것으로 나타났다.

그림 3은 n-채널 SOI MOSFET's의 후면 게이트 전압 변화에 따른  $I_{DS}$ - $V_{DS}$  그래프를 나타낸 것이다. 후면 전압의 변화와 상관없이 드레인 전압이 증가함에 따라 드레인 전압이 급격하게 증가하는 현상이 나타난다. 이는 활성영역에 존재하는 실리콘 몸체에 축적된 정공에 의하여 kink 현상이 발생하는 것을 알 수 있다.

#### 4. 결론

본 연구에서는 활성영역층의 두께가 1000Å을 갖는 n-채널 SOI MOSFET's를 제작하여 후면 게이트 전압에 따른 전기적인 특성을 분석하였다. 후면 게이트 전압에 관계없이 드레인 전압의 증가에 따라 드레인 전류가 급격히 증가하는 것으로 나타났

으며 후면 게이트 전압에 (+)전압을 인가하면 후면 표면상태는 반전되고 전면 게이트 전압이 (-)전압이라도 전류가 흐르게 되며 (+)쪽으로 증가함에 따라 후면 채널 전류가 증가함을 알 수 있다. 또한 후면 게이트 전압에 0V에서 (-)전압을 인가하면 표면 전위가 축적 상태가 되며 실리콘 몸체에 (+)전하 축적이 많아지기 때문에 전기적인 특성에는 별다른 영향을 미치지 못하는 것을 알 수 있었다.

#### 참고 문헌

1. J. P. Colinge "SILICON-ON-INSULATOR TECHNOLOGY : Materials To VLSI ", 1991.
2. James B. Kuo and Ker-Wei Su " CMOS VLSI Engineering Silicon-On-Insulator(SOI) ", 1998.
3. W. H. Lee, T. Osakama, K. Asada, and T. Sugano, "Design methodology and size Limitations of submicrometer MOSFET's for DRAM applications," IEEE Trans. Electron Devices, Vol. 35, No. 11, pp. 1876-1884, 1988
4. J. C. Surm, K. Tokunaga, and J. P. Collinge, "Increased drain saturation current in ultra-thin silicon on insulator(SOI) MOS transistor." IEEE Electron Device Letters, Vol. 9, No. 9, pp. 460-463, Sep. 1988.
5. M. Matloubian, M. Benachir, J. Brini, and G. Ghibaudo, "Analytical models of subthreshold swing and threshold voltage for thin- and ultra-thin-film SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 32, No. 11, pp. 2303-2311, Nov. 1990.