

온도 변화에 따른 GaAs MESFET의 정전용량에 대한 연구

Capacitance Characteristics of GaAs MESFET with Temperatures

박지홍, 김영태, 원창섭, 안형근, 한득영
건국대학교 전기공학과

Chihong Park, Kim Young-Tae, Won Chang-Sub, Hyungkeun Ahn, Han Deuk-Young
Dept. of Electrical Engineering, Konkuk University

Abstract

In this paper, we present simple physical model of the Capacitance characteristics for GaAs MESFET's in wide temperatures. In this model, gate-source and gate-drain capacitances are represented by analytical expressions which are classified into three different regions for bias voltage. This model contained the temperature dependent variable that is the built-in voltage and the depletion width. Using the equations obtained in this work, a submicron gate length MESFET has simulated and theoretical result are in good agreement with the experimental measurement.

Key Words(중요용어): metal-semiconductor field-effect transistor(MESFET), Capacitance characteristics.

1. 서론

GaAs MESFET은 초고속과 초고속의 디지털 회로에서 중요한 부분으로서, 보다 정확한 모델을 개발하고자 많은 연구가 진행되고 있으며, 그 결과 해석적인 많은 정전용량 모델이 제안되었다[1][2][3]. 그러나 지금까지 제안된 모델은 온도에 대한 해석이 부족하고, 온도에 대한 특성을 제시한 경우도 그 온도의 한계가 낮았다. 그래서 본 논문은 정전용량을 해석함에 있어서 온도에 따라서 변화하는 변수를, 물리적으로 기초한 소자해석에 추가함으로써 온도에 따라 변화하는 정전용량의 모델을 제시하고 있다. 이는 온도가 점점 올라가고 주파수가 점점 높아짐에 따라, 온도에 의한 정전용량의 변화가 무시할 수 없는 변수로 작용하게 되는 특성을 해석하는데 그 목적이 있다.

2. 온도에 따른 소자 해석

새로이 제시된 모델은 기존의 물리적인 기반을 둔 소자해석에서 무시되어졌던 부분을 추가하였다[4]. 그리고, 인가된 전압에 따라 달라지는 공핍층의 변화를 추가하고, 여기에 온도에 따른 변수를 추가하였는데, 먼저 온도에 따라서 변화하는 값들을 확인

하고, 이어서 인가전압에 따라서 변화하는 공핍층 내부의 전하를 구하고, 이를 바탕으로 게이트 소스 간 정전용량(C_{gs})과 게이트 드레인간의 정전용량(C_{gd})을 구하게 된다. 그리고 채널 내부를 흐르는 전하에 의한 정전용량(C_{ch})을 추가하여 모델을 완성하였다.

2.1 온도에 따른 변수

온도에 따른 정전용량을 계산하기 위해서는 먼저 온도에 따라서 공핍층의 두께($a(x)$)와 내부전압(V_{bi})이 변하는 성질을 이용하는데, 이것은 식 (1),(2)와 같다[5].

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{N_D}{n_i}\right) - \frac{(E_C - E_F)}{q} \quad (1)$$

$$a(x) = \sqrt{\frac{2\epsilon(V_{bi} - V(x) - \frac{kT}{q})}{qN_D}} \quad (2)$$

2.2 정전용량

2.2.1 문턱전압 이상의 선형영역

$$(V_g > V_T, V_{ds} < V_{dsat})$$

그림 1 은 선형영역일 때 MESFET의 단면도를 보여주고 있는데, 공핍층의 내부를 1, 2, 3 영역으로 나누어서 각 영역의 전하를 구하고, 이를 미분함으로써 정전용량을 구하게 된다. 게이트 소스 사이의 정전용량은 식 (3)과같이 표현할수 있다.

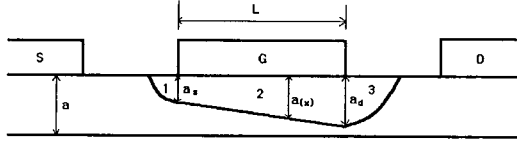


그림 1. 선형영역에서 MESFET의 내부 표면전하 분포

Fig 1. Internal space charge distribution in the linear region

$$C_{gs} = C_{gs}' + C_{ch} \quad (3a)$$

$$C_{gs}' = C_{gs1} + C_{gs2} + C_{gs3} = - \frac{\partial Q_t}{\partial V_{gs}} \Big|_{V_{ds} = \text{const.}} \quad (3b)$$

식 (3b)에서 Q_t 는 총 표면 전하를 나타내고 C_{gsi} 는 i번째 영역의 정전용량을 나타내는데 다음과 같다.

$$C_{gsi} = - \frac{\partial Q_i}{\partial V_{gs}} \Big|_{V_{ds} = \text{const.}} \quad i = 1, 2, 3 \quad (3c)$$

비슷하게 게이트 드레인 사이의 정전용량은 식(4)와 같다.

$$C_{gd} = C_{gd}' + C_{ch} \quad (4a)$$

$$C_{gd}' = C_{gd1} + C_{gd2} + C_{gd3} = \frac{\partial Q_t}{\partial V_{ds}} \Big|_{V_{gs} = \text{const.}} \quad (4b)$$

Q_i 는 i번째 영역의 전하이며, 각각은 식(5)와 같다.

$$Q_1 = qN_D W \frac{\pi}{4} a_s^2 \quad (5a)$$

$$Q_2 = qN_D W \int_0^L a(x) dx \quad (5b)$$

$$Q_3 = qN_D W \frac{\pi}{4} a_d^2 \quad (5c)$$

여기에서 a_s 는 게이트 단자의 소스 쪽의 공핍층의 폭을, a_d 는 게이트 단자의 드레인 쪽의 공핍층의 폭을 나타내며 다음의 식과 같고, q 는 전자의 전하량, N_D 는 채널의 도핑농도, L 은 게이트의 길이(채널의 길이), W 는 게이트의 폭을 나타낸다.

$$a_s = \sqrt{\frac{2\epsilon(V_{bi} - V_{gs} - \frac{kT}{q})}{qN_D}} \quad (6)$$

$$a_d = \sqrt{\frac{2\epsilon(V_{bi} - V_{gs} + V_{ds} - \frac{kT}{q})}{qN_D}} \quad (7)$$

선형영역에서의 정전용량의 결과는 다음과 같다.

$$C_{gs} = \quad (8)$$

$$\pi\epsilon W - P \left(-\frac{3}{2} \frac{\left(\frac{\epsilon(-V_{bi} + V_{gs} - V_{ds} + \frac{kT}{q})}{qN_D} \right)^{1/2}}{qN_D} \epsilon \right. \\ \left. + \frac{3}{2} \frac{\left(\frac{\epsilon(-V_{bi} + V_{gs} + \frac{kT}{q})}{qN_D} \right)^{1/2}}{qN_D} \epsilon \right) \Big| (\epsilon V_{ds})$$

$$\text{여기에서, } P = \frac{2}{3} q^2 N_D^2 W 2^{1/2} L$$

$$C_{gd} = \quad (9)$$

$$qN_D W 2^{1/2} L \left(-\frac{\epsilon(-V_{bi} + V_{gs} - V_{ds} + \frac{kT}{q})}{qN_D} \right)^{1/2} \\ - \frac{2}{3} q^2 N_D^2 W 2^{1/2} L \left(\left(-\frac{\epsilon(-V_{bi} + V_{gs} - V_{ds} + \frac{kT}{q})}{qN_D} \right)^{3/2} \right. \\ \left. - \left(-\frac{\epsilon(-V_{bi} + V_{gs} + \frac{kT}{q})}{qN_D} \right)^{3/2} \right) \Big| \left((\epsilon V_{ds}^2) + \frac{1}{2} W \pi \epsilon \right)$$

2.2.2 문턱전압 이상의 포화영역

$$(V_g > V_T, V_{ds} \geq V_{dsat})$$

공핍층의 폭이 인가전압에 의해서 변화 하다가 채널의 폭까지 증가하게 되는 V_{dsat} 이후에는 소자내부의 표면 전하의 분포가 그림 2와 같이 되는데, 이를 5개의 영역으로 나누어 각 부분의 전하를 구하면 식 (10)과 같다.

$$Q_1 = qN_D W \frac{\pi}{4} a_s^2 \quad (10a)$$

$$Q_2 = qN_D W \int_0^{L-L_s} a(x) dx \quad (10b)$$

$$Q_3 = qN_D W aL_s \quad (10c)$$

$$Q_4 = \frac{1}{2} qN_D W a L_{ex} \quad (10d)$$

$$Q_5 = \frac{1}{2} qN_D W \tan^{-1}(a/L_{ex}) a_d^2 \quad (10e)$$

여기에서,

$$L_s = L \left(1 - \frac{V_{dsat}}{V_{ds}} \right) \quad (11)$$

$$L_{ex} = \sqrt{\frac{2 \epsilon (V_{bi} - V_{gs} + V_{ds} - \frac{kT}{q})}{qN_D} - a^2} \quad (12)$$

이다.

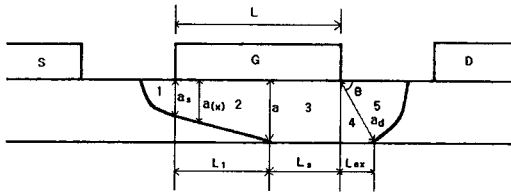


그림 2. 포화영역에서 MESFET의 내부 표면전하 분포

Fig 1. Internal space charge distribution in the saturation region

2.2.3 문턱전압 이하의 영역 ($V_g < V_T$)

게이트의 인가전압이 문턱전압보다 낮을 경우에는 공핍층의 모양이 그림 3처럼 되는데, 이때 각 영역의 전하량은 식 (13)과 같다.

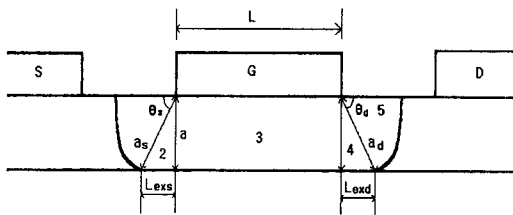


그림 3. 문턱전압 이하의 영역에서 MESFET의 내부 표면전하 분포

Fig 3. Internal space charge distribution in the subthreshold region

$$Q_1 = \frac{1}{2} qN_D W \tan^{-1}(a/L_{exs}) a_s^2 \quad (13a)$$

$$Q_2 = \frac{1}{2} qN_D W a L_{exs} \quad (13b)$$

$$Q_3 = qN_D W a L \quad (13c)$$

$$Q_4 = \frac{1}{2} qN_D W a L_{exd} \quad (13d)$$

$$Q_5 = \frac{1}{2} qN_D W \tan^{-1}(a/L_{exd}) a_d^2 \quad (13e)$$

여기에서

$$L_{exs} = \sqrt{\frac{2 \epsilon (V_{bi} - V_{gs} - \frac{kT}{q})}{qN_D} - a^2} \quad (14)$$

$$L_{exd} = \sqrt{\frac{2 \epsilon (V_{bi} - V_{gs} + V_{ds} - \frac{kT}{q})}{qN_D} - a^2} \quad (15)$$

이다.

3. 결론

온도에 따라서 변하는 내부전압과 공핍층의 폭 등을 물리적인 해석 부분에 추가함으로써 온도에 따른 GaAs MESFET의 정전용량을 계산하였는데, 이는 온도의존성이 큰 분야에 도움이 되리라 생각하고, 이전에 제시되었던 상온에서 연구된 모델과도 거의 일치한 결과를 보인다.

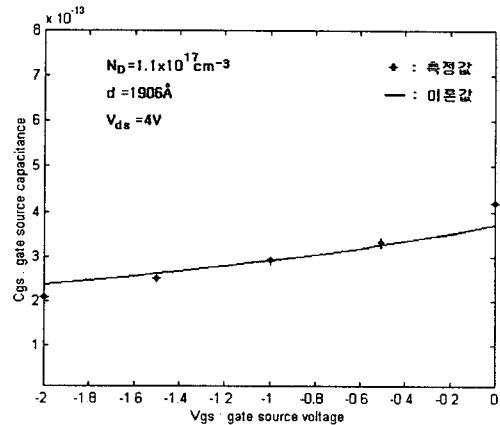


그림 4. 게이트 소스간 정전용량의 이론값과 실제값의 비교

Fig 4. Comparison of theoretical and experimental of gate-source Capacitance

앞으로 채널내부의 전하에 대한 보다 많은 연구와,

이 전하의 온도에 따른 특성 연구가 더욱 진행되어야 할 것이다.

그림 4는 실제로 측정된 값과 게이트 소스간의 정전용량을 비교한 그림으로, 여기에는 채널내부를 흐르는 전하에 의한 정전용량과 앞에서 구한 공핍층에 의한 정전용량이 포함되어있다[3].

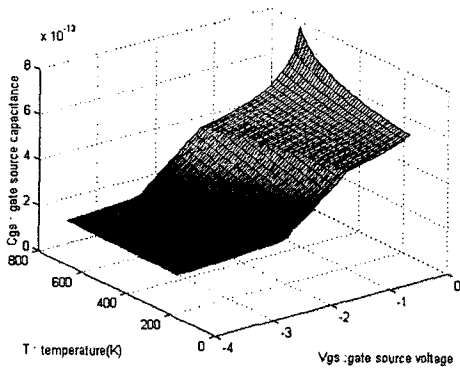


그림 5. 온도에 따른 게이트 소스간 정전용량
Fig 5. Gate-source Capacitance with temperature

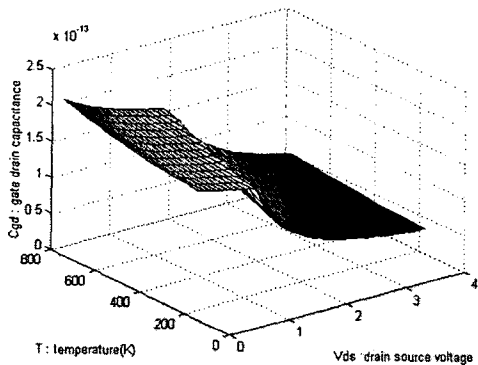


그림 6. 온도에 따른 게이트 드레인간 정전용량
Fig 6. Gate-drain Capacitance with temperature

그림 5는 드레인 소스 사이에 1[V]의 전압을 인가한 상태에서 게이트 소스간의 정전용량을 온도에 따라서 나타낸 그림으로 온도에 따라서 정전용량이 증가하는 것을 보여준다.

그림 6은 게이트 드레인간의 정전용량을 나타낸 그림으로 역시 온도가 증가하면서 그 값이 증가함을 알 수 있다. 이 경우 게이트 소스사이의 전압은 -1[V]를 인가 하였다.

참고문헌

- [1] T. Chen, M. Shur, "A Capacitance Model for GaAs MESFET's" *IEEE Trans. Electron Devices*, vol. ED-12, pp. 883-91. 1985.
- [2] T. Takada, K. Tokoyama, M. Ida, T. Sudo, "A MESFET Variable-Capacitance Model for GaAs Integrated Circuit Simulation" *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, pp. 719-24. 1982.
- [3] M. Nawaz, T. Fjeldly, "A New Charge Conserving Capacitance Model for GaAs MESFET's" *IEEE Trans. Electron Devices*, vol. 44, pp. 1813-21. 1997.
- [4] S. D'Agostino, A. Betti-Berutto, "Physics-Based Expressions for the Nonlinear Capacitance of the MESFET Equivalent Circuit", *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 403-6. 1994.
- [5] C. Won, H. Ahn, D. Han, M. Nokali, "D.C. characteristic of MESFETs at High Temperatures" *Solid-State Electronics*, 43, pp. 537-542, 1999