

Q-증가형 캐스코드 입력단을 이용한 900 MHz RF CMOS 저잡음 증폭기

A 900 MHz RF CMOS LNA using Q-enhancement cascode input stage

박수양, 전동환, 송한정*, 손상희**
(Soo-Yang Park, Dong-Hwan Jun, Han-Jung Song, Sang-Hee Son)

청주대학교 대학원 전자공학과
충청대학교 전자공학과
청주대학교 전자·정보통신·반도체공학부
(Dept. of Electrical Eng. Chongju University)
(Dept. of Electrical Eng. Chung-chong College)*
(School of Electric · Computer & Communication · Semiconductor Eng. Chongju University)**

Abstract

A 900 MHz RF band-pass amplifier for wireless communication systems is designed and fabricated. HSPICE simulation results show that the amplifier can achieve a tunable center frequency between 880 MHz and 920 MHz. The gain of designed amplifier is 19 dB at Q=88, and the power dissipation is about 61 mW under 3 V power supply by using the spiral inductor with negative-Gm circuit and center frequency tuning circuit. The designed band-pass amplifier is implemented by using 0.6 μm 2-poly 3-metal standard CMOS process.

Key Words(중요용어) : band-pass amplifier, spiral inductor, negative-Gm, CMOS, Q(Quality factor)

1. 서론

개인용, 상업용 무선 서비스가 고도로 발달함에 따라서 가격이 낮고, 배터리 수명이 길며, 소형 경량의 휴대용 무선통신 시스템이 요구되고 있다. 그 이유는 단말기의 신호 처리 부분과 같은 IF 주파수 대역 회로는 단일 칩으로 구현 가능하지만, 안테나로부터 신호를 받아 기저대역 신호로 변환하는 RF front-end 단 회로의 대부분이 GaAs와 같은 화합물 반도체, BJT, BiCMOS 등의 기술로 제작된 다수의 개별소자를 이용해서 만들어지기 때문에 집적도가 떨어진다. 현재 RF front-end 단에 사용되는 IC 제조 공정 기술들의 특징 및 장단점을 보면 GaAs와 같은 화합물 반도체는 RF 성능(f_{max} , 잡음 특성, 선형성, 저손실 기관 등)이 다른 기술에 비해서 우수하기 때문에 고성능 응용 회로에 적합한 기술이다. 그러나 가격이 비싸고 생산성 및 집적도가 다른 기술에 비해 떨어지며 또한 디지털 회로와 혼합모드 회로 구현 문제로 인해 단말기의 one-chip 구현이 어렵다. 한편 CMOS 기술은 복잡한 고속디지털 시스템의 성장에 부합되기 위해서 소자 크기가 감소되는 등 계속된 공정기술의 발달과 함께 RF 기능 블록(BPF, LNA,

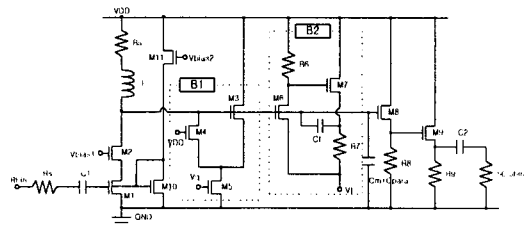


그림 1. 설계한 증폭기의 전체 회로도

down conversion mixer, up conversion mixer, VCO, prescaler 등)의 one-chip화 가능성이 증가하고 있다[1]-[3].

본 논문에서는 0.6 μm 표준 CMOS 공정을 이용하여 대역통과 여파기와 저잡음 증폭기의 기능을 동시에 갖는 대역통과 증폭기를 설계하였다. 그림 1은 설계한 대역통과 증폭기의 전체 회로도이며, 첫 번째 증폭단의 부하로 metal-2와 metal-3를 shunt한 나선형 구조의 인덕터를 사용하였다. 특히 CMOS 공정으로 제작한 나선형 인덕터의 직렬 저항에 의한 Q-값의 저하를 보상하기 위해서 Q-enhancement 회로를 사용하였다. 이 경우 대역통과 여파기를

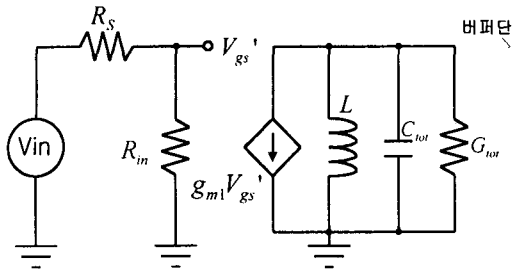


그림 2. 첫 번째 증폭단의 소신호 등가회로

개별적으로 사용한 경우와 비교하여 높은 이득과 Q 값을 얻을 수 있고, 증폭기와 여파기 사이에 임피던스 정합회로를 사용하지 않아도 되기 때문에 칩의 면적감소와 전력 소모 감소의 이점을 얻을 수 있다 [4].

II. 회로 및 나선형 인덕터 설계

RF front-end 단의 증폭기는 높은 RF 이득과 넓은 대역폭을 갖는 구조를 사용해야하며, 입력단은 50 ohm으로 정합되어야한다. 입력 임피던스 정합 방법에는 저항 정합 방법, 공통게이트 구조를 이용한 방법, 공통소스 회로 구조의 소스에 인덕터 피드백을 주는 방법, 일종의 전류 재사용 기술인 CMOS 반전기 형태의 입력정합 방법 등이 있다. 본 설계에서는 그림 2에서와 같이 저항 정합 방법에서 50 ohm의 저항 대신 전류미러를 사용하였고, LC 공진회로와 Q-enhancement 회로 및 중심주파수 조절회로를 증폭기의 출력단 부하로 사용하였다. 최종적으로 출력단에는 50 ohm 부하를 구동할 수 있는 버퍼를 사용하였다.

1. 입력 정합 회로 및 캐스코드 증폭단

본 설계에서는 소스와 증폭기 입력단의 50 ohm 임피던스 정합을 위해서 추가적인 임피던스 정합회로를 사용하지 않고, 입력단자에 입력임피던스가 50 ohm인 전류 미러를 연결하여 정합하였다. 첫 번째 입력단 증폭기로는 높은 전력 이득과 입력단에서의 Miller 효과로 인한 커패시턴스 증배효과가 작고, 넓은 대역폭과 역방향 isolation (S12) 특성이 우수한 캐스코드 구조의 증폭기를 사용하였다. 버퍼의 구동 능력이 제한됨으로 인하여 약 6 dB의 손실이 발생한다. 그리고 50 ohm 시스템에서는 10 dB이상의 전압 이득이 필요하기 때문에 RF 전단 증폭기는 16 dB 이상의 전력이득(S21)을 갖도록 설계되어야 한다. 그림 2에서 증폭기 전체의 이득은 LC 공진 조건

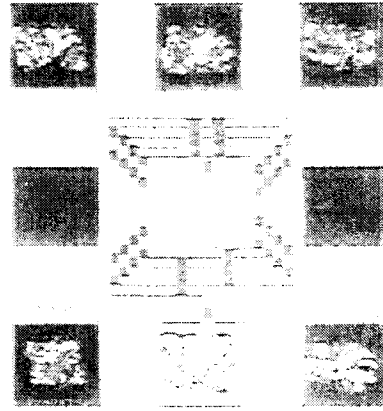


그림 3. 제작한 나선형 인덕터

에서 식 (1)과 같이 표현할 수 있다. Rs는 소스의 저항, Rin은 증폭기의 입력 임피던스, Abuffer는 버퍼의 이득이다. 버퍼의 이득은 식 (3)과 같이 나타낼 수 있으며 본 설계에서는 약 0.7이 되도록 설계하였다. 캐스코드 증폭기의 출력단에는 대역통과 LC 공진회로를 부하로 사용하였다.

$$A_v = -\frac{R_{in}}{R_s + R_{in}} \frac{g_{m1}}{G_{total}} A_{buffer} \quad (1)$$

$$R_{in} = 1/g_{m10} \quad (2)$$

$$A_{buffer} = g_{m8}g_{m9}(g_{m8} \parallel R_8) \cdot (g_{m9} \parallel R_9) \quad (3)$$

2. 나선형 인덕터

나선형 인덕터는 그림 3과 같은 구조로 설계 및 제작하였다. 설계한 인덕터는 ASITIC[7]을 이용하여 L=4.1 nH의 값을 목표로 모델링 하였다. 감은 횟수는 4회, 금속선의 지름은 8.5 um, 금속선 사이의 간격은 1.5 um, 지름은 170 um 나선형이다. 이때 인덕터의 직렬 저항을 줄이기 위해서 metal-2와 metal-3를 병합한 나선형 구조로 설계하였으며, 반복된 모의 실험을 통해서 최적화된 특성을 가지도록 설계하였다.

3. Q-enhancement 회로 및 중심주파수 조절 회로

AMPS, GSM, E-GSM등의 900 MHz 이동 통신 시스템에서는 30이상의 Q 값이 요구된다[4]. 그러나 일반적인 Si 공정을 이용해 제작된 나선형 인덕터

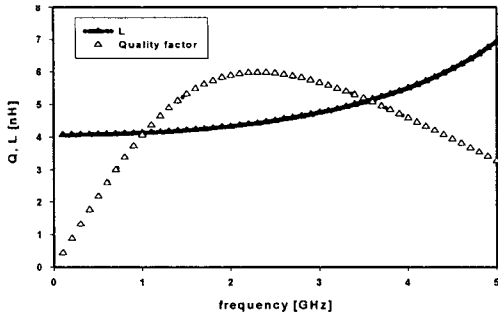


그림 4. 나선형 인덕터의 주파수에 따른 특성

는 3-10 정도의 낮은 Q 값을 갖는다[7]. 인덕터의 Q 값이 작게 되면 LC 공진회로의 Q 값이 제한된다. 이와 같은 문제점 해결을 위해서 병렬형과 직렬형 Q-enhancement 회로가 제안되었다[2]-[3]. 그림 1에서 B1은 음의 Gm 값을 얻기 위해 사용한 병렬형 Q-enhancement 회로를 나타내며 식 (7)를 이용해 값을 구할 수 있다. 따라서 전체 Q 값은 식 (5), (6), (7), (8)을 이용해 구할 수 있다. 증폭기의 중심 주파수가 900 MHz이고 L=4.1 nH, R_s=8 ohm 이라면, 동작점에서 gm₃, gm₄는 각각 35.7 mA/V, 29.2 mA/V 이다. 이때의 G_{tot} 값은 약 0.0003이므로 약 120의 Q 값과, 19 dB의 증폭기 이득을 얻을 수 있다. Q-enhancement 회로의 설계시 높은 Q 값을 얻기 위해서는 인덕터와 인덕터의 직렬저항에 의한 기생 등가 병렬 저항 G_p(=1/R_p) 값을 미리 예측하는 것이 중요하며, V_q 바이어스 전압을 이용하여 G_n 값을 조절할 수 있다. 그림 1의 B2는 설계한 대역 통과 증폭기를 제작하였을 경우 불가피하게 발생할 수 있는 공정 변수에 의한 중심 주파수 편이 문제를 칩을 제작한 후에 조절하기 위해서 사용한 커패시턴스 증배 회로이다. 이때 LC 공진회로의 공진 주파수는 공진조건에 의해 식 (8)과 같이 나타낼 수 있다. B2의 입력단자에 나타나게 되는 유효 커패시턴스 값은 (1-A_f)C_f이며, A_f는 식 (9)로 나타낼 수 있다. 이 값은 V_f 전압을 조절하여 가변할 수 있다. 식 (10)에서 C_{tot}은 캐스코드 증폭기 출력단의 전체 커패시턴스, C_m은 공진주파수를 900 MHz로 맞추기 위해서 삽입한 커패시터, C_{para}는 기생커패시턴스와 단자 커패시턴스를 각각 나타낸다.

III. 모의실험 결과

그림 4는 ASITIC을 이용하여 설계한 나선형 인덕터의 특성 그래프로 1 GHz에서 L과 Q 값이 각각

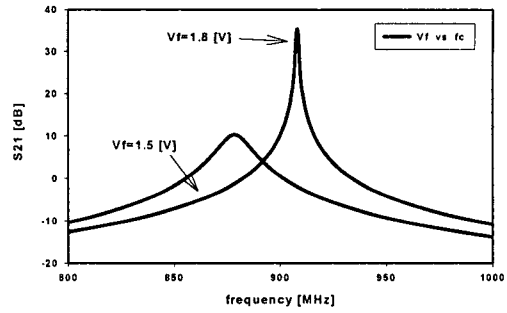


그림 5. Vf 전압에 대한 S21 특성 (V_q=1.98 V)

4.1과 4임을 알 수 있다. 설계한 인덕터를 HSPICE 모의 실험에 적용하기 위해서 일반적인 나선형 인덕터 pi-등가회로를 사용했다. 그림 5는 설계한 증폭기의 중심 주파수의 가변 범위를 확인하기 위해서 Q 제어 전압인 V_q 를 1.98 V로 고정된 상태에서 중심주파수 조절 회로의 Vf 단자 전압을 가변하여 얻은 S21 특성의 모의실험 결과 그래프이다. 그림으로부터 약 40 MHz의 중심주파수 가변이 가능함을 확인할 수 있다. 또한 그림 6은 저잡음 증폭기의 안정도를 알아보기 위해서 입출력 단자에서의 반사 특성을 모의실험한 것으로, S11, S22 이득이 전체 주파수 대역에서 0 dB 이하를 유지하고 있는 것을 볼 수 있다. 따라서 설계한 저잡음 증폭기가 안정하게 동작한다는 것을 알 수 있다.

$$G_{tot} = G_p + G_n = \frac{1}{Q} \sqrt{\frac{C_{tot}}{L}} \quad (4)$$

$$G_p \approx \frac{R_s}{(\omega L)^2} \quad (5)$$

$$G_n = -\frac{g_{m3}g_{m4}}{g_{m3} + g_{m4}} \quad (6)$$

$$G_n = \frac{R_s}{(\omega L)^2} - \frac{1}{Q} \sqrt{\frac{C_{tot}}{L}} \quad (7)$$

$$f_{osc} = \frac{1}{2\pi \sqrt{L_p C_{tot}}} \quad (8)$$

$$A_f = -g_{m6}g_{m7}R_6 \left(R_7 \parallel \frac{1}{g_{m7}} \right) \quad (9)$$

$$C_{tot} = (1 - A_f)C_f + C_m + C_{para} \quad (10)$$

IV. 측정 결과 및 결론

그림 7은 제작한 칩의 사진이다. 제작한 나선형

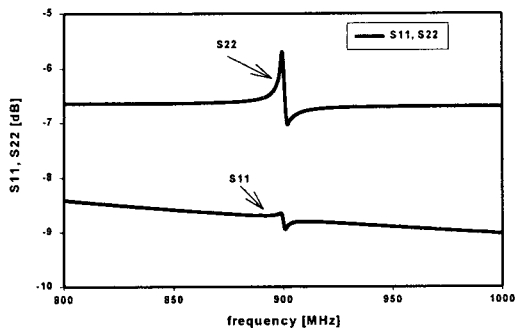


그림 6. S11, S22 특성 ($V_q=1.98$ V, $V_f=1.7$ V)

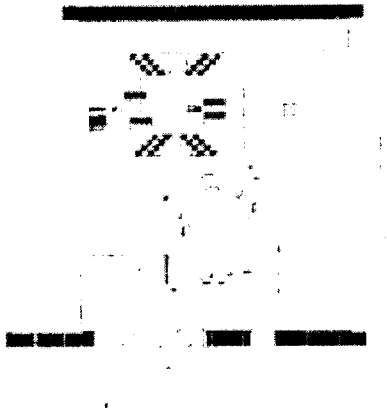


그림 7. 제작한 칩의 현미경 사진

인덕터의 S-parameter 측정에는 HP8510B 네트워크 분석기와 G-S-G의 간격이 150 μm 인 RF probe를 사용하였다. 측정된 나선형 인덕터의 인덕턴스 값과 Q 값은 각각 3.4 nH, 3 이었다. 모의실험 값과 많은 차이를 보이는데, 이것은 측정상의 오차 및 측정을 위해 인덕터의 입출력단에 설계한 pad의 기생 커패시턴스 성분을 고려하지 않았기 때문인 것으로 생각된다.

본 연구에서는 나선형 인덕터를 부하로 사용하여 설계한 900 MHz 저잡음 증폭기가 3 V 단일 전원 전압하에서 80 이상의 Q값을 얻을 수 있고, 약 40 MHz의 중심주파수 가변이 가능함을 HSPICE 모의 실험을 통해서 확인하였으며, 제작한 나선형 인덕터 및 증폭기 측정은 현재 수행중이다.

본 연구는 청주대학교 정보통신연구센터의 연구비 지원에 의해서 연구되었음

참 고 문 헌

- [1] Andrew N. Karanicolas *et al.*, A 2.7-V 900-MHz CMOS LNA and Mixer, *IEEE J. Solid-state Circuits*, Vol. 31, No 3, pp. 1939-1944, December 1996.
- [2] T. D. Stetzler *et al.*, A 2.7-4.4 V Single Chip GSM Transceiver RF Integrated Circuit, *IEEE J. Solid-state Circuits*, Vol. 30, pp. 1421-1429, Dec. 1995.
- [3] Chung-Yu Wu *et al.*, A 3-V 1-GHz Low-Noise Bandpass Amplifier, *IEEE J. Solid-state Circuits*, 1995.
- [4] Chung-Yu Wu *et al.*, The Design of a 3-V 900-MHz CMOS Bandpass Amplifier, *IEEE J. Solid-state Circuits*, Vol. 32, No. 2, pp. 159-167, February 1997.
- [5] JR. A. Duncan, *et al.*, A Q-enhanced Active-RLC Bandpass Filter, *Proc. ISCAS93*, Chicago, pp. 1416-1419, May 1993.
- [6] E. Tarvainen *et al.*, Planar Inductors on Silicon for Integrated RF Circuits, *Physics Scripta*. Vol. T69, pp. 295-297, 1997.
- [7] Ali M. Niknejad, "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF ICs", Electronics Research Reboratory.