

박막 두께에 따른 $(\text{Ba},\text{Sr})\text{TiO}_3$ 박막의 구조 및 유전특성

Microstructure and Dielectric Properties of $(\text{Ba},\text{Sr})\text{TiO}_3$ Thin Film with Thickness

이상철^{*}, 임성수^{*}, 정장호^{*}, 이성갑^{**}, 배선기^{**}, 이영희^{*}

(Sang-Chul Lee, Sung-Soo Lim, Jang-Ho Chung, Sung-Gab Lee, Seon-Gi Bae, Young-Hie Lee)

Abstract

The $(\text{Ba},\text{Sr})\text{TiO}_3$ [BST] thin films were fabricated on the Pt/Ti/SiO₂/Si substrate by RF sputtering technique. The structural properties of the BST thin films were investigated with deposition time and substrate temperature by XRD. In the case of the BST thin films which has the deposition time of 20 min., second phases and BST (111) peaks were increased with increasing the temperature of substrate. The capacitance of the BST thin film(deposition time of 20 min.) was decreased with the substrate temperature and was 1500pF with applied voltage of 1V.

Key word(중요어구) : $(\text{Ba},\text{Sr})\text{TiO}_3$ [BST] thin film(BST박막), Substrate temperature(기판온도), Thickness(두께)

1. 서론

최근 정보 산업의 발달에 따라 전자부품의 경박단소화가 급속히 진행되어 가고 있다. 특히, 반도체 분야에서는 DRAM 소자의 집적도를 높이기 위해 하나의 기억 셀에서 가장 큰 면적을 차지하는 캐페시터 면적 및 두께의 축소에 많은 연구가 집중되어지고 있다.¹⁾ 기억소자의 칩 면적은 정보가 저장되는

셀 영역과 그에 정보를 입·출력시키는 회로영역으로 나누어지며, 일반적인 DRAM의 경우 전체 칩 면적에서 셀이 차지하는 비율이 약 50% 정도이므로 셀 크기가 전체 칩 크기에 영향을 미치게 된다.²⁾ 또한 최근의 패키징 기술을 고려해 볼 때 소프트웨어를 방지하고 안정된 동작을 유지하기 위해서는 최소한 단위 셀당 약 25-30[fF]의 정전용량을 필요로 한다. 이러한 조건을 만족하기 위해서 DRAM-용 유전체 박막은 높은 정전용량 낮은 구동전압 및 낮은 누설전류를 가져야 한다.³⁾ 256kbit에서 64Mbit까지는 $\text{SiO}_2-\text{Si}_3\text{N}_4(\text{ON})$ 구조나 또는 $\text{SiO}_2-\text{Si}_3\text{N}_4-\text{SiO}_2(\text{ONO})$ 구조 등이 사용되어 왔으나, 현재는 고집적화에 따른 한계 두께까지 도달하고 있다.⁴⁾ 이러한 한

* : 광운대학교 전자재료공학과
(서울 노원구 월계동 447-1, FAX:(0)-915-8084
E-mail: yhlee@daisy.kwangwoon.ac.kr)
**: 서남대학교 전자전기공학과
***: 인천대학교 전기공학과

계로 인해 적에서 정전용량을 증가시키는 방법으로 고유전을 재료의 이용을 고려하게 되었다. 그러한 고유전을 재료중에 BST는 매우 큰 유전상수를 갖기 때문에 기존의 ON이나 ONO구조에 비해 소자의 구조를 단순하게 제조할 수 있으며, Sr의 고용량에 따라 DRAM의 동작 온도에서 상유전성을 나타내므로 강유전체의 분극반전에 따른 열화 및 그에 따른 피로현상을 억제시킬 수 있고 낮은 누설전류로 DRAM의 재충전특성을 개선시킬 수 있는 장점이 있다.⁵⁾

따라서, 본 논문에서는 이러한 장점이 있는 BST 박막을 RF sputtering 방법을 이용하여 스퍼터링 고정변수 중 RF power, 증착압력, Ar/O₂비, 증착시간 등을 고정시킨 후, 기판온도를 변화시켜 Pt/Ti/SiO₂/Si 기판위에 증착하였다. 기판온도 변화에 따른 BST 박막의 결정구조 및 BST 박막과 하부전극(Pt)과의 계면 변화에 대해 연구하였다.

2. 실험

본 실험에서는 RF sputtering을 이용하여 BST 박막을 형성하기 위해 Ba:Sr=0.5:0.5인 bulk형 BST 타겟을 사용하였다. 기판은 하부전극으로 Pt층과 보호층으로 Ti층이 sputter로 증착된 Pt/Ti/SiO₂/Si 기판을 사용하였다. 증착시 RF power는 90[W], 증착압력은 10mTorr, Ar/O₂비는 4/1으로 하였으며, 증착시간과 기판온도는 각각 20, 40분과 350, 400, 450, 500°C로 변화시켰다. 증착 후에 증착온도를 실온으로 내리는 냉각속도는 7.5°C/min으로 하였다. 증착시간과 기판온도에 따른 BST 박막의 유전특성을 조사하기 위해 상부전극으로 Au를 evaporation을 이용하여 증착하였으며, 상부전극 증착후에 600°C, 1시간동안 열처리를 하였다. 이러한 증착조건은 표 1에 나타내었다.

두께 및 기판온도에 따른 BST 박막의 구조 및 결정학적 특성을 고찰하기 위해 X-선 회절분석을 하였으며, Impedance analyzer(HP 4149)를 이용하

여 주파수(100Hz~100kHz) 및 인가전압(-5~5V)에 따라 BST 박막의 유전특성을 조사하였다.

표 1. BST 박막의 증착 조건

Target	(Ba _{0.5} Sr _{0.5})TiO ₃ [bulk형 타겟]
Substrate	Pt/Ti/SiO ₂ /Si
RF power	90 [W]
Deposition pressure	10 [mTorr]
Ar/O ₂ ratio	4/1
Substrate temperature	300°C, 350°C, 400°C, 450°C, 500°C
Deposition time	20, 40 [min]
Top electrode	Au

3. 결과 및 고찰

그림 1은 RF power 90W, 증착압력 10mTorr, Ar/O₂비:4/1, 20분간 증착한 BST 박막의 기판온도에 따른 X-선 회절분석 결과이다. 기판온도의 증가에 따라 BST (111) 피크는 증가하였다. 이러한 BST (111) 피크의 증가는 하부전극으로 사용되어진 Pt (111)에 의한 배향특성과 기판온도의 증가에 따른 결정성장에 의한 것으로 사료되어진다. barium multi titanate 상인 Ba_{1.91}Sr_{0.09}TiO₃ 피크가 28° 부근에서 나타났으며, 기판온도의 증가에 따라 (022)피크의 회절강도는 증가하였다. 기판온도 450°C에서는 Ba_{1.91}Sr_{0.09}TiO₃ (031), (022) 피크가 나타났으며, 500°C의 경우 (022) 피크만이 나타났다. 이러한 Ba_{1.91}Sr_{0.09}TiO₃ 상의 생성은 주어진 기판온도(450°C, 500°C)에서 원자들간에 서로 다른 원자 이동도에 의한 재결정화 과정에 의해 발생되어진 것으로 사료되어진다.^{6), 7)}

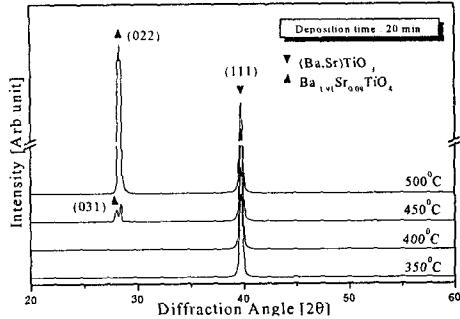


그림 1 20분간 증착한 BST 박막의 기판온도에 따른 X-선 회절모양

그림 2는 40분간 증착한 BST 박막의 기판온도에 따른 X-선 회절분석 결과이다. 기판온도의 증가에 따라 BST (111) 피크의 회절강도는 증가하였으며, 이차상인 $\text{Ba}_{1.91}\text{Sr}_{0.09}\text{TiO}_3$ 피크의 회절강도는 상대적으로 감소하는 경향을 나타내었다. 이것은 증착시간이 증가함에 따라 이미 하부전극 Pt (111)면에 의해 배향되어 성장되어진 BST (111)상에서 이차상인 $\text{Ba}_{1.91}\text{Sr}_{0.09}\text{TiO}_3$ (022), (031)상이 전이되는 재결정화 과정이 일어난 것으로 사료되어진다.

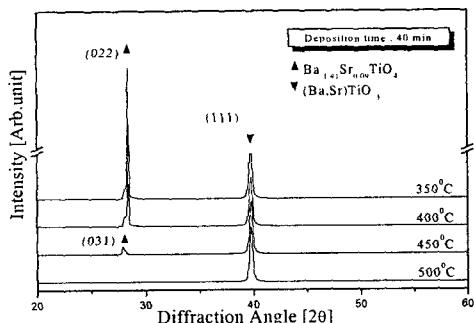


그림 2 40분간 증착한 BST 박막의 기판온도에 따른 X-선 회절모양

그림 3은 20분간 증착한 BST 박막의 인가전압에 따른 캐패시턴스를 측정한 결과이다. 기판온도 350°C, 400°C, 450°C에서는 전압에 따라 캐패시턴스의 큰 변화는 발생하지 않았으며, 기판온도 500°C에서 캐패시턴스는 감소되었다. 각각의 기판온도에서 증착한 BST 박막은 인가전압 0V에서 최대값을 가졌으며, 인가전압의 증가에 따라 캐패시턴스가 감소되어지는 전형적인 상유전상 C-V 특성을 나타내었다. 기판온도 500°C에서 증착되어진 BST 박막의 캐패시턴스의 감소는 그림 1에서 나타난 것과 같이 이차상인 $\text{Ba}_{1.91}\text{Sr}_{0.09}\text{TiO}_3$ (022) 피크의 증가로 인한 현상으로 사료되어진다.

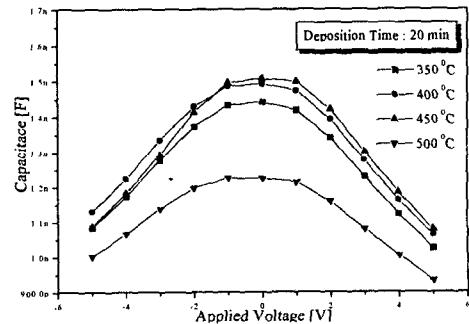


그림 3 20분간 증착한 BST 박막의 기판온도 및 전압에 따른 캐패시턴스 측정 결과

그림 4는 40분간 증착한 BST 박막의 기판온도 및 인가전압에 따른 캐패시턴스를 측정한 결과이다. 기판온도의 증가에 따라 캐패시턴스는 증가하는 경향을 가졌으며, 인가전압이 증가함에 따라 캐패시턴스가 감소되어지는 전형적인 상유전상의 C-V 특성을 나타내었다. 기판온도 증가에 따른 캐패시턴스의 증가는 그림 2에서 나타난 것과 같이 barium multi titanate상인 (022), (031) 피크의 감소 및 재결정화 과정을 통한 BST (111)상의 증가에 의한 것으로 사료되어진다.

립니다. (971-0911-068-2)

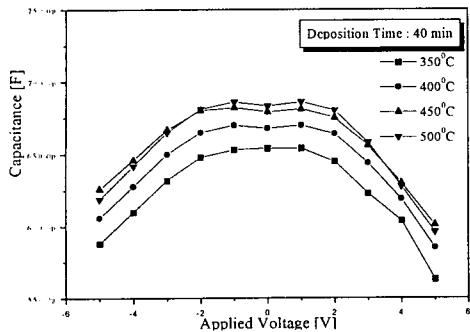


그림 4 40분간 증착한 BST 박막의 기판온도 및 전압에 따른 캐패시턴스 측정 결과

4. 결론

RF sputtering을 이용하여 증착시간 및 기판온도를 변화시켜 BST 박막을 증착하였다. 20분간 증착한 BST 박막의 경우, 기판온도의 증가에 따라서 BST (111) 피크는 증가하였으며, 이차상인 $\text{Ba}_{1.91}\text{Sr}_{0.09}\text{TiO}_3$ 의 (022), (031) 피크도 함께 증가하는 경향을 나타내었다. 하지만, 40분간 증착한 BST 박막의 경우에는 기판온도의 증가에 따라 이차상이 감소하였다. 인가전압에 따른 캐패시턴스는 20분간 증착한 BST 박막에서는 기판온도에 따라 감소하였으며, 40분간 증착한 BST 박막에서는 증가하는 경향을 나타내었다. C-V 측정결과 모든 BST 박막의 경우에서 전형적인 상유전상의 C-V 특성을 나타내었다. 이러한 이차상의 증가 및 감소는 증착시간 동안 가해진 열에너지에 의한 원자들의 서로 다른 원자이동도 차와 이차상인 $\text{Ba}_{1.91}\text{Sr}_{0.09}\text{TiO}_3$ 상에서 BST 상으로 전이되는 재결정화 과정 때문에 나타난 현상으로 사료되어진다.

감사의 글

본 논문은 1997년도 한국과학재단의 핵심전문연구비에 의하여 연구된 결과의 일부이며, 이에 감사드

참 고 문 헌

1. A. F. Tasch Jr and L. H. Parker, "Memory Cell, and Technology Issues for 64- and 256-Mbit One-Transistor Cell MOS DRAMs", Proceedings of the IEEE, Vol. 77, No. 3, 1989.
2. W. P. Noble et al., "Fundamental Limitations on DRAM Storage Capacitors", IEEE Circuit and Devices Magazine, pp. 45~51, 1985.
3. M. Azuma et al., "Electrical characteristics of High Dielectric Constant Materials for Integrated Ferroelectrics", Proc. 4th ISIF, pp. 109~117, 1992.
4. L. Baginsky and E. G. Kostov, "Information Writing Mechanism in Thin Film MFIS-Structures, Ferroelectrics", Vol. 143, pp. 239~250, 1993.
5. Yoichi Miyasaka, "High Dielectric $(\text{Ba}, \text{Sr})\text{TiO}_3$ Thin Films for ULSI DRAM Application", Extended Abstracts of 1995 International Conference on Solid State Device and Materials, Osaka, pp. 506~508, 1995.
6. Messier, R., A.P. Giri and R.A. Roy, J. Vac. Soc. Technol., A2, [2] 500 1984.
7. Messier, R., J. Vac. Soc. Technol., A4, [3] 490, 1986.