

대면적 고품질 TFT-LCD의 Feed-through 전압 보상을 위한 Gate Driving 방법

Gate Driving Methods to Compensate Feed-Through Voltage for Large Size, High Quality TFT-LCD

정순신, 윤영준, 박재우, 최중선
홍익대학교 전기제어공학과

Soon-Shin Jung*, Young-Jun Yun, Tae-Hyung Kim, Jong Sun Choi
Department of Electrical and Control Engineering, Hongik Univ.

Abstract

In recent years, attempts have been made to greatly improve the display quality of active-matrix liquid crystal display devices, and many techniques have been proposed to solve such problems as gate signal delay, feed-through voltage and image sticking. To improve these problems which are caused by the feed-through voltage, we have evaluated new driving methods to reduce the feed-through voltage. Two level gate-pulse was used for the gate driving of the cst-on-common structure pixels. And two-gate line driving methods with the optimized gate signals were applied for the cst-on-gate structure pixels. These gate driving methods offer better feed-through characteristics than conventional simple gate pulse. The evaluation of the suggested driving methods were performed by using a TFT-LCD array simulator PDAST which can simulate the gate, data and pixel voltages of a certain pixel at any time and at any location on a TFT array. The effect of the new driving method was effectively analyzed.

1. 서론

최근 정보화가 급속히 진행되어감에 따라 여러가지 고품질의 대면적 평판 디스플레이에 대한 요구가 점점 증가하고 있다. 여러 가지 평판 디스플레이 중 현재 가장 우수하고 널리 사용되고 있는 것은 비정질 실리콘 박막 트랜지스터(TFT)를 스위칭 소자로 사용하는 액정 표시장치(LCD)이다. TFT-LCD에 있어서 우수한 화질을 확보하기 위하여 TFT의 낮은 off-전류와 높은 on-전류가 요구되고 화소의 누설전류에 의한 화소전압의 변동을 억제하기 위한 보조용량의 형성이 필요하게 된다. 본 연구에서는 feed-through 전압을 감소시키기 위해서 게이트 구동에 단순 펄스를 사용하지 않고 Cst-on-common 구조의 경우에는 두 단계 step 전압을 인가하였고, Cst-on-gate 구조인 경우에는 현 게이트 배선과 인접 게이트 배선에 최적화된 구동 신호를 동시에 인가하는 방법을 사용하였다. 시뮬레이션은 PDAST로 수행되었는데 어떠한 driving 방식에도 대응할 수 있고 어레이의 어떤 위치, 어떤 시점에서든 게이트, 데이터 및 화소 전압을 정확하게 계산할 수 있다.

2. 본론

2.1 화소의 충·방전 특성

드레인 전류는 $i_D = dQ_P/dt$ 로 표시하며, 화소에 축적된 총 전하량을 시간에 대해 미분하면 아래와 같다.

$$\begin{aligned} \frac{dQ_P(t)}{dt} = & C_{PX} \cdot \frac{dv_P(t)}{dt} - (C_{GS} + C_{PG}) \cdot \frac{dv_G^i(t)}{dt} \\ & - C_{PG} \cdot \frac{dv_G^{i+1}(t)}{dt} - C_{PD} \cdot \frac{dv_D^j(t)}{dt} \\ & - C_{PD} \cdot \frac{dv_D^{j+1}(t)}{dt} \end{aligned}$$

TFT-LCD의 화소는 액정용량(C_{LC}), 축적용량(C_{ST}) 그리고 기생용량(C_{GS}) 등을 가진 등가회로로 나타낼 수 있다.¹⁻²⁾ 화소와 게이트간의 기생용량(C_{PG}), 화소와 다음 게이트 배선 간의 기생용량(C_{PG}'), 화소와 데이터 배선 간의 용량(C_{PD}), 화소와 다음 데이터 배선 간의 용량(C_{PD}')도 고려하여 시뮬레이션 하였다.³⁾ $v_P(t)$ 는 화소전극 전압, $v_G(t)$ 는 게이트전압, V_{ST} 는 부가용량이 연결된 한 전극의

전압이며 V_{COM} 은 대응전극 전압이다. 보조 용량이 연결되어 있는 구조에 따라 V_{ST} 성분을 고려했다.

선형영역, 포화영역 및 off영역에서의 TFT 출력특성은 각각 다음과 같다.⁴⁾

선형 : $(v_G(t) > v_D(t) + V_{th})$

$$i_D = \beta_0 \cdot \{ [v_G(t) - V_{th} - v_P(t)] \cdot [v_D(t) - v_P(t)] - [v_D(t) - v_P(t)]^2 / 2 \}$$

포화 : $(v_G(t) \leq v_D(t) + V_{th})$

$$i_D = (\beta_0 / 2) \cdot [v_G(t) - V_{th} - v_P(t)]^2$$

Off : $(v_G(t) < V_{th}) : i_D = I_{off}$

여기서 $\beta_0 = \mu_n \cdot C_{ox} \cdot (W_{CH} / L_{CH})$ 이다.

2-2-1. C_{ST}-on-Common 구조

Feed-through 전압이 생기는 원인은 게이트 전압의 변화에 따라 게이트 전극과 데이터 전극 사이에 있는 기생 용량에 충전된 전하량에 변화가 생기게 되어 화소 전압이 낮아지는 것이다. RC 지연이 생기면 feed-through 전압이 감소하는데, 이는 게이트 전압의 변화는 속도가 느려지므로 TFT 채널이 활성화된 상태에서 기생 콘덴서의 전하량 감소를 드레인 전극을 통해 보상해 주기 때문에 발생하는 것이다. 일반적으로 게이트 전압은 그림 1 (a)와 같은 단순 펄스를 사용하는데 그림 1 (b)와 같은 두 단계 step 신호를 사용하면, 최적의 step 크기와 지속시간을 인가하면 두 번째 전압 강하 시에는 게이트 전압을 한번에 낮추었을 때와는 달리 전압 보상효과를 얻을 수 있다.⁵⁾

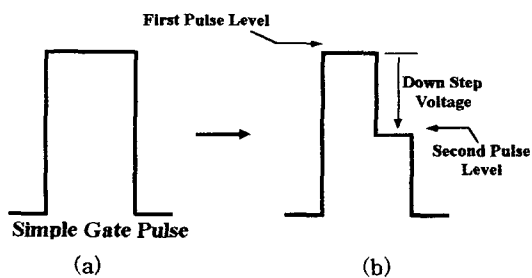


그림 1. feed-through 보상 회로에 의한 gate 전압 파형

두 단계 step 전압으로 게이트를 구동하면, feed-through 전압 보상 효과가 나타난다. 두 단계의 step 전압 인가 시에 두 번째 전압 강하의 크기에 따라 화소에 인가되는 전압을 구하고, 그 보상효과를 구

하였다. 보조 용량이 공통전극에 연결되고 공통전극 전압이 일정한 경우,

$$\frac{dv_{COM}(t)}{dt} = \frac{dv_{ST}(t)}{dt}, \frac{dv_{COM}(t)}{dt} = 0 \text{ 이고}$$

$i_D = dQ_P/dt$ 로부터 아래 방정식들이 얻어진다:

$$\begin{aligned} \frac{dQ_P(t)}{dt} &= C_{PX} \cdot \frac{dv_P(t)}{dt} - (C_{GS} + C_{PG}) \cdot \frac{dv_G^i(t)}{dt} \\ &- C_{PG} \cdot \frac{dv_G^{i+1}(t)}{dt} - C_{PD} \cdot \frac{dv_D^{i+1}(t)}{dt} \\ &- C_{PD} \cdot \frac{dv_D^i(t)}{dt} \end{aligned}$$

인가되는 down step 전압 크기에 따른 화소 전압을 시뮬레이션하여 그림 2에 나타내었다. 데이터 전압은 10V를 사용하였다. 게이트 전압은 20V를 인가하고 30 μ s 후 20V에서 2V, 4V, 6V down step 전압을 인가하였다. 게이트 전압의 down step에 의해 일차적으로 feed-through가 발생하는데 down step 전압이 증가됨에 따라 일차 feed-through 전압이 감소되는 것을 알 수 있다. 일차 게이트 전압의 down step이 있은 후 두 번째 펄스 level에서 off 상태로 게이트 전압이 강하하더라도 화소전압은 더 이상 단순 게이트 펄스 인가 때의 수준으로 떨어지지 않는다. 결과적으로 두 번째 펄스 전압에 관계없이 화소에 인가되는 전압은 약 16%정도 보상됨을 알 수 있었다.

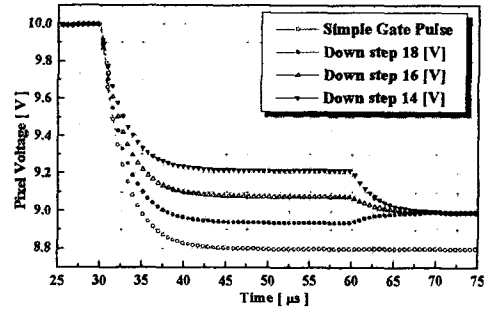


그림 2. down step 전압을 변화시켰을 때 나타나는 화소전압 feed-through

2-2-2. C_{ST}-on-Next Gate 구조

보조 용량이 다음 게이트 배선에 연결되고 공통전극 전압이 일정한 경우,

$$v_G^{i+1}(t) = v_{ST}(t), \frac{dv_G^{i+1}(t)}{dt} = \frac{dv_{ST}(t)}{dt}$$

$\frac{dv_{COM}(t)}{dt} = 0$ 이고, $i_D = dQ_P/dt$ 로부터 아래 방정식이 얻어진다:

$$\begin{aligned} \frac{dQ_P(t)}{dt} &= C_{PX} \cdot \frac{dv_P(t)}{dt} - (C_{GS} + C_{PG}) \cdot \frac{dv_G^i(t)}{dt} \\ &- (C_{PG} + C_{ST}) \cdot \frac{dv_G^{i+1}(t)}{dt} - C_{PD} \cdot \frac{dv_D^i(t)}{dt} \\ &- C_{PD} \cdot \frac{dv_D^{i+1}(t)}{dt} \end{aligned}$$

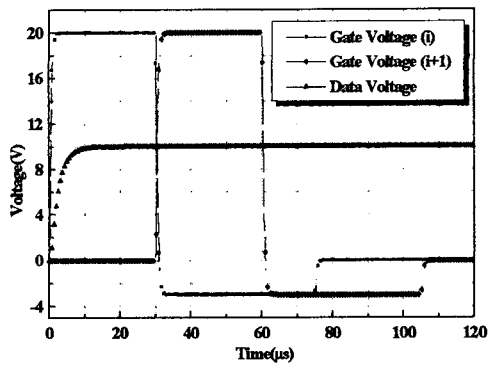


그림 3. Cst-on-Next Gate 형태의 (1000,1000) 화소에 대해 시뮬레이션된 게이트/데이터 전압

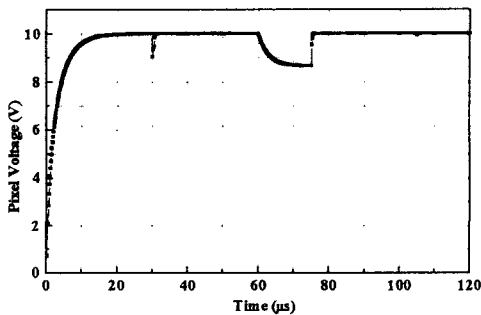


그림 4. 그림3의 게이트 입력일 때 화소 전압의 파형의 예

그림 3과 4에 (1000,1000) 화소에 대해 시뮬레이션된 게이트, 데이터, 화소 전압 파형의 예를 나타내었다. 일반적으로 사용되는 신호 파형은 다음 게이트 line에 인가되는 신호의 펄스 폭이 현 게이트 배선에 인가되는 신호의 펄스 폭보다 1.5배가 되게 한다.⁶⁻⁷⁾ 현 화소의 게

이트 배선의 신호가 off 상태로 될 때 화소 전압에 생기게 되는 feed-through가 발생하게 되지만 다음 게이트 배선에 인가되는 펄스 신호에 의해 feed-through가 보상된다. 그러나 다음 게이트 배선에 인가되는 신호의 펄스 폭을 조절하여 보상효과를 제어할 수 있다. 두 게이트 배선에 인가되는 신호의 펄스 폭을 같게 하여 시뮬레이션한 결과(그림 6)에서 feed-through 전압이 거의 나타나지 않음을 알 수 있었다.

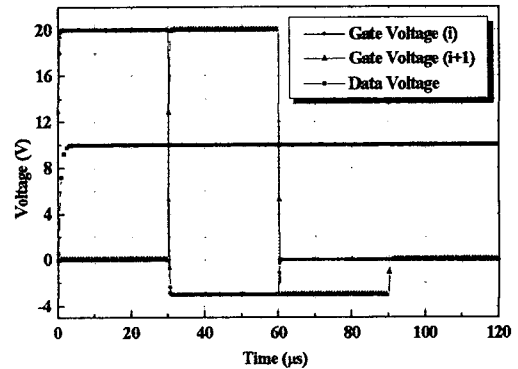


그림 5. Cst-on-Next Gate 형태의 (1000,1000) 화소에 대해 시뮬레이션된 게이트/데이터 전압

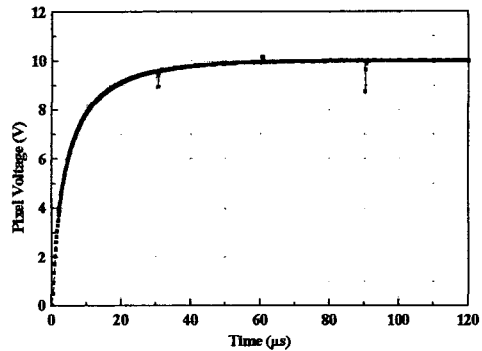


그림 6. 그림 5의 게이트 입력일 때 feed-through 전압이 보상된 화소 전압 파형의 예

2-2-3. Cst-on-Previous Gate 구조

보조 용량이 이전 게이트 배선에 연결되고 공통전극 전압이 일정한 경우,

$$v_G^{i-1}(t) = v_{ST}(t), \quad \frac{dv_G^{i-1}(t)}{dt} = \frac{dv_{ST}(t)}{dt},$$

$\frac{dv_{COM}(t)}{dt} = 0$ 이고, $i_D = dQ_P/dt$ 로부터 아래 방정

식들이 얻어진다:

$$\begin{aligned} \frac{dQ_P(t)}{dt} &= C_{PX} \cdot \frac{dv_P(t)}{dt} - (C_{GS} + C_{PG}) \cdot \frac{dv_G^i(t)}{dt} \\ &- (C_{PG} + C_{ST}) \cdot \frac{dv_G^{i-1}(t)}{dt} - C_{PD} \cdot \frac{dv_D^i(t)}{dt} \\ &- C_{PD'} \cdot \frac{dv_D^{j+1}(t)}{dt} \end{aligned}$$

그림 7과 8에 (1000,1000) 화소에 대해 시뮬레이션된 게이트, 데이터, 화소 전압 파형의 예를 나타내었다. 두 게이트 배선에 인가되는 신호의 펄스 폭을 같게 하여 시뮬레이션한 결과(그림 8)에서 feed-through 전압이 거의 나타나지 않음을 알 수 있었다. 현 게이트 배선 신호가 off되고 동시에 이전 게이트 배선 신호가 다시 화소를 충전하게 되므로 feed-through 가 거의 나타나지 않음을 알 수 있었다.

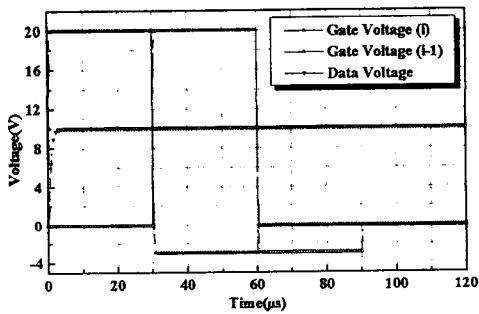


그림 7. Cst-on-Previous Gate 형태의 (1000,1000) 화소에 대해 시뮬레이션된 게이트/데이터 전압

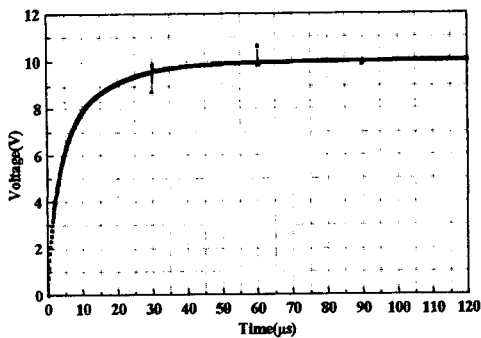


그림 8. 그림 5의 게이트 입력일 때 feed-through 전압이 보상된 화소 전압 파형의 예

3. 결 론

본 논문에서는 화소-설계 어레이 시뮬레이션 도구인 PDAST를 이용하여, Cst-on-common 구조의 화소에 발생하는 feed-through 전압을 감소시켜 주는 두 단계 펄스 전압에 의한 게이트 구동을 Cst-on-Common 구조의 화소에 인가하여 feed-through 전압을 감소할 수 있음을 알아보았다. 또한 Cst-on-Gate 구조에도 최적화된 신호로 두 게이트 배선을 구동하여 feed-through 효과를 보상할 수 있었다. PDAST를 통해 간단하게 사용자가 원하는 게이트 입력을 받아 화소에 나타나는 특성을 쉽게 알 수 있어 최적의 신호를 선택할 수 있게 되었다. 화면 크기나 해상도, 채널 폭, 길이, 전계효과 이동도 등 여러 가지 파라메타 값에 따라 모든 신호를 구할 수 있게 되었다.

본 논문은 산업자원부와 과학기술부에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

[참 고 문 헌]

- [1] Y.Oana, Non-Crystal. Solids, Vol.115, 27, 1989.
- [2] R.L.Wisnieff, International Display Research Conference, Vol.29, 2, 1988.
- [3] 새로운 정전 용량 계산식을 이용한 대면적·고화질 TFT-LCD의 화소 특성 시뮬레이션, 99춘계 학술대회, 613~616, 1999
- [4] K. Susuki, Pixel Design of TFT/LCDs for High-Quality Images, SID92, 39~42, 1992.
- [5] AMLCD에서 FLICKER의 원인과 개선 방향, 한국 반도체 학술대회, 217~218, 1998
- [6] K. Kusafuka, Driving method for gate-delay Compensation of TFT/LCD, IBM. J RES. Develop. Vol.42 NO. 3/4, 1998
- [7] K. Suzuki, Compensative Addressing for Switching Distortion in a-Si TFT/LCD, Euro Display, 111, 1987.