니켈 폴리사이드 게이트 전극 형성에 관한 연구
A Study on the Formation of Nickel Polycide Gate Electrode

정연실, 김시중, 김주연, 배규식
수원대학교 전자재료공학과

서론

최근 정보 통신기술의 발달과 전자제품 소형화의 추세에 따라 저전력, 경량, 박형의 장점을 고루 갖춘 액정 표시소자 (liquid crystal display, LCD)가 CRT를 대체하면서 급격히 응용분야를 확대해 나가고 있으며, 특히 1985년 이후 제 3세대인 액티브 매트릭스(active matrix) TFT(thin film transistor)-LCD가 꾸준히 개발, 연구되어 왔다. 저온 제작 다결정 실리콘 TFT는 단결정 실리콘 MOSFET에 비해서 이동도가 낮고, 누설전류가 비정질 실리콘 TFT에 비해 높으며, off-current가 크기 때문에 고속동작이 요구되는 AMLCD의 화소 스위칭 소자로 사용되기에는 한계가 있다. 이를 개선하기 위해 활성층과 절연막의 특성 향상과 더불어 게이트와 게이트 전극을 통한 RC 지연 시간(delay time)을 감소시켜야만 한다. 본 연구에서는 RC 지연 시간을 감소시키기 위한 방법 중의 하나로 게이트의 면저항 값을 줄이기 위해 게이트 전극으로 다결정 실리콘 위에 Ni 단일막에 의한 NiSi와 Ni/Ti 이중막에 의한 NiSi를 각각 적용하여 니켈 폴리사이드 게이트 전극을 제작하였다

실험방법

본 연구에서는 비저항이 10~20 Ω㎝인 p-type 웨이퍼에 비정질 실리콘과 다결정 실리콘을 각각 성장시킨 후, 여기에 Ni 단일막과 Ni/Ti 이중막을 증착 시켜 다양한 온도와 시간에 따른 급속 열처리를 하였다. 이렇게 여러 가지 조건으로 처리된 시편에 대해 NiSi의 형성 여부를 확인하기 위해 면저항을 측정하고 XRD, AES, AFM 등의 분석 과정을 이행하였다.

결과

이렇게 준비된 시편의 XRD 결과에서는 낮은 열처리 온도(300~400℃)에서 모든 조건(비정질 실리콘 위에 Ni 단일막과 Ni/Ti 이중막이 각각 증착된 시편과 다결정 실리콘 위에 각각 증착된 시편)의 시편에서 NiSi의 피크 값을 보였다. 그러나 면저항 측정 결과에서는 Ni 단일막을 적용한 시편의 경우에만 면저항의 감소를 볼 수 있었다. 이는 NiSi 형성이 전체적으로 이루어진 것이 아니라 일부분에서 국부적으로 이루어진 것으로 생각된다. 또한 증착된 Ni의 두께(200Å)가 너무 얇아 NiSi의 형성이 제대로 이루어지지 못한 것으로 보아진다. 이것은 AES의 결과에서 볼 수 있듯이 NiSi의 형성층이 매우 얇게 나타났다.