

접합형 SOI 웨이퍼에 존재하는 결함분포
Surface and Bulk Defect on Bonded SOI Wafers

의곤섭¹, 박정민², 이재선¹, 곽계달¹, 박재근¹

¹한양대학교 첨단반도체 소재/소자 개발연구소

²삼성전자 반도체 생산기술팀

최근에 SOI 웨이퍼의 적용분야는 고전압 반도체 소자에서 고집적도의 α -chip이나 power pc 등의 MPU 소자로 급격히 확장되고 있다.

SOI 웨이퍼의 제조방법은 i) SIMOX ii) Bonded SOI iii) ELTRAN 등이 있다. 또한 SOI 웨이퍼의 소자적용 영역은 크게 완전 공핍형 소자와 부분 공핍형 소자로 나누어져 있다. 지난 수년간 많은 연구자들이 SOI 웨이퍼에 존재하는 결함을 분석해 왔으나, 기존의 평가방법으로는 여전히 모르는 결함들이 많이 존재하여 높은 소자 수율과 신뢰성을 달성할 수가 없었다.

본 연구에서는 AFM, Cu-decoration과 TEM을 이용하여 Bonded SOI 웨이퍼 표면과 내면에 존재하는 결함의 형태를 분석하고, 결함 형성 메카니즘을 해석하였다. Bonded SOI 웨이퍼를 Cu-decoration한 후 전압 변화에 따른 결함수의 관계를 측정하였다. 결함수는 SOI 웨이퍼위에 가해지는 전압에 따라 급격히 증가하고 약 50Volt를 가할 경우 0.5결함/cm²의 결함 밀도가 존재한다. 그림1은 as-Bonded SOI 웨이퍼 표면에 존재하는 결함의 AFM상이다. 결함 크기는 약 5 μ m이며, 깊이는 500nm이다. 그림2는 그림1에서의 결함 끝부분을 X-TEM으로 관찰한 상이다. 결함부분의 중앙에는 Top 실리콘과 Buffer 산화막의 접합부분에 Buffer 산화막이 식각되어 있음을 알 수 있다. 이러한 결함은 Bonded SOI 제조 과정중 Buffer 산화막과 Handle 웨이퍼와의 Bonding시 Void가 존재하여 Top Silicon Polishing시 Void내 존재하는 압력에 의해 부분적으로 Top 실리콘이 부서져 연속적인 Cleaning 공정에서 국부적으로 Top 실리콘과 Buffer 산화막이 제거되었기 때문이다.

이러한 새로운 결함은 고감도의 Laser Scattering Particle Counter와 Coordinated AFM을 통해서만 발견할 수 있으며, 이러한 결함 제거는 SOI 웨이퍼를 적용한 MPU 소자의 수율과 신뢰성을 급격히 향상시킬 것이다.

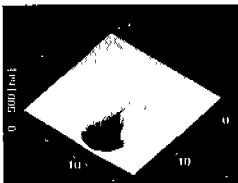


그림 1. As-bonded SOI wafer 표면에 존재하는 결함의 AFM 상



그림2. As-bonded SOI wafer 표면에 존재하는 결함의 X-TEM 상