

**단일 전자 소자용 양자점 형성을 위한 비정질 실리콘과
실리콘-게르마늄 박막의 증착 거동에 대한 연구**
(A Study on the Deposition Behavior of Amorphous Silicon
and Silicon Germanium Thin Film for the Formation of
Quantum Dot of Single Electron Transistor)

서울대학교 재료공학부

이동훈, 윤태식, 김기범

1. 서론

Tera급 이상의 소자를 만들기 위해서 기존의 MOS구조는 그 한계에 이르렀기에 이에 대한 대안으로 단일 전자 트랜지스터(Single Electron Transistor)가 연구되어 왔다. 단일 전자 트랜지스터가 상온에서 작동하기 위해서 수 nm 크기의 양자점 형성이 필수적으로 요구되며 이를 위해 본 실험실에서 비정질 $\text{Si}_{0.69}\text{Ge}_{0.31}$ 을 이용하여 5nm 정도의 양자점을 형성하는데 성공한 바 있다.

비정질 박막에 대한 연구는 이제껏 많이 수행되어 왔으나 그 핵생성 거동에 대하여는 연구된 바가 없다. 본 연구에서는 저압 화학 기상 증착법을 사용하여 비정질 Si과 $\text{Si}_{1-x}\text{Ge}_x$ 박막을 증착하여 증착 초기의 거동을 관찰하였으며 이를 통해 비정질 박막의 핵생성 거동을 설명하고자 하였다. 또한 핵생성 속도가 궁극적으로 형성되는 박막의 morphology에 어떻게 영향을 미치는지 분석하였으며 이러한 연구를 통해 증착시 형성되는 양자점의 크기와 밀도를 예측하고자 노력하였다.

2. 실험방법

저압 화학 기상증착법을 사용하여 Si과 SiO_2 기판 위에 비정질 Si과 SiGe박막을 증착하였다. 비정질 박막의 증착을 위한 근원가스로는 Si_2H_6 , GeH_4 , 희석가스로 H_2 를 사용하였다. 박막의 두께 및 증착 양상을 보기 위해 단면 고분해능 투과전자 현미경을 이용하였으며 양자점의 크기와 분포를 관찰하기 위해 평면 투과전자 현미경을 이용하였다. 그리고 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 조성은 Rutherford Back Scattering을 이용하여 확인하였다. 또한 박막의 roughness측정을 위해서 Atomic Force Microscope을 이용하였다.

3. 실험 결과 및 토의

비정질 Si의 경우 410°C 에서 15분간 증착시 SiO_2 기판 위에서 3 nm정도의 island로 증착되는 것을 관찰하였으며 비정질 $\text{Si}_{1-x}\text{Ge}_x$ 의 경우 375°C 에서 7분간 증착하였을 때 5 nm정도의 island로 증착되는 것을 관찰하였다. 박막의 roughness는 300Å 이하의 두께에서 증착 온도와 증착 시간이 증가함에 따라서 증가하는 양상을 보였으며 비정질 $\text{Si}_{1-x}\text{Ge}_x$ 의 경우가 비정질 Si 보다 더 큰 roughness 값을 나타내었다.

이러한 경향은 비정질 박막의 증착 온도가 높아짐에 따라서 핵생성 속도와 성장 속도가 증가하였기 때문으로 이해된다.