

[V-31]

Comparison of Gate Oxide Thickness Measurement

장효식, 황현상, 김현경*, 문대원*
광주과학기술원, *한국표준과학연구원

Gate oxide의 두께 감소는 gate의 캐패시턴스를 증가시켜 트랜지스터의 속도를 빠르게 하며, 동시에 저전압 동작을 가능하게 하기 때문에 gate oxide두께는 MOS공정 세대가 진행되어감에 따라 계속 감소할 것이다. 이러한 얇은 산화막은 device design에 명시된 두께의 특성을 나타내야 한다.

Gate oxide의 두께가 작아질수록 gate oxide와 crystalline silicon간의 계면효과가 박막의 두께의 결정에 심각한 영향을 주기 때문에 정확한 두께 측정이 어렵다. 이러한 영향과 측정방법에 따라서 두께 측정의 차이가 나타난다. XTEM은 사용한 parameter에, Ellipsometer는 refractive index에, MEIS(Medium Energy Ion Scattering)은 에너지 분해능에, Capacitor-Voltage측정은 poly-Si depletion effect에 의해 영향을 받는다.

우리는 계면의 원자분해능 분석에 통상 사용되어온 High Resolution TEM을 이용하여 약 30~70 Å SiO₂층의 두께와 계면 구조에 대한 분석을 하여 이를 MEIS와 0.015nm의 고감도를 가진 SE(Spectroscopy Ellipsometer), C-V측정 결과와 비교하여 가장 좋은 두께측정 방법을 찾고자 한다.