

## [IV-21]

# LPCVD로 성장된 텅스텐 게이트의 물리·전기적 특성 분석

노관중, 윤선필, 황성민, 노용한  
성균관대학교 전기전자 및 컴퓨터공학부

금속-산화막-반도체(MOS) 소자를 이용하는 집적회로의 발전은 게이트 금속의 규격 감소를 필요로 한다. 규격감소에 따른 저항 증가가 중요한 문제점으로 대두되었으며, 그 동안 여러 연구자들에 의하여 금속 게이트에 관련된 연구가 진행되어 왔다. 특히, 저항이 낮으며 녹는점이 매우 높은 내화성금속(refractory metal)인 텅스텐(tungsten, W)이 차세대 MOS 소자의 유력한 대체 게이트 금속으로 제안되었다. 텅스텐은 스퍼터링(sputtering)과 화학기상 증착(CVD) 방식을 이용하여 성장시킬 수 있다. 스퍼터링에 의한 텅스텐 증착은 산화막과의 접착성은 우수한 반면에 증착 과정 동안에 게이트 산화막( $\text{SiO}_2$ )에 손상을 주어 게이트 산화막의 특성을 열화시킬 수 있다. 반면, 화학기상 증착에 의한 텅스텐 성장은 스퍼터링보다 증착막의 저항이 상대적으로 낮으나 산화막과의 접착성이 좋지 않은 문제를 해결하여야 한다.

본 연구에서는 감압 화학기상 증착(LPCVD) 방식을 이용하여 텅스텐 게이트 금속을 100~150Å 두께의 게이트 산화막( $\text{SiO}_2$  또는  $\text{N}_2\text{O}$  질화막) 위에 증착하여 물리 및 전기적 특성을 분석하였다. 물리적 분석을 위하여 XRD, SEM 및 저항등이 증착 조건에 따라서 측정되었으며, 텅스텐 게이트로 구성된 MOS 캐패시터를 제작하여 절연 파괴 강도, 전하 포획 메커니즘 등과 같은 전기적 특성 분석을 실시하였다. 특히 텅스텐의 접착성을 증착 조건의 변화에 따라서 분석하였다. 텅스텐 박막의  $\text{SiO}_2$ 와의 접착성은 스카치 테이프 테스트를 실시하여 조사되었고, 증착시의 기판의 온도에 민감하게 반응하는 것을 알 수 있었다. 또한, 400°C 이상에서 안정한 것을 볼 수 있었다. 텅스텐 박막은  $\alpha$  및  $\beta$ -W 구조를 가질 수 있으나 본 연구에서 성장된 텅스텐은  $\alpha$ -W 구조를 가지는 것을 XRD 측정으로 확인하였다. 성장된 텅스텐 박막의 저항은 구조에 따라서 변화되는 것으로 알려져 있다. 증착 조건에 따른 저항의 변화는  $\text{SiH}_4$  대  $\text{WF}_6$ 의 가스비, 증착 온도에 따라서 변화하였다. 특히 온도가 400°C 이상,  $\text{SiH}_4/\text{WF}_6$ 의 비가 0.2 일 경우 텅스텐을 증착시킨 후에 열처리를 거치지 않은 경우에도 기존에 발표된 저항률인  $10 \mu\Omega \cdot \text{cm}$  대의 값을 얻을 수 있었다.

본 연구를 통하여 산화막과의 접착성 문제를 해결하고 낮은 저항을 얻을 수 있었으나, 텅스텐 박막의 성장과정에 의한 게이트 산화막의 열화는 심각한 문제를 야기하였다. 즉, LPCVD 과정에서 발생한 불소 또는 불소 화합물이 게이트의 산화막에 결합을 발생시킴을 확인하였다. 향후, 불소에 의한 게이트 산화막의 열화를 최소화시킬 수 있는 공정 조건의 최적화 또는 대체게이트 산화막이 적용될 경우, 개발된 연구 결과를 산업체로 이전할 수 있는 가능성이 높을 것을 기대된다.