

실시간 디지털 시뮬레이터를 이용한 전류차동계전기 개발시험

*김 태원, 홍 순천, 장 병태, 신 정호
한국전력공사 전력연구원

A Testing Method of Current Deferential Relay Using RTDS

*Tae-Won Kim, Sun-Chun Hong, Byung-Tae Jang, Jeong-Hoon Shin
Korea Electric Power Research Institute

Abstract - The function of newly developed equipments must be verified in real power system before they put into operation. However, it is hard to test them in real power system due to the possibility of abnormal operation. In this paper, test method for new relays is developed in order to simulate their function in real power system using RTDS(Real Time Digital Simulator) and the simulation results show the capability of method.

에 (18 Tandem Process Card / 2 Processor per card) node의 최대수는 1개 랙위에 36개로 제한된다. 사용자의 회로는 source, lines, machine 등 power system 성분을 포함할 수 있으며, 각 Model은 TPC Card위에 할당되고 할당된 순서는 Map 파일에 기록된다. 그림 1은 실시간 디지털 시뮬레이터의 구성도이다.

1. 서 론

전력계통 보호를 목적으로 새로이 개발된 시스템은 실제 적용전 충분히 그 기능이 검증되고 계통에 대한 동작의 신뢰성이 확인 되어야한다. 그러나 현실적으로 실제 계통에서 신뢰성을 확인 하기 위한 각종시험을 행한다는 것은 계통운용상 비 현실적이며 이에 대한 대안으로 아나로그형이나 디지털시뮬레이터를 이용한 간접적인 방법을 사용하고 있다.[1][2][3] 본 논문에서는 RTDS(Real Time Digital Simulator)를 이용한 계통모의법과 Interface법, 전류차동계전기의 개발시험 [4]을 소개하고 그 결과를 제시하고자 한다.

2. 본 론

2.1 실시간 디지털 시뮬레이터(RTDS)

RTDS hardware는 연속적인 실시간 동작을 유지하기 위하여 요구되는 계산속도를 수행하기 위하여 진보된 병렬 연산 기술에 기초를 두고 사용된 Digital Signal Processor(DSP)이며 TPC Card, WIC Card, IRC Card로 이루어져 있다.

- Tandem Processor Card(TPC) 각각의 tandem processor card는 두 개의 독립된 NEC 77240 processor 와 그들과 연결된 memory, backplane interface와 input/output port를 포함한다.
 - Workstation Interface Card(WIC) : Workstation Interface card는 사용자 computer workstation과 RTDS hardware 사이에 interface를 제공한다. WIC는 사용자에게 RTDS simulation을 적재하고, 시작하고, 중단하고 제어하도록 허용하는 능력을 제공한다.
 - InterRack Communications Card(IRC) : Inter-Rack Communication card는 서로 연결된 rack 사이에 정보를 교환하는데 사용된다. 고속 병렬에서 직렬 그리고 직렬에서 병렬 data converter는 간편하고 편리하게 rack 사이에 공동의 연결을 해준다. 한 개의 IRC는 다른 4개에 대해 한 개의 RTDS의 상호연결을 허용한다.
- RTDS rack이 최대 36개의 processor를 포함하기 때문



그림 1. 실시간 디지털 시뮬레이터의 전면도

2.2 계통 모델링

계전기 시험을 위해 모의된 계통은 그림 2와 같이 양전원단을 가진 계통으로 하였으며, 각 변전소당 T/L의 거리는 25km이며, 송전선이 단거리 이므로 π section 모델을 사용 하였다.

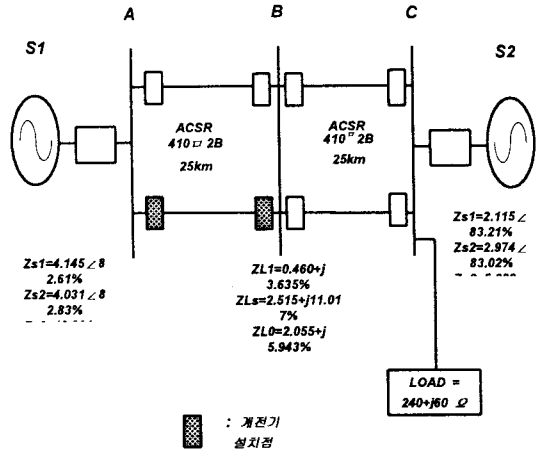


그림 2. 계전기 시험에 사용된 모의계통도

각 모델별로 RTDS에 입력된 Data는 아래 표와 같다.
Source Model Data

	S1	S2
Type	R/L	R/L
Tc	0.00sec	0.05sec
Zseq	YES	YES
Imp	Impedance	Impedance

II Section Model Data

Name	Fault Location 50%	Fault Location 100%	Unit
f	60	60	Hz
Rp	0.545	10.9	ohm
Xp	4.30625	8.6125	ohm
Xcp	3.516625	7.03325	Mohm
Rz	2.975	5.95	ohm
Xz	13.05375	26.1075	ohm
Xcz	10.54975	21.0995	Mohm
Rzon	2.435	4.87	Ohms
Xzon	7.0375	14.075	Ohms

2.3. RTDS Interface

DC Input Interface

계전기에서 나오는 Digital 출력은 계통사고 발생시 계통에 연결된 차단기를 Open하기 위한 Trip지령이다. 그림. 3은 계전기의 Trip지령을 RTDS에 입력하기 위한 Interface회로이다. 계전기의 접점을 RTDS에 바로 연결하지 아니하고 보조릴레이를 다시 연결한 것은 계전기의 접점이 On될 때 접점의Flick로 인해 계통 파형이 동요되므로 이를 방지하기 위해 Keep Relay를 사용해서 Trip 신호가 일정하게 유지 되도록 함과 동시에, 또한 실계통 사고시에 계통사고와 동시에 1Cycle이내에 차단기가 동작하여 사고를 제거 한다는 것은 현실성이 없으므로 실제 계통에서 차단기가 동작시의 사고제거시간을 모의 해 주기 위한 것이다.

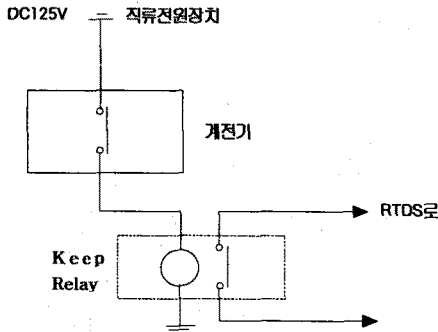


그림 3. 계전기의 Trip출력을 RTDS에 입력하기 위한 Interface회로

Digital Output Interface

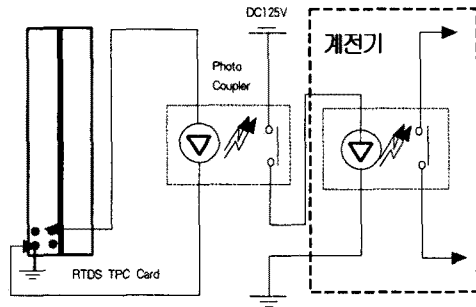


그림 4. RTDS에 의해 모의된 계통의 차단기 상태를 계전기에 입력시켜 주기 위한 Interface회로

그림 4는 RTDS에서 모의된 계통의 차단기 상태를 계전기에 입력시켜 주기 위한 Interface회로로서 RTDS후면의 Digital출력 5V를 계전기 구동전압 125V와 전기적으로 분리 시켜 주기 위한 것이다.

2.4 전류차동계전기

이번에 새로이 개발된 전류차동계전기는 양변전소의 CT에서 전류를 검출하여 위상각에 따른 벡터의 크기로서 정상상태와 계통사고를 비교하며 그 특성곡선은 그림 5.와 같다.

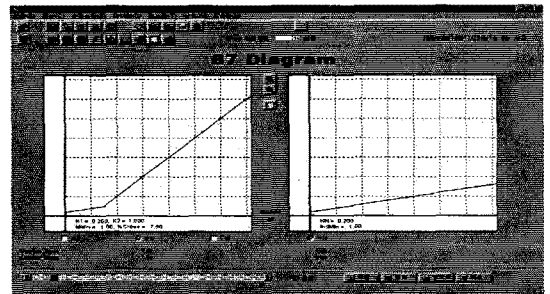
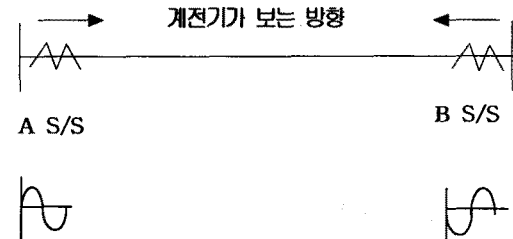


그림 5 정상상태에서의 벡터 및 전류의 크기

정상상태에서 양단체전에서 전류벡터의 합은 0이므로 벡터의 크기는 0이고 전류의 크기 또한 0점 부근에 있다. 계통에 사고가 발생하면 사고점으로 유입되는 전류는 동상이 되어 변전소 양단에서 본 벡터의 합은 스칼라의 합과 동일하고 양단 전류의 합으로 된다. 그림 6.은 사고 발생시의 벡터 및 전류의 크기를 나타낸 것이다.

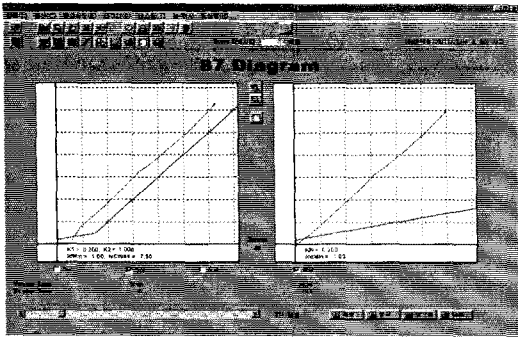


그림 6 사고 발생시의 벡터 및 전류의 크기

차단기가 동작하여 사고가 제거되면 계전기 양단에 입력되는 전류 및 벡터는 "0"이므로 "0"점으로 돌아온다..

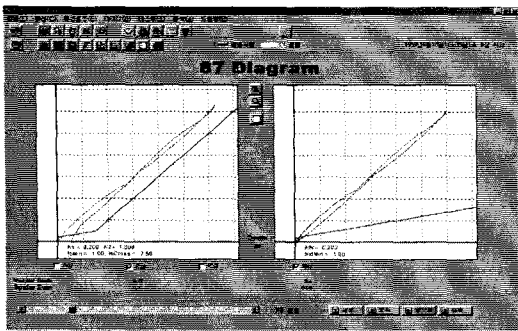


그림 7. 차단기 동작후 사고 제거시의 벡터 및 전류의 크기

3. 시험방법 및 시험결과

그림 8은 RTDS를 이용한 계전기 개발시험 전면도 이다. 전류 차동 계전기의 보호 구간을 #A단 계전기 기준으로 보호 구간 내 10%, 50%, 90% 지점에 내부 고장을 각 상별, 종류별로 발생시켜서 양단 계전기의 동작 상태를 확인하고, A단 보호 구간 외부 150%(FO150) 및 B단 보호 구간 외부 150%(FO50)에 각 상별, 종류별로 고장을 발생시켜서 양단 계전기의 부동작 여부를 확인한다. 그림 8은 RTDS에 입력된 모의 계통이다.

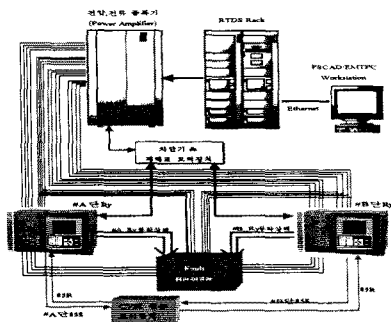


그림 8. RTDS를 이용한 계전기 개발시험 전면도

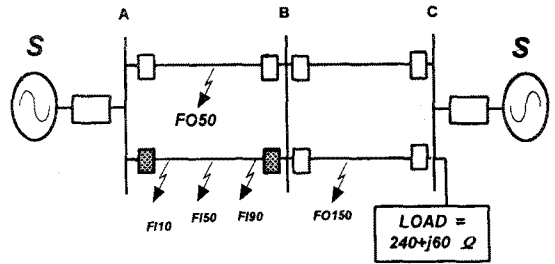


그림 9. 시험 계통도

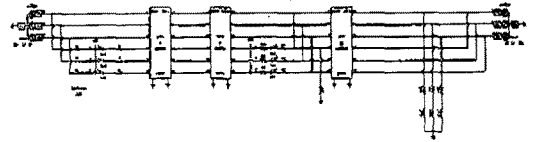


그림10 . RTDS Draft Screen

새로 개발된 전류차동 계전기의 실제통 적용을 위해 아래의 항목들에 대한 시험을 행하였다.

1. 양단 전원 내,외부 단일 고장 시험 (1 ϕ G, 2 ϕ G, 2 ϕ S, 3 ϕ S)
2. 자동 재폐로 시험(Auto Reclosing Test)
3. 진전 고장 시험(동일지점에 서로 다른 종류의 사고)
4. 다중고장 시험(동일지점에 서로 다른 장소에서 사고)
5. 단시간 고장 시험
6. CT 2차 측 개방 시 계전기 응용 시험
7. 중부하 전류 시험
8. 고저항 지락 시험
9. CT 포화 시험
10. 충전 전류 시험
11. 계전기 이상 시 응용 시험

그림 9는 시험항목중 양단전원 내,외부단일 고장시험중 내부 고장으로 C상 지락시 전원단에서 본 전압과 사고 발생시 branch에서 본 전류 파형이다. 사고 발생후 계전기가 이를 검출하여 차단기를 동작시켜 사고구간을 제거하여 Branch 전류는 "0"이 되고 전원단전압은 정상전압으로 회복 되었다.

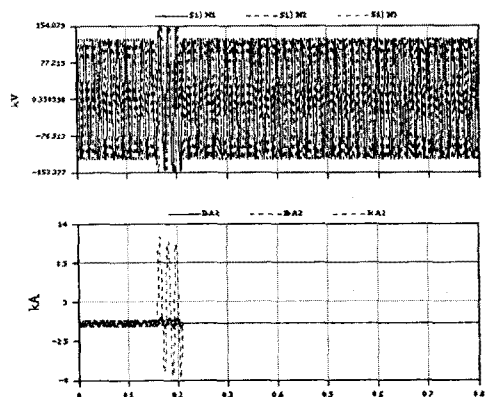


그림 9 . C상 지락시 전원단 전압과 Branch전류

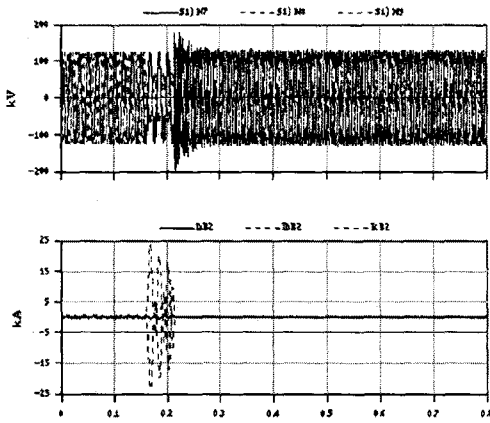


그림 10. BC상 단락시 전원단에서 본 전압과 사고선로의 Branch 전류

그림 10.은 BC상 단락사고시 전원단에서 본 전압과 사고선로의 Branch전류이다. BC상 단락에 따라 사고선로의 BC상의 전류는 크게 증가하고 전원단의 전압은 급격히 떨어졌으나 계전기가 사고를 검출하여 차단기를 Open 하여 사고선로의 전류는 "0"가 되고 전원단 전압은 정상상태로 복구되었다. 사고제거와 더불어 전원단 전압회복시 초기전압이 불안정한 것은 차단기 투입에 따른 것이다

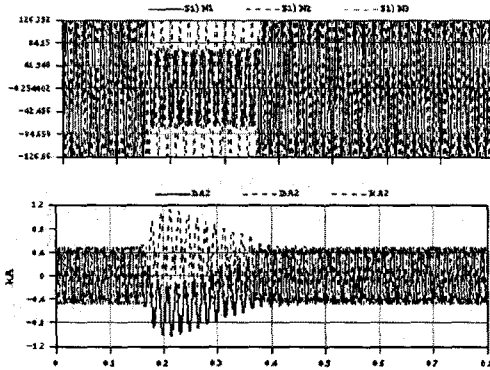


그림 11. 병렬 2회선 반대편 선로의 AB상 단락시 전원단 전압 및 Branch전류

그림 11.은 병렬 2회선 선로에서 마주본 병렬 선로에서 AB상 단락이 발생 하였을 경우 전원단에서 본 전압과 계전기가 보고 있는 선로의 branch전류이다. 외부고장이므로 계전기가 동작 하면 안된다. 사고발생과 함께 전원단 전압의 BC상은 급격히 떨어지고, Branch전류까지 영향을 받았으나 자단의 차단기가 동작하지 않음으로서 계전기가 정상적으로 동작 하였음을 알 수 있다.

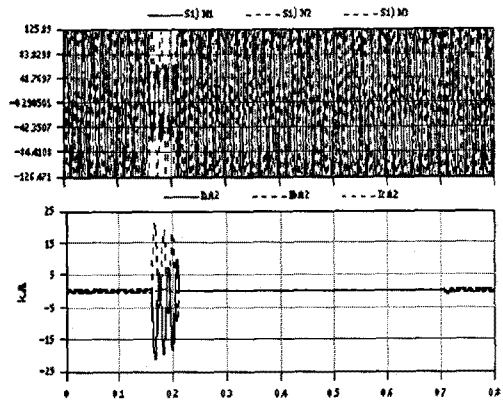


그림 12. AB상 단락사고시 자동 재폐로

그림 12.는 AB상 단락 사고 발생시 계전기가 이를 검출하여 사고를 제거한후 300ms후에 자단의 차단기를 재폐로하고 100ms후에 상대단의 차단기를 재폐로한 것이다..

4. 결론

본 논문에서는 새로이 개발한 전류 차동계전기의 실계통 적용을 위한 실증시험으로서 RTDS에 의한 계통 모의법 및 interface법, 모의 계통에 대한 계전기의 동작결과등을 소개하였다. 이번 시험을 통하여 모의계통에서의 동작결과를 통하여 계전알고리즘의 정확성, 계전기 동작특성의 적합성등을 검증하여 실계통 적용시의 문제점등을 사전 점검 하였다. 현재 외국에서는 Simulator를 이용한 계전기 동작시험등이 이루어 지고 있으나 국내에서는 장비의 보급이 미흡하고 고가인 관계로 널리 시행되고 있지 못하고 있는 실정이다. 앞으로 대형 Simulator등의 보급이 이루어 지면 실시간 모의를 통한 개발시험이 활발히 이루어 질 것으로 기대된다.

(참고 문헌)

- [1] Malkinson, T.J., Kuffel, R., Giesbrecht, J., Maguire, T., Wierckx, R.P., McLaren, P.G., "A fully digital power system simulator operating in real time" Electrical and Computer Engineering, Canadian Conference, pp733-736 Vol12, 1996
- [2] Malkinson, T.J., Kuffel, R., Giesbrecht, J., Keerthipala, W., Castro, A., Fedirchuk, D., Innes, S., Mustaphi, K., Sletten, K., "On site relay relay transient testing for series compensation upgrade", Power Delivery, IEEE Transactions Val 9, pp1308-1315, 1994
- [3] McLaren, P.G., Kuffel, R., Wierckx, R.P., Giesbrecht, J., Arendt, L., "A real time digital simulator for testing relays" Power Delivery, IEEE Transactions pp1207-213, 1992
- [4] Keyin System, "전류차동계전기 KYP2D1" Vol 1, 2 1999