

새로운 게이트 절연막 구조를 가지는 다결정 실리콘 박막 트랜지스터

황한욱\*, 최용원\*, 김용상\*, 김한수\*\*  
 \*명지대학교 전기공학과, \*\*두원공과대학 전기과

Characteristics of the Novel Gate Insulator Structured Poly-Si TFT's

Han-Wook Hwang\*, Yong-Won Choi\*, Yong-Sang Kim\*, Han-Soo Kim\*\*

\*Dep't of Electrical Engineering, Myongji University, \*\*Dep't of Electrical Engineering, Doowon Technical College

**Abstract** - We have investigated the electrical characteristics of the poly-Si TFT's with the novel gate insulator structure. The gate insulator makes the offset region to reduce leakage current, and the electrical characteristics are obtained by employing Virtual Wafer Fab. simulator. As increases the gate insulator thickness above the offset region of this structure from 0Å to 2000Å, the OFF state current at  $V_G=10V$  decrease by two orders in magnitude while ON state current doesn't decrease significantly. ON/OFF current ratios for conventional device and the proposed device with 2000Å gate insulator thickness are  $1.68 \times 10^5$  and  $1.07 \times 10^7$ , respectively.

연막을 두껍게 증착하여, 건식식각 방법으로 게이트 절연막을 식각하였다. 게이트 전극을 위하여 다결정 실리콘 박막을 2000Å의 두께로 형성하였다. Offset영역은  $P^+$ 를  $5.0 \times 10^{15}/\text{cm}^2$ 의 dose 및 45keV의 에너지로 이온 주입하여 정의하고, 600°C에서 10시간동안 열처리하여 주입된 이온을 활성화시켰다. 공정 모의실험을 통해 얻어진 제안된 소자에서, offset영역 위의 게이트 절연막의 두께 ( $T_{s,ox}=0 \sim 2000\text{Å}$ )에 따른 농도 분포를 그림 2에 나타내었다.

1. 서 론

다결정 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터 보다 높은 전계 효과 이동도와 높은 집적도를 가지고 있기 때문에 고해상도 AMLCD의 화소 스위칭 소자와 주변 회로를 동일 기판상에 제작할 수 있는 소자로 그 연구가 활발히 진행되고 있으나, 누설전류가 크다는 단점을 지니고 있으며, 이는 화면의 flickering을 발생하는 원인으로 작용한다[1]. 다결정 실리콘 박막 트랜지스터의 누설 전류는 게이트와 드레인 중첩영역의 높은 수평 전계에 의해 발생하며[2], 이런 높은 전계 수평전계를 제한하기 위해서 드레인과 게이트 및 소오스와 게이트 중첩부분의 일정영역을 낮게 도우핑한 LDD (Lightly-Doped Drain)구조 및 offset구조를 지닌 소자의 연구가 활발히 진행되고 있다[3].

본 연구에서는 새로운 게이트 절연막 구조를 지니는 다결정 실리콘 박막 트랜지스터를 제안하며, 제안된 소자의 평가를 위하여 Silvaco사의 Virtual Wafer Fab을 이용하여 전기적 특성을 고찰하였다.

2. 본 론

2.1 제안된 소자의 구조 및 모의실험

제안된 소자는 co-planar 구조로서, 게이트 절연막을 건식 식각을 통하여 새롭게 형성하는 과정을 제외하면, 일반적인 소자의 제조 공정과 같은 방법으로 형성된다. 새롭게 형성된 절연막은 이온주입시 스크린 마스크로 작용하여 게이트와 드레인 중첩부분의 일정 영역에 offset이 정의된다. 제안된 소자의 구조를 그림 1에 보았다.

새롭게 제안된 소자의 특성 비교를 위하여, 소자 제조 공정과 동일한 방법으로 일반적인 구조와 제안된 구조의 소자를 공정 모의실험 및 소자 모의실험을 동시에 수행, 전기적 특성을 고찰하였다.

제안된 소자는 (100) n형 실리콘 기판위에, 5000Å의 실리콘 산화막을 형성한 후, 활성층 영역을 정의하기 위하여 CVD방법으로 1000Å의 다결정 실리콘 박막을 증착하였다. Offset을 형성하기 위하여 먼저 게이트 절

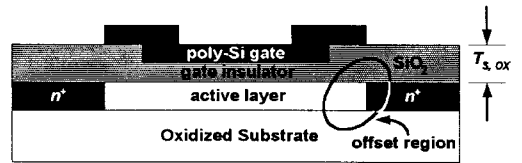


그림 1. 제안된 소자의 단면구조  
 Fig. 1. Schematic diagram of the proposed device.

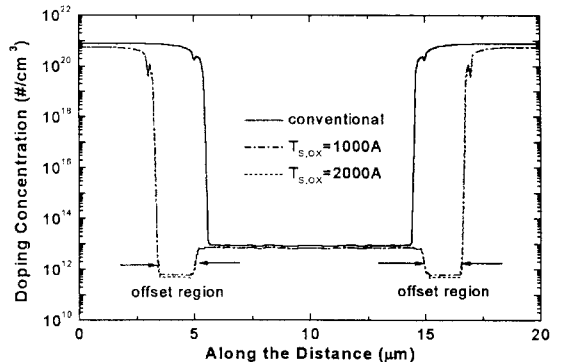


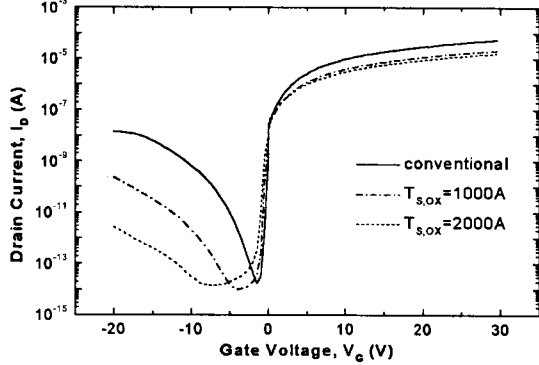
그림 2. 제안된 소자의 농도 분포도  
 Fig. 2. Doping profile of the proposed device.

2.2 제안된 소자의 모의실험 결과

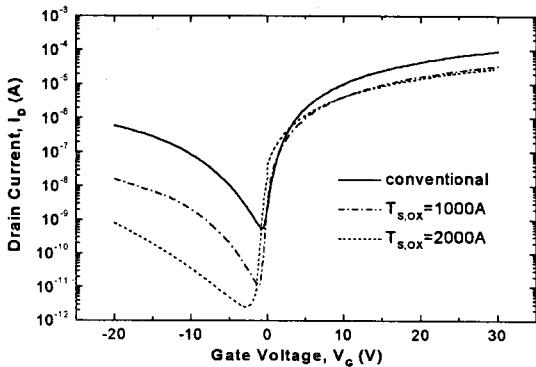
채널의 길이가 10 μm인 다결정 실리콘 박막 트랜지스터에서, offset 영역 위의 게이트 절연막의 두께를 0Å, 1000Å, 그리고 2000Å으로 변화할 때, 절연막의 두께에 따른 전류-전압 특성 곡선을 그림 3에 도시하였다. 그림 3(a)는 5V, 3(b)는 10V의 드레인 전압을 인가한 경우의 특성이다. Offset 영역 위의 게이트 절연막의 두께가 0~2000Å 증가 할수록, 10V의 드레인 전압을 인가한 경우 off 상태에서의 드레인 전류의 크기가,  $1.43 \times 10^{-8}\text{A}$ ,  $2.35 \times 10^{-10}\text{A}$ , 및  $2.71 \times 10^{-12}\text{A}$ 로 감소하였다.

일반적으로 다결정 박막 트랜지스터에서는 주입된 이온이 그레인 경계를 따라 빠르게 확산하여 n+영역이 게

이트 전극에 깊이 중첩되는 구조를 지니게 된다[4]. 주입된 캐리어가 그레인 경계에 존재하는 트랩에 의해 포획되어 이를 보상해 주기 위해 비교적 큰 값의 문턱 전압이 가하며 이로 인하여 강한 전계가 인가되게 된다. 이는 게이트와 드레인 중첩영역의 그레인 경계에 존재하는 트랩을 통해서 지수 함수적으로 전자-홀쌍을 발생시키게 되며, 누설전류의 공급원으로 작용하는바[5], off 상태에서의 수평전계분포 곡선을 그림 4에 도시하여 고찰하였다.



(a)  $V_D=5V$ 인 경우



(b)  $V_D=10V$

그림 3. 일반적인 소자와 제안된 소자의 전달특성 곡선  
Fig. 3. Transfer characteristics for the conventional and proposed devices

일반적인 소자에서는 수평 전계가 게이트와 드레인 중첩영역에 강하게 걸리게 되며, 다량의 전자-홀쌍을 생성한다. 반면, offset구조의 소자의 경우에는 대부분의 전계가 낮게 도우핑된 영역에 따라서 수평한 방향으로 인가된다. 일반적인 소자와 2000Å 게이트 절연막을 지니는 소자의 off 상태에서의 최대 전계 크기를 비교할 때, 각각 4.45MV/cm에서 3.4MV/cm로 감소함을 확인하였다. 따라서, 그림 3의 나타난 바와 같이 제안된 구조의 다결정 실리콘 박막 트랜지스터의 누설 전류 감소는 offset 영역이 게이트와 드레인 중첩영역에서의 수평 전계를 효과적으로 억제하였기 때문이다. 또한 제한된 수평전계의 크기의 감소로 인하여, 드레인-게이트 중첩영역의 전자-홀쌍의 생성을 억제하게 되는바, 전자 농도 분포를 그림 5에 도시하였다.

Off 상태인 경우, 드레인 공핍층에서 전자와 쌍으로 생성된 홀은 음의 게이트 전압에 의해 채널쪽으로 모이게 되고 이 홀 중 일부는 소오스쪽의 장벽을 넘지만, 그레인 경계의 장벽과 강한 음의 게이트 전압에 의해 소오스 쪽으로의 이동이 제한된 대부분의 홀은 채널에 존재하게 되어 소오스 쪽의 전자 장벽을 낮춤으로써 전자가 지수 함수적으로 주입되는 현상이 발생한다. 이렇게 주

입된 전자는 강한 음의 게이트 전압에 의해 채널 밑으로 이동함으로써 재결합되는 전자의 비율이 적게 되어 상당한 양의 전자가 드레인으로 흐르면서 큰 누설전류를 형성하게 되므로[6], off 상태에서의 전자 농도에 대한 고찰이 필요하다.

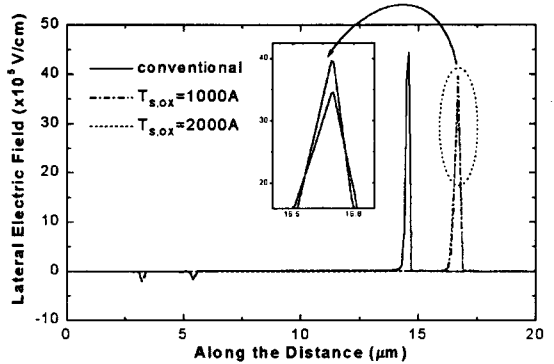


그림 4. 일반적인 소자와 제안된 소자의 수평전계 분포  
Fig. 4. Lateral electric field distribution for the conventional and proposed devices.

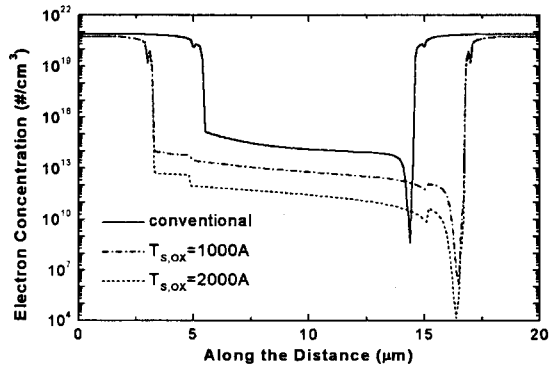


그림 5. OFF상태에서의 전자 농도 분포  
Fig. 5. Profile of electron density along the distance at OFF state.

그림 5에서 도시한바와 같이, 드레인-게이트 중첩영역에서의 최소 전자농도는 일반적인 소자의 경우  $2.38 \times 10^{12}/\text{cm}^3$ , 2000Å의 게이트 절연막을 지니는 소자의 경우  $1.37 \times 10^9/\text{cm}^3$ 으로 일반적인 소자에 비해 충분히 낮게 유지됨을 알 수 있다. 이는 offset 영역에서 게이트 전압에 따라 유지 되는 전자가 지수 함수적으로 감소함을 보여주며, 이를 통해 누설전류의 감소원인을 확인하였다. 드레인 전압을 5V와 10V로 인가한 경우의 offset 영역 위의 게이트 절연막의 두께에 따른 누설전류의 크기를 그림 6에 나타내었다. 드레인 전압이 10V인 경우와 동일하게, 5V를 인가한 경우 제안된 소자가 일반적인 소자에 대해 off 상태에서의 전류의 크기가 감소하였으며, 특히 최소 전류의 감소가 현저하게 나타남을 확인하였다.

일반적인 구조의 소자와 제안된 구조의 소자의 주요 소자 특성 변수를 고찰한 바, 문턱전압은 드레인 전압이 10V인 경우 7.54V에서 6.55V로 감소하였다. 또한, offset으로 인하여, 누설전류 성분의 감소함에 따라, on 전류도 감소함으로 스위칭 소자로서 중요한 on/off 전류비에 대한 고찰이 필요하다. 본 연구에서 수행한 모의실험에서는 offset 영역 위의 게이트 절연막의 두께에 따른 on전류의 감소는 거의 없는 반면 일반적인 소자와 비교한 경우 다소 감소하는 경향을 나타내었다. 일반적인 소자와 offset영역 위에 2000Å의 게이트 절연막을 지니는 제안된 소자의 on/off 전류비( $V_D=10V$ )를 고찰

한 바, 각각  $1.68 \times 10^5$ 과  $1.07 \times 10^7$ 으로 제안된 소자가 일반적인 구조의 소자에 비해 on/off 전류비가 매우 우수함을 확인하였다.

Offset 영역 위의 게이트 절연막의 두께에 따른 on전류의 감소는 거의 없는 반면 일반적인 소자와 비교한 경우 다소 감소하는 경향을 나타내었다. 그러나, 문턱 이전 기울기는 각각 0.68V/dec와 1.25V/dec로 나타났으며, 이는 낮게 도우핑된 offset영역으로 인하여 전계 효과 이동도도가 다소 감소함에 기인한다. 문턱 전압과 문턱 이전 기울기는 전달 특성 곡선의 선형 영역에서의 전달 컨덕턴스(transconductance,  $g_m$ )를 통해 외삽하여 얻었으며, 이는 다음과 같다[5].

$$g_m = \frac{\partial I_D}{\partial V_G} = \mu_n C_{ox} \frac{W}{L} V_D$$

$$I_D = 0 \text{ at } V_G = V_T + \frac{V_D}{2}$$

$$\ln I_D \propto V_G - V_T$$

드레인 전압을 10V인가한 경우, offset 영역 위의 절연층의 두께에 따른 소자 특성 변수를 표1에 요약하였으며 문턱 전압 및 문턱 이전 기울기의 변화를 그림 7에 도시한 바, 문턱전압, 누설전류의 특성, 및 on/off 전류비의 특성이 일반적인 구조에 비해 제안된 소자가 매우 우수함을 확인할 수 있다.

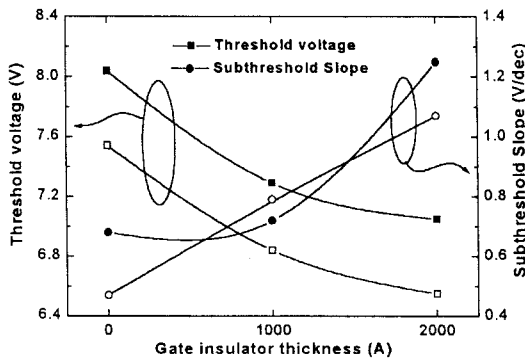


그림 7. 게이트 절연층의 두께에 따른 문턱전압 및 문턱 전압 이전 기울기의 변화

Fig. 7. Variation of the threshold voltage and subthreshold slope with different gate insulator above off region. [closed symbol (for  $V_D=5V$ ), open symbol (for  $V_D=10V$ )]

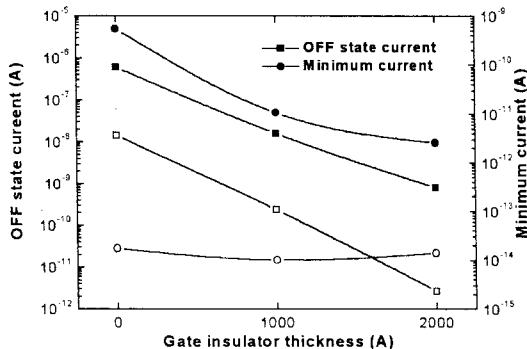


그림 6. 게이트 절연층의 두께에 따른 누설전류 성분  
Fig. 6. Leakage current with different gate insulator thickness above offset region. [closed symbol (for  $V_D=5V$ ), open symbol (for  $V_D=10V$ )]

표1. 절연층의 두께에 따른 소자 특성 변수의 변화  
Table 1. Device parameters of poly-Si TFT's with different gate insulator thickness

	conventional	proposed structure	
		$T_{Si,ox}=1000\text{Å}$	$T_{Si,ox}=2000\text{Å}$
$V_{th}$ (V)	7.54	6.84	6.55
S.S. (V/dec)	0.68	0.72	1.25
$I_{OFF}$ (A)	$6.06 \times 10^{-7}$	$1.62 \times 10^{-8}$	$8.04 \times 10^{-10}$
$I_{min}$ (A)	$5.51 \times 10^{-10}$	$1.07 \times 10^{-11}$	$2.60 \times 10^{-12}$
$I_{ON}$ (A)	$9.27 \times 10^{-5}$	$3.34 \times 10^{-5}$	$2.77 \times 10^{-5}$
$I_{ON}/I_{OFF}$	$1.68 \times 10^5$	$3.12 \times 10^6$	$1.07 \times 10^7$

### 3. 결 론

새로운 게이트 절연막 구조를 지니는 다결정 실리콘 박막 트랜지스터를 제안 하였으며, 모의 실험을 통하여 전기적 특성을 일반적인 구조의 소자와 비교 및 고찰하였다. 제안된 구조의 소자의 경우 off 상태에서의 전류의 크기가 일반적인 구조에 비해 현저하게 감소하였으며, on전류의 감소는 다소 발생하였으나, 스위칭 소자의 주요한 변수 중 하나인 on/off 전류비는 offset 영역 위에 2000Å의 절연막을 지니는 제안된 소자의 경우  $1.07 \times 10^7$ 으로 매우 우수함을 확인하였다. 이는 드레인-게이트 중첩 영역의 수평 전계의 크기를 제한하여, 주입된 전자의 양을 현저하게 감소시킨 결과이다.

### (참 고 문 헌)

- [1] J.Ohwada, M.Takabatake, Y.Ono, A.Mimura, and N.Konishi, "Peripheral circuit integrated poly-Si TFT LCD with gray scale representation," *IEEE Trans. Electron Devices*, vol.6, pp. 1923~1927, 1989
- [2] K.Tanaka, S.Suyama, and K.Kato, "Field-induction-drain thin-film transistors for liquid-crystal display application," *Jpn.J.Appl.Phys.*, vol.32, pp.469,1993
- [3] 황한욱, 황성수, 김용상, "LDD구조의 다결정 실리콘 박막 트랜지스터의 특성," *전기전자재료학회논문지*, vol.10, No.7, pp. 522~526, 1998
- [4] M.Hack, I-W.Wu, "Analysis of Leakage Current in Poly-Silicon Thin Film Transistors", *IEDM 93*, pp.385~388
- [5] S.M.Sze, "Physics of Semiconductor Devices," 2nd edition, John Wiley&Sons, 1981
- [6] Tahui Wang, T.E.Chang, C.M.Huang, "Structural Effect on Band-Trap-Band Tunneling Induced Drain Leakage in n-MOSFET's," *IEEE Elec.Dev.Lett.*, vol.16, No.12, pp.566~568, 1996