1999년도 대한전기학회 하계학술대회 논문집 1999. 7.19-21

두께 변화에 따른 Gate Oxide의 전기적 특성

박정구, 홍능표, 이용우*, 김왕곤**, 홍진웅

광운대학교 전기공학과, 대덕대학 전기과*, 서울산업대학교 전기공학과**

The Electrical Properties of Gate Oxide due to the Variation of Thickness

Jung-Goo Park, Nung-Pyo Hong, Yong-Woo Lee*, Wang-Gon Kim**, Jin-Woong Hong

Dept. of Electrical Eng., Kwangwoon University
*Dept. of Electrical Eng., Taedok College
**Dept. of Electrical Eng., Seoul National University of Technology

Abstract - In this paper, the current and voltage properties on the gate oxide film due to the variation of thickness are studied. The specimen is used for n-ch power MOSFET.

It is shows the leakage current and current density characteristics due to the applied electric field when the oxide thickness is each 600[Å], 800[Å] and 1000[Å], respectively. We known that the leakage current is a little higher when the voltage as reverse bias contrast with forward bias in poly gate is applied.

In order to experiment for AC properties is measured for capacitance characteristics. It is confirmed that the value of input capacitance have been a lot of influenced on SiO_2 thickness contrast with the value of output capacitance.

1. 서 론

오늘날 전자기기의 핵심소자라고 할 수 있는 반도체소자의 메모리 셀 크기와 절연막 두께는 집적도가 상승함에 따라 면적은 커지나 셀 크기는 작아지고 공정의 복잡화를 가져왔다.[1-2] 이에 모든 공정의 효율과 신뢰성의 확보가 중요해지고 있다. 그중에서도 MOSFET은 동작전압이 높을수록 스위칭 속도가 빨라지고 고성능화되는 반면 소자구조의 3차원화로 인한 전계집중 현상과 게이트 절연막의 박막화로 인해 게이트 절연막에 인가되는 전계강도가 높아지게된다. 이로 인해 게이트 절연막의 절연파괴가 발생하면 효율과 신뢰성 수명이 저하되므로 신뢰성 확보가 중요한 과제가 되고 있다.[3-4]

낮은 전계가 인가될 때는 문제가 되지 않던 산화막의 미소결함도 박막화됨에 따라 산화막에서는 절연내력을 저하시키는 중대한 결함이 된다. 따라서 미소결함이 없는 산화막을 얻는 것이 반도체 제조업에 있어서 가장 큰 과제이다.

최근 들어 전자기기의 고성능화와 더불어 내장 반도체 성능의 고집접, 고스피드화 추세에 따라 MOS구조에서의 gate-oxide는 점차 얇아지고 이에 따른 문제점도 야기되고 있다. 또한 oxide(SiO_2)경계면상의 트랩charge나 여러 형태의 이온들은 반도체 제조 공정시 어쩔 수 없이 생성되어 제품 특성에 큰 영향을 주고 있다.

본 논문에서는 메모리소자가 아닌 전력용 소자의 하나인 단일 MOSFET소자를 기본모델로 하여 게이트 절연막으로 대부분 쓰이고 있는 산화막의 두께에 따른 I-V 특성과 capacitance특성을 통해 산화막의 전기적 현상을 분석하였다.

2. 본 론

2.1 시료 제작

본 실험에 사용된 시료의 제작은 5인치 아세닉 에피웨이퍼를 사용하여 일반적인 DMOS구조의 파워 MOSFET을 제작하였다. 시료는 웨이퍼위에 field산화막을 형성한 후 게이트 절연막으로 산화막을 형성하였다. 산화막은 N_2O_2분위기에서 각각 600[Å],800[Å],1000[Å]의 두께로 형성하고 게이트 신호를 전달할 폴리게이트를 형성하였다. n-ch MOSFET를 기본모델로 하였으므로 p-type불순물이 폴리게이트와 선택 open된 실리콘 저농도epi층에 이온주입 되었다. 이후의 공정은 일반적인 MOS반도체 공정에 따라 n+형성과 폴리게이트의 절연을 위한 PSG deposition, contact 형성후 Al 메탈을 기본적으로 구성하였다.

제작된 각기 다른 oxide박막의 두께를 갖는 파워 MOSFET의 oxide두께에 따른 그 특성을 알아보기 위해 Tectronicxt사의 370 curve tracer와 HP사의 4145 LCR meter를 이용 두께에 따른 oxide박막의 I-V특성과 Capacitance특성을 조사하였다. 그림1은 시료의 단면구조를 대략적으로 나타낸 그림이다.

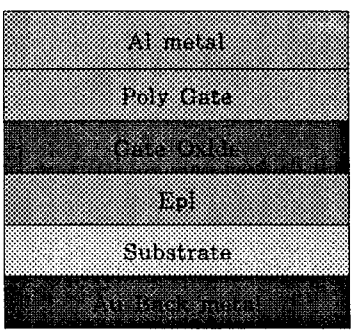

그림 1. 시료의 단면 구조
Fig. 1. The structure of sample

3. 결과 및 고찰

3-1 Gate oxide의 V-I 특성

그림 2는 순방향 인가시 oxide 두께에 따른 V-I특성을

나타낸 그래프이다. Gate oxide의 인가전압에 따른 누설전류특성을 알아보기 위해 순방향 바이어스 인가시 oxide에 흐르는 누설전류값을 측정하였다.

Oxide두께가 두꺼울수록 누설전류 값은 작게 나타나며 역 바이어스 인가시에도 oxide두께가 두꺼운 시료에서 누설전류값은 작게 나타나는 것을 확인할 수 있다.

반도체소자에서 실리콘 표면상에서의 전자 이동은 디바이스 동작특성에 많은 영향을 주며, 사용한 n-ch MOSFET의 경우는 게이트의 순방향 bias인가에의해 n-epi 영역의 전자축척에 의한 고농도화와 p- 반전층 영역의 전도도 변화는 고농도 n+ 소오스영역의 자유 carrier의 증가를 가져온다. 이는 게이트에 순방향(+) 바이어스가 걸리고 소오스와 드레인단에 역방향(-)바이어스가 인가되면 oxide로 흐르는 누설전류값은 Oxide 내의 -trap charge ion에 의한 것으로 예상된다.

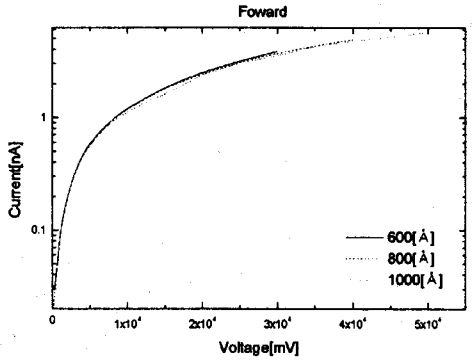

그림 2. 순방향 인가시 V-I특성 그래프
Fig. 2. V-I Characteristics of SiO_2 thin film

Oxide박막에 흐르는 누설전류는 양단간(산화막과 silicon sub)의 전위차에 의해 흐르는데 이는 oxide와 silicon경계에서의 potential barrier의 높이를 한쪽은 높게 다른 한쪽은 낮게 한다. 이로 인해 경계면에서 전하일부는 포획되고 이동에 제한을 받게되는 축척전하는 전도도에 아무런 영향을 못 미친다. 그러나 이 포획전하는 공간전하영역의 전하분포에 영향을 준다.

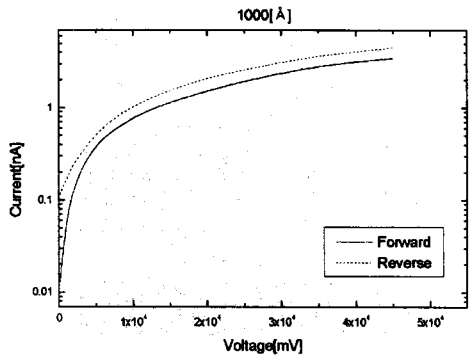

그림 3. 1000[Å]일때의 V-I특성 그래프
Fig. 3. V-I Characteristics of 1000[Å] SiO_2

그림 3은 oxide두께가 1000[Å]일때의 V-I특성을 나타낸 그래프이다. 그래프에서도 알 수 있듯이 순방향 인가시, 역방향 인가시와 비교해 누설전류값이 작게 나타나는 것을 확인 할 수 있다. 이는 polygate가 doping된 p-type과 n-ch이므로 n-에피층을 사용하므로 불순물 doping에 따른 전계에 의해 역바이어스시 n-에피층의 영향과 oxide양단간의 고전계 인가에 의해서 내부의 충돌전리가 생겨 전자-정공쌍이 발생하지만 정공의 이동도가 전자에 비해 극히 작기 때문에 oxide내에서의 정공의 포획이 생기고 이로 인해 -bias단 계면의 전계를 평균전계 E보다 크게 만들며, 나아가 전자의 주입을 촉진하게 한다. 즉 oxide 내에 정공 포획의 발생에 기인한 것이다.

3-2 Gate oxide의 전계특성

그림4와 그림5에서는 시료에 대한 전계특성을 나타낸 것이다. 에너지 갭이 비교적 큰 SiO_2막에서는 영상력에 의한 에너지장벽 높이의 저하는 그리 크지 않으며 다음 식에 의해 누설전류특성을 기술할 수 있다.

F-N 전류에 대한 기본식은 다음과 같다.

$$J_{FN} = \left(\frac{q^2E^2m}{8\pi h\phi_{Bm}}\right)\cdot\left[-\frac{4\sqrt{2m^*}(q\phi_{Bm})^{3/2}}{3q\hbar E}\right] = AE^2\exp\left(\frac{-B}{E}\right)$$

$$\text{단, } A = \left(\frac{q^2m}{8\pi h\phi_{Bm}}\right),\ B = \left(\frac{4\sqrt{2m^*}(q\phi_{Bm})^{3/2}}{3q\hbar}\right)$$

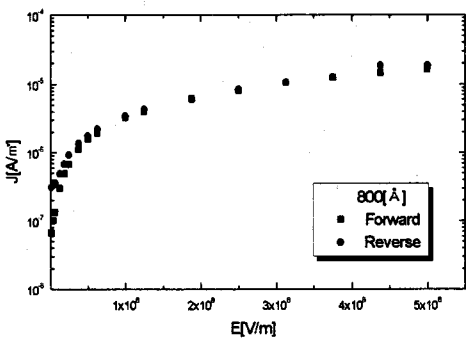

그림 4. 800[Å]일때의 전계특성
Fig. 4. Electric Field Characteristics of 800[Å]

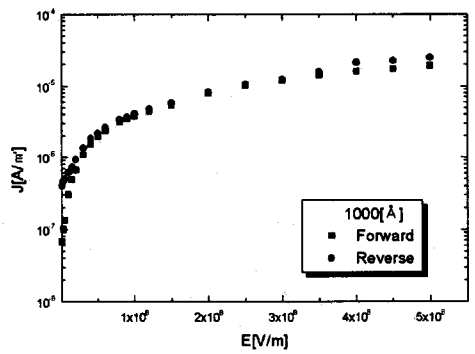

그림 5. 1000[Å]일때의 전계특성
Fig. 5. Electric Field Characteristics of 1000[Å]

그림 6은 oxide두께에 따른 입력 capacitance값을 측정한 그래프이다. Coss나 Crss에 비해 oxide두께에 크게 비례하는 결과를 알 수 있으며 특히 Ciss항목의 경우 두께에 따른 차이가 크게 나타남을 측정을 통해 확인할 수 있었다. 전자들은 gate-oxide의 trap, oxide - silicon계면에는 포획(trapping)에 걸려 전하의 일부가 이동하는데 제한을 받게 된다.

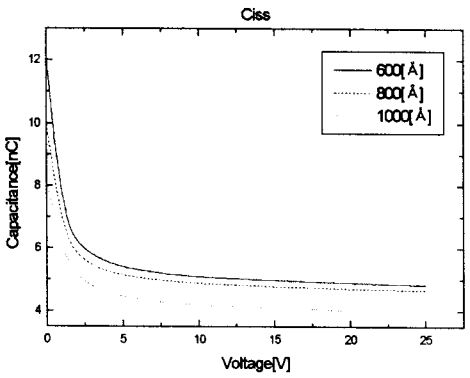

그림 6. Oxide두께에 따른 입력 Capacitance
Fig. 6. Input capacitance due to SiO_2 thickness

Oxide 두께에 따른 출력 capacitance값을 측정한 그래프를 나타낸 것이 그림 7이다.
그림에서 알수 있듯이 그림 6의 Ciss에 비해 oxide두께에 크게 의존하지는 않는 것을 볼 수 있다. 이것은 출력 capacitance구성 요소자체가 oxide capacitance보다는 depletion capacitance에 크게 의존하기 때문으로 사료된다.

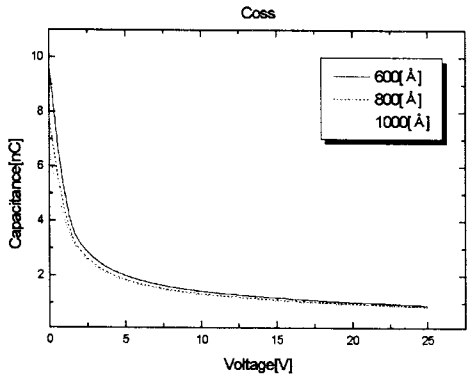

그림 7. Oxide두께에 따른 입력 Capacitance
Fig. 7. Ouput capacitance due to SiO_2 thickness

또 인가전압이 높아짐에 따라 두께에 따른 capacitance값의 편차가 작아지는데 이는 양단간의 인가 전계가 작을때가 클때에 비해 직·병렬 구성되는 각각의 capacitance성분은 산화막의 두께에 비례하는 부분이 커지나 전계가 증가하면 실리콘 내에서의 내부 capacitance성분 많은 부분을 차지함으로 인해 그리 편차가 크게 나타나지 않는 것으로 여겨진다.

4. 결 론

두께변화에 따른 gate oxide의 V-I 특성을 연구한 결과를 다음과 같이 나타내었다.
폴리게이트에 -bias인가시 +bias인가시와 비교해 다소 큰 leakage전류가 흐르는 것을 확인 할 수 있었으며 이는 F-N터널전류가 아닌 터널링에 의한 미소 전류이며 이는 실리콘 기판이나 폴리게이트로부터 주입된 전자에 의한 제한전류인 것으로 사료된다.
본 실험에 사용된 시료는 VLSI나 메모리등의 고집적 회로에 사용되는 oxide와는 구별되는 것으로 전력용 디바이스에 사용되는 것이다.따라서 앞선 실험의 결과로인해 디바이스양산공정 중 최종 테스트시 gate-drain단의 demage bias는 순bias때보다 역bias시에 약 5[V]정도 낮게 인가해야 함을 알 수 있었다.

[참 고 문 헌]

[1] 성영권, 학술연구총서 49, "미세화소자 전자절연과 물성", 고려대학교 출판부
[2] 류충렬, 황성우, 박영준, 민홍식 "Threshold Voltage Variation due to Discrete Oxide Charge Distribution in MOSFET's" 제 4회 한국 반도체 학술대회 논문집 pp. 481~482
[3] M. Kamal Khan, F. Zdancewicz and A. Bhalla, "THE EFFECT OF GATE DOPING ON THE ELECTRICAL CONDUCTION AND RELIABILITY OF THICK GATE OXIDES", ISPSD '97, pp. 137~140 [8] S. D. Khanin Herzen State Pedagogocal University of Rusia, "Electrical Conduction and Breakdown in Amorphous Tantalum and Niobium Oxide Films", 1995 International Symposium on Electrical Insulation Materials, pp. 97~100
[4] S. D. Khanin Herzen State Pedagogocal University of Rusia, "Methods of Metal Oxide Dielectric Films Testing 1995 International Symposium on Electrical Insulation Materials, pp. 291~294