

선택적으로 도핑된 채널을 가지는 새로운 다결정 실리콘 박막 트랜지스터

정상훈, 이민철, 전재홍, 한민구
 서울대학교 전기공학부 전기재료 및 소자 실험실

NEW POLY-SI TFT'S WITH SELECTIVE DOPED REGION IN THE CHANNEL

Sang-Hoon Jung, Min-cheol Lee, Jae-hong Jeon, Min-koo Han
 School of Electrical Engineering, Seoul National University, Seoul, 151-742, Korea

Abstract - 다결정 실리콘 박막 트랜지스터(TFT)의 누설전류를 줄이기 위하여 채널의 중간에 선택적으로 도핑된 영역을 가진 새로운 다결정 실리콘 TFT를 제안한다. 제안된 TFT에서는 채널의 일부가 선택적으로 도핑되어 채널 전체에 걸리는 전기장이 재분배된다. 제안된 n-채널 TFT는 $V_{GS} < 0, V_{DS} > 0$ 인 조건에서, 대부분의 전기장이 드레인 접합에 형성되는 공핍영역과, 도핑된 영역 중 소오스 쪽과 도핑되지 않은 채널 사이에 형성되는 공핍영역에 각각 나뉘어 걸린다. 기존의 다결정 실리콘 TFT와 비교할 때 드레인 접합에서 걸리는 전기장은 1/2로 감소하였고, 이에 따라 드레인 접합에서 생성되는 전자-홀 쌍도 현저히 감소하였다. 더구나 제안된 TFT의 온-전류는 기존의 TFT와 비교했을 때 거의 같거나 약간 감소하였으며 이에 따른 온/오프 전류비가 현저히 향상되었음을 실험을 통해 확인할 수 있었다.

구조에 있다. 제안된 소자는 채널에 선택적으로 도핑된 영역이 있는 반면 기존 TFT의 채널에는 도핑된 영역이 없다. 본 실험에서 채널 길이는 $10\mu\text{m}$ 로 고정시켰고, 도핑된 영역의 길이를 $1\mu\text{m}$ 에서 $7\mu\text{m}$ 까지 변화시켰다. 도핑 농도는 $10^{18} \text{ atoms/cm}^3$ 과 $10^{20} \text{ atoms/cm}^3$ 으로 하였다. 기존 TFT와 제안된 TFT의 구조적 차이는 그림.1에, 공정 흐름도는 그림.2에 나타나 있다.

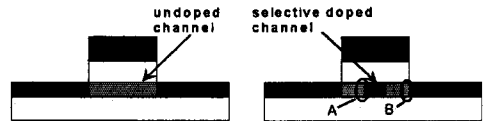


그림 1 기존의 다결정 실리콘 TFT와 새로운 다결정 실리콘 TFT와의 비교(영역 A, B는 전기장이 걸리는 방향이다.)

1. 서 론

AMLCD(Active matrix liquid crystal display)용 다결정 실리콘 TFT는 우수한 집적도와 구동능력을 가진 소자로서 현재 많은 연구가 진행 중이다[1,2]. 집적도의 면에서 다결정 실리콘 TFT는 스위칭 소자와 주변 회로를 저가의 대면적 유리기판에 동시에 제작할 수 있는 장점을 갖고 있다. 더구나 다결정 실리콘 TFT의 구동능력은 현재 노트북 컴퓨터에 널리 사용중인 비정질 실리콘 TFT에 비해 뛰어나다. 그러나 이러한 다결정 실리콘 TFT도 누설 전류(오프 전류)가 크다는 결점을 갖고 있는데, 이는 디스플레이의 화질을 저하시키는 원인이 된다. 이에 누설전류의 원인을 밝히기 위해 많은 연구가 진행되었고, 그 결과 드레인 접합에 걸리는 전기장이 전자-홀 쌍을 생성시켜 누설 전류가 증가한다는 것이 밝혀졌다[3,4]. 또한 드레인 접합에 걸리는 전기장이 강하면 강할수록 생성되는 누설전류도 더 커진다는 사실이 잘 알려져 있다.

누설 전류를 줄이기 위하여 드레인 접합에 걸리는 전기장을 완화시켜주는 LDD나 오프셋과 같은 구조가 보고된 바 있다[5,6,7]. 그러나 이러한 구조는 TFT의 온 전류를 줄이고 또한 추가의 사진공정이 필요하다는 단점이 있다.

본 연구에서는 채널의 중간에 선택적으로 도핑된 부분을 가진 새로운 다결정 실리콘 TFT를 제안하고 이를 측정하고 분석하였다. 선택적으로 고농도 도핑된 영역은 오프 상태에서 드레인 접합근처에 걸리는 전기장을 완화시킨다. 더구나 온 상태에서는 선택적으로 도핑된 영역이 유효 채널 길이를 줄여 온 전류를 늘리는 결과를 가져왔다. 그 결과 온/오프 전류비가 증가하였다.

2. 실험

기존의 TFT와 제안된 TFT의 가장 큰 차이는 채널의

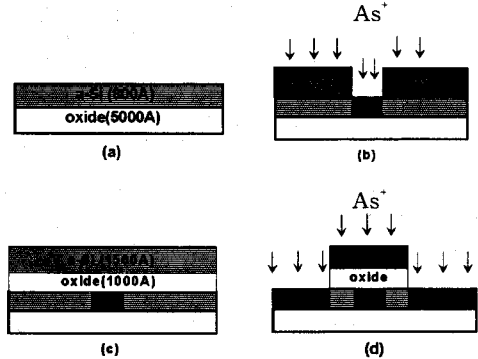


그림 2 새로운 다결정 실리콘 TFT의 공정과정. (a) 습식산화된 실리콘 기판에 비정질 박막을 증착시킨다. (b) 활성박막을 패터닝하고, 선택적으로 도핑할 영역에 이온주입 후 엑시머 레이저를 이용하여 재결정화한다. (c) 게이트 절연막과 비정질 실리콘(게이트)을 증착한다. (d) 게이트와 게이트 절연막을 패터닝하고 이온주입후 엑시머 레이저로 활성화한다.

제안된 TFT는 다음과 같은 공정에 따라 제작되었다. 기판은 습식산화된 실리콘 기판을 사용하였고, 이 기판에 저압 화학 기상 증착 방법(LPCVD)을 이용하여 800Å 의 비정질 실리콘 박막을 증착하였다. 이때의 온도는 550°C 였다. 활성박막을 패터닝한 후 사진공정을 통해 선택적으로 도핑할 영역을 정의한다. 제안된 다결정 실리콘 TFT에는 비소 이온을 70KeV 로 주입시키고, 도핑농도는 $10^{20} \text{ atoms/cm}^3$ 로 하였다. 에너지 밀도 320 mJ/cm^2 의 엑시머 레이저($\text{XeCl}, \lambda = 308\text{nm}$)를 이용하여 활성박막을 재결정화하였고, 주입된 이온도 이때 함

게 활성화되었다. 게이트 절연체는 상압 화학 기상 증착 방법(APCVD)을 이용하여 350°C에서 1000Å를, 비정질 실리콘 박막은 저압 화학 기상 증착 방법(LPCVD)을 이용하여 550°C에서 1500Å를 각각 증착하였다. 그 다음 비정질 실리콘 박막과 게이트 절연체를 패터닝한 후, 소오스/드레인을 형성하기 위해 기존의 소자와 제안된 다결정 실리콘 TFT에 비소 이온을 35 KeV, 10^{20} atoms/cm²로 주입시켰다. 활성화는 에너지 밀도 320 mJ/cm²의 엑시머 레이저를 사용하였다. 제안된 TFT와의 비교를 위해 기존의 TFT를 선택적 이온 주입 공정을 제외하고는 새로운 TFT와 동일하게 제작하였다. 제안된 소자는 저온 공정으로도 제작이 가능하지만 이 실험에서는 단지 기존의 소자와 제안된 소자의 전기적 특성만을 비교하였다.

3. 실험 결과

그림.3은 제안된 다결정 실리콘 TFT와 기존의 TFT의 전달 특성을 보여준다. 오프 상태에서 제안된 다결정 실리콘 TFT의 누설 전류는 기존의 소자보다 100배 이상 감소하였다. 이는 선택적으로 도핑된 영역이 채널 전체에 걸리는 전기장을 재분배하여 드레인 접합에 걸리는 전기장이 완화되었기 때문이다. 그림 1에서, 대부분의 전기장은 채널 내부의 영역 A(도핑된 영역)과 영역 B(드레인 접합)에 걸린다($V_{GS} < 0, V_{DS} > 0$). 제안된 TFT에서 영역 B에 걸리는 전기장은 기존의 TFT와 비교했을 때 현저히 감소하였다. 그 결과로서 제안된 소자에서 누설전류가 효과적으로 감소하였다. 그림.4는 채널 내부에 형성되는 수평방향 전기장에 대하여 시뮬레이션 결과이다. 시뮬레이션 결과 고농도로 도핑한 영역이 드레인 접합에서의 전기장을 효과적으로 줄일 수 있음을 알 수 있었다. 시뮬레이션 상에서 채널 길이는 6 μ m, 선택적으로 도핑한 영역은 2 μ m로 고정시켰다.

그림.3은 선택적으로 도핑된 영역의 도핑 농도에 따른 영향을 보여준다. 제안된 TFT의 영역 A에서의 접합 저항은 도핑을 많이 할수록 커진다는 것을 알 수 있다. 도핑 농도가 10^{20} atoms/cm²일 때 선택적으로 도핑된 영역이 누설전류를 성공적으로 줄일 수 있었다. 그러나 도핑 농도가 10^{18} atoms/cm²일 때 누설 전류는 감소하였지만, 10^{20} atoms/cm²일 때만큼은 감소하지 않았다. 결과적으로 고농도로 도핑한 영역은 영역 B에 걸리는 전기장을 효과적으로 줄이고, 이것이 누설전류를 줄여서 누설 전류를 100배 이상 감소시켰다.

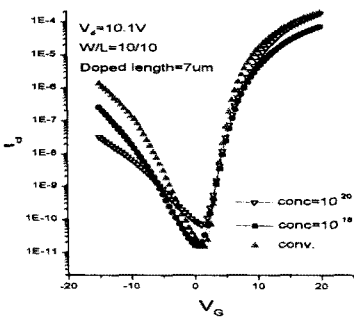
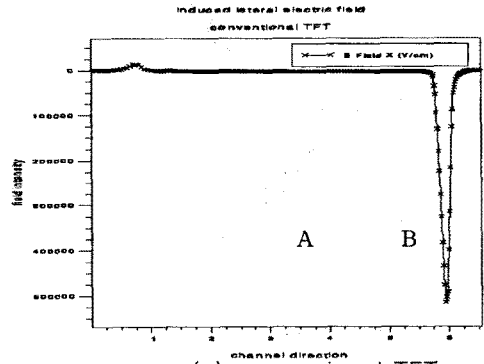
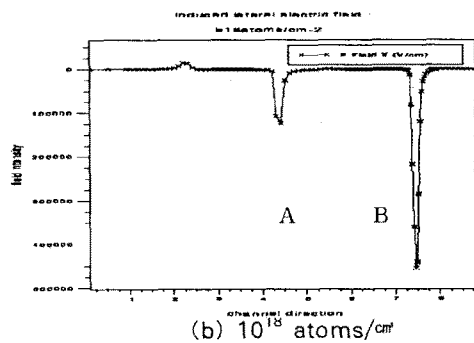


그림 3 전달특성

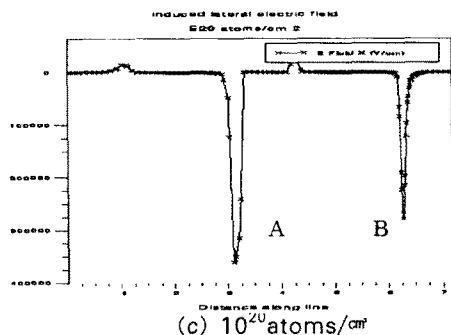
선택적으로 도핑한 영역이 고농도로 도핑된 경우 온 상태에서 온-전류가 기존 TFT의 온-전류만큼 높았다. 이는 도핑된 영역이 유효 채널 길이를 줄였기 때문이다.



(a) conventional TFT



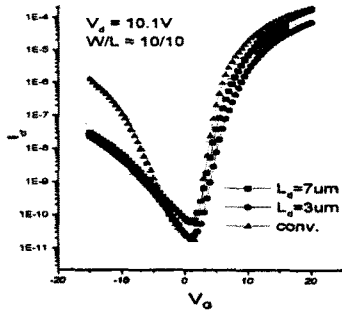
(b) 10^{18} atoms/cm²



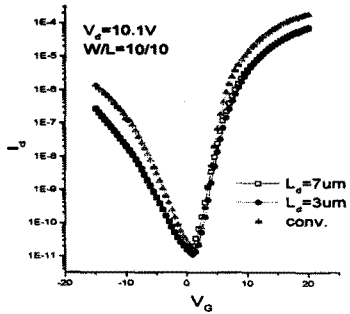
(c) 10^{20} atoms/cm²

그림 4 영역 A,B에 수평방향으로 걸린 전기장의 시뮬레이션 결과(L=6 μ m)

그림.5 (a)는 유효채널이 짧아짐으로써 생기는 효과를 보여준다. 선택적으로 도핑된 영역의 길이가 커질수록 유효 채널 길이는 줄어들고 이에 따라 온-전류도 커진다. 그러나 그림.5 (b)의 경우 도핑된 영역 길이가 변화하여도 제안된 TFT의 온-전류는 증가하지 않았다. (b)의 경우는 선택적으로 도핑된 영역의 채널 저항이 크기 때문에 비록 유효 채널 길이가 줄어들더라도 온-전류가 증가하지 않은 것이다. (b)의 경우와는 달리 (a)의 경우는 채널이 짧아짐으로써 온전류의 감소가 나타나지 않았다(도핑길이=7 μ m). 게이트 바이어스가 -15 V일 때를 오프 상태라고 할 때 온/오프 전류비는 100배 이상 향상되었다.



(a) 도핑농도 10^{20} atoms/cm²



(b) 도핑농도 10^{18} atoms/cm²

그림 5 선택적으로 도핑한 영역의 길이에 따른 의존성

4. 결 론

본 논문에서는 채널을 선택적으로 도핑시킨 새로운 다결정 실리콘 TFT를 제작하고 연구하였다. 선택적으로 고농도 도핑된 영역은 커다란 전기장을 완화시키고 채널 길이를 줄이는 효과를 가져왔다. 이로 인하여 제안된 다결정 실리콘 TFT는 기존의 TFT만큼의 온-전류를 유지하면서도 누설전류를 효과적으로 줄일 수 있었다. 이 실험 결과를 통해 제안된 TFT의 성능이 현저히 개선되었다.

(참 고 문 헌)

- [1] P.Mei, J.B.Boyce, M.Hack, R.Lujan, S.E.Ready, D.K.Fork, R.I.Johnson, and G.B.Anderson, J.Appl.Phys. 76, 3194, 1994
- [2] K.Sera, F.Okumura, H.Uchida, S.Itoh, S.Kaneko, and K.Hotta, IEEE Trans. Devices, 32, 1878, 1989
- [3] J.G.Fossum, A.Ortiz-Conde, H.shichijo, and S.K.Banerjee, IEEE Trans. Devices, 32, 1878, 1989
- [4] S.K.Madan, D.A.Antoniadis, IEEE Trans. Electron Devices, 33, 1518, 1986
- [5] K.Tanaka, H.Arai, S.Kohda, IEEE Trans. Electron Device letters, 9, 23
- [6] K.Y.Choi, M.K.Han, IEEE Trans. Electron Device letters, 17, 566, 1988
- [7] S.Seki, O.Kogure, B.Tsuijiyama, IEEE Trans. Electron Device letters, 8, 1987