

실험적 정전용량 모델과 축적 용량 설계 방법에 따른 TFT-LCD 화소의 동작 특성

윤영준*, 정순신, 박재우, 최종선
홍익대학교 전자전기공학부

Effects of an Empirical Capacitance Models and Storage Capacitance Types on TFT-LCD Pixel Operations

Young Jun Yun*, Soon Shin Jung, Jae Woo Park, Jong Sun Choi
School of Electronics and Electrical Engineering, Hong-Ik University

Abstract - An active-matrix liquid crystal display (LCD) using thin film transistors (TFTs) has been widely recognized as having potential for high-quality color flat-panel displays. Pixel-Design Array Simulation Tool (PDAST) was used to profoundly understand the gate signal distortion and pixel charging capability, which are the most critical limiting factors for high-quality TFT-LCDs. Since PDAST can simulate the gate, data and pixel voltages of a certain pixel on TFT array at any time and at any location on an array, the effect of the new set of capacitance models on the pixel operations can be effectively analyzed. The set of models which is adopted from VLSI interconnections calculate more precise capacitance. The information obtained from this study could be utilized to design the larger area and finer image quality panel.

기생 용량, 공통 전극과 드레인/게이트 전극의 교차부에서 생기는 정전용량, 화소 전극과 드레인/게이트 전극의 coupling에 의해 생기는 정전용량이다.

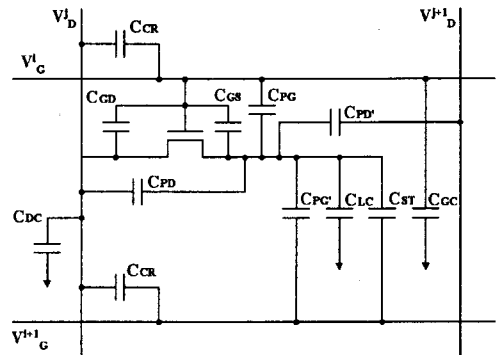


그림 1. 한 화소의 정전용량 등가회로(on-gate 구조)

1. 서 론

정보화 사회의 발전과 더불어 멀티미디어에 대한 관심이 집중되고 있고, 그 결과 평판 디스플레이에 대한 요구가 점점 증가하고 있다. 이 중에서 비정질 실리콘 박막 트랜지스터(TFT)를 스위칭 소자로 사용하는 능동 소자 액정 표시 장치(TFT-LCD)는 최근에 고품질과 대화면적의 평판 디스플레이로 가장 활발히 연구되어지고 있다. 본 연구에서는 TFT-LCD의 동작 특성에 매우 큰 영향을 끼치는 정전용량에 대해서 연구하였다. 이전의 정전용량 계산식은 끝 부분의 불 균일한 전하 분포에 의한 영향(fringing effects)을 취급하지는 않았기 때문에 정확한 정전용량 값을 구할 수 없었고, 그 결과 정확한 화소의 전압을 구할 수 없었다. 그래서 본 연구에서는 VLSI에서 쓰이는 실험적 정전용량 모델 계산식을 적용했고, 그 결과 좀 더 정확한 정전용량 값을 구할 수 있었다. 본 연구에서 적용한 empirical model은 매우 정확하지만 복잡하고 많은 시간이 걸리는 numerical model과 거의 동일한 결과를 나타낸다.¹ 이렇게 새롭게 구해진 정전용량 값과 축적용량의 설계 방법에 따라 화소의 어떤 위치, 어떤 시간에서도 게이트, 데이터 및 화소의 전압을 Pixel-Design Array Simulation Tool (PDAST)를 이용해서 계산 할 수 있었다. 이렇게 얻어진 결과는 대화면적 고품질 TFT-LCD의 설계와 제작에 일반적인 방향을 제시해 줄 수 있을 것이다.

지금까지 구해 오던 정전용량은 다음과 같이 간단한 식을 이용해서 계산했다.²

$$C = \epsilon \frac{S}{d}$$

위 식에서 ϵ 은 두 평행도체판 사이의 유전율, S는 도체판의 면적, d는 두 도체판 사이의 거리를 나타낸다. 이렇게 구한 정전용량은 끝 부분의 불 균일한 전하 분포에 의한 영향을 취급하지는 않았기 때문에 정확한 정전용량을 구하는데는 다소 부족한 면이 있었다. 그래서 본 연구에서는 VLSI에서 사용되어지는 multilevel metal capacitance model(그림 2)을 사용하였다.

2. 본 론

2.1 실험적 정전용량 계산방법

본 연구에서 새롭게 구한 정전용량은 그림 1에 나타난 데이터 배선과 게이트 배선 교차부의 용량, 액정 용량, 게이트 전극과 소오스/드레인 전극간의 중첩에 의한

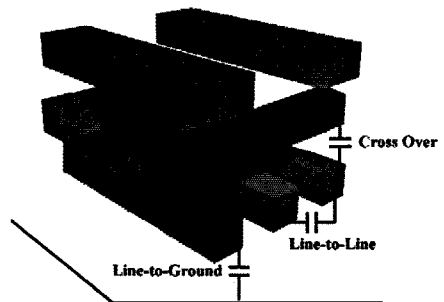


그림 2. 각 금속 배선에서 발생하는 정전용량

첫 번째로 데이터 배선과 게이트 배선 교차부의 정전용량(Ccr)은 crossover 구조의 정전용량 계산식³을 사용하였고, 그 다음으로 액정의 정전용량(Clc)을 finite line-to-ground 구조의 정전용량 계산식⁴으로 계산하였

다. 세 번째로 게이트 전극과 소오스/드레인 전극간의 중첩에 의해 생기는 기생용량(C_{GS})은 overlapping 구조의 정전용량 계산식³을 사용했고, 게이트/데이터 전극과 공통전극 사이의 정전용량(C_{GC} , C_{DC})은 infinite line-to-ground 구조의 정전용량 계산식⁴을 사용하였다. 마지막으로 crosstalk에 직접적인 영향을 끼치는 화소전극과 데이터/게이트 전극간의 coupling 정전용량(C_{PD} , C_{PG} , C_{PD}' , C_{PG}')을 line-to-line 구조의 정전용량 계산식⁵을 사용해서 계산하였다. 각 수식에 사용되어진 파라메타의 물리적 의미는 표 1에 나타내었다.

① C_{CR} (Crossover Capacitance)

$$\frac{C}{\epsilon_{ox}} = 3.285 \times \left(\frac{W_1 \times W_2}{H_2} \right)$$

$$+ W_1 \times \left(4.505 \times \frac{T_2}{T_2 + 0.2 \times H_2} - 0.438 \times \left(\frac{T_2}{T_2 + 0.2 \times H_2} \right)^2 \right)$$

$$+ W_2 \times \left(4.505 \times \frac{T_1}{T_1 + 0.2 \times H_2} - 0.438 \times \left(\frac{T_1}{T_1 + 0.2 \times H_2} \right)^2 \right)$$

$$+ 1.532 \times \left(T_2 \times \left(\frac{W_1}{W_1 + 0.5 \times H_2} \right)^{2.56} - T_1 \times \left(\frac{W_2}{W_2 + 0.5 \times H_2} \right)^{2.54} \right)$$

② C_{LC} (Finite Line-to-Ground Capacitance)

$$\frac{C}{\epsilon_{ox}} = 1.15 \times \frac{S}{H} + 1.40 \times \left(\frac{T}{H} \right)^{0.222} \times D + 4.12 \times \left(\frac{T}{H} \right)^{0.728} \times H$$

③ C_{GS} (Overlapping Capacitance)

$$\frac{C}{\epsilon_{ox}} = 1.25 \times \left(\frac{W_1 - S_{ov}}{H_1 + H_2 + T_2} \right)$$

$$+ 2.919 \times \left(\frac{T_1}{H_1 + H_2 + T_2} \right)^{0.25} + 0.906 \times \left(\frac{S_{ov}}{H_2} \right)$$

$$+ \left[0.198 \times \left(\frac{T_1}{W_2 - S_{ov} + 1} \right) - 0.447 \times \left(\frac{T_1}{W_2 - S_{ov} + 1} \right)^2 + 2.514 \right]$$

$$\times \left(\frac{T_2}{W_1 - S_{ov} + 1} \right) - 2.883 \times \left(\frac{T_2}{W_1 - S_{ov} + 1} \right)^2 \times \left(\frac{H_1}{H_2} \right)^{0.649}$$

④ C_{GC} , C_{DC}

(Infinite Line-to-ground Capacitance)

$$\frac{C}{\epsilon_{ox}} = 1.15 \times \left(\frac{W}{H} \right) + 2.80 \times \left(\frac{T}{H} \right)^{0.222}$$

⑤ C_{PD} , C_{PG} , C_{PD}' , C_{PG}'

(Line-to-Line Capacitance)

$$\frac{C}{\epsilon} = 1.064 \times \left(\frac{T}{S} \right) \left(\frac{T + 2H}{T + 2H + 0.5S} \right)^{0.695} + \left(\frac{W}{W + 0.8S} \right)^{1.4148}$$

$$\left(\frac{T + 2H}{T + 2H + 0.5S} \right)^{0.804} + 0.831 \times \left(\frac{W}{W + 0.8S} \right)^{0.055} \times \left(\frac{2H}{2H + 0.5S} \right)^{3.542}$$

표 1. 각 수식에 사용되어진 파라메타의 물리적 의미

| 파라메타 | 물리적 의미 |
|------------|------------------------|
| ϵ | 유전율 |
| W | 금속 배선의 폭 |
| T | 금속 배선의 두께 |
| H | 유전체의 두께 |
| S | 두 평행 금속 배선 사이의 간격 |
| S_{ov} | 두 금속의 overlapping되는 길이 |
| 1, 2 | 각각의 다른 금속 배선 |

2.2 축적용량 설계방법에 따른 정전용량 계산방법

TFT-LCD 한 화소의 정전용량은 그림 1과 같이 액정용량(C_{LC}), 축적용량(C_{ST}), 기생용량(C_{GS}), 그리고 게이트·드레인과 화소전극사이의 coupling 용량(C_{PD} , C_{PD}' , C_{PG} , C_{PG}') 등을 가지는 등가용량회로로 나타낼 수 있다. 그리고 이 등가용량회로는 축적용량 설계방법에 따라 그림 3, 4와 같이 각각 다른 게이트 배선 정전용량 등가회로로 나타내어진다. 이렇게 표현된 게이트 배선 정전용량 등가회로에서 한 화소에 걸리는 총 게이트 정전용량을 다음과 같은 수식으로 계산할 수 있다.

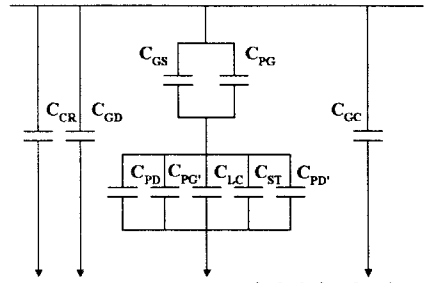


그림 3. C_{ST} -on-Common 형태에서 한 화소의 게이트 배선 정전용량 등가회로

① On-Common

$$C_{GT} = C_{CR} + C_{GD} + C_{GC}$$

$$+ \frac{1}{\frac{1}{C_{GS} + C_{PG}} + \frac{1}{C_{PD} + C_{PG} + C_{LC} + C_{ST} + C_{PD}'}}$$

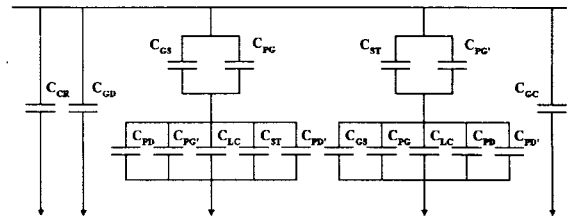


그림 4. C_{ST} -on-Gate 형태에서 한 화소의 게이트 배선 정전용량 등가회로

② On-Gate

$$C_{GT} = C_{CR} + C_{GD} + C_{GC}$$

$$+ \frac{1}{\frac{1}{C_{GS} + C_{PG}} + \frac{1}{C_{PD} + C_{PG} + C_{LC} + C_{ST} + C_{PD}'}}$$

$$+ \frac{1}{\frac{1}{C_{ST} + C_{PG}} + \frac{1}{C_{PG} + C_{PD} + C_{PD}' + C_{LC} + C_{GS}}}$$

2.3 시뮬레이션 결과

시뮬레이션에 사용되어진 주요 파라메타의 종류와 그 값을 표 2에 나타내었다. 15인치 XGA급 TFT-LCD를 기준으로 하여 $0.5 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 전계 효과 이동도와 채널의 폭/길이가 $25/5 \mu\text{m}$ 인 TFT를 가지고, 예전의 계산식에 의한 정전용량 값과 새롭게 계산된 정전용량 값 두 가지 경우로 각각 나누어서 시뮬레이션 하였다. 그리고 동일한 조건에서 새롭게 구해진 정전용량 값을 가지고 축적용량 설계 방식에 따른 게이트 신호지연을 시뮬레이션 하였다.

표 2. 시뮬레이션에 사용된 파라메타의 종류와 값

| 항목 | 값 | 항목 | 값 |
|-----------|------------------|-----------|-----------------------------|
| 대각크기 | 15" | 게이트 전압 | 0~10 V |
| 해상도 | 1024×768 | 데이터 전압 | 0~20 V |
| 외관비 | 4 : 3 | 문턱전압 | 3 V |
| 프레임 시간 | 16.667 | 이동도 | 0.5 cm^2/Vs |
| 계조수 | 64 | 절연체 유전율 | 6.5 |
| 실리콘 두께 | 3000 Å | 액정 유전율 | 9.8, 3.2 |
| 채널 폭 | 25 μm | 채널 길이 | 5 μm |
| 중첩 폭 | 25 μm | 중첩 길이 | 3 μm |
| Inversion | Frame | Pixel의 위치 | 1000, 1000 |

앞의 계산식 중, 마지막으로 구한 coupling 정전용량 식을 이용해서 line-to-line 구조에서의 정전용량을 두

전극사이의 거리와 전극의 폭 함수로 시뮬레이션 하였다. 그 결과를 그림 5에 나타내고 있는데, 문헌상의 결과 값과 잘 일치함을 보여주고 있다.^{6, 7, 8} 여기서 두 전극 사이의 간격이 감소할수록 정전용량은 증가함을 알 수 있었다. 이 사실은 TFT-LCD가 고해상도 대면적으로 갈수록 coupling 정전용량이 증가되고, 그 결과 더 많은 crosstalk가 일어날 것이라고 예측할 수 있다.

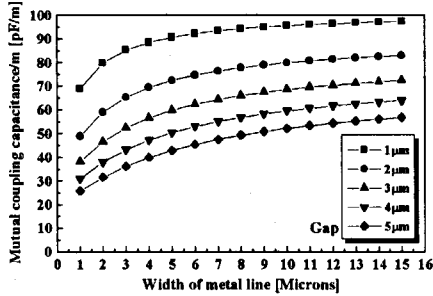


그림 5. 두 전극사이 거리/전극 폭에 따른 정전용량

이전의 정전용량 계산식과 본 논문에서 제안한 정전용량 계산식을 이용하여 구한 정전용량 값을 표 3에 나타내었다. 새롭게 구한 정전용량 값은 끝 부분의 불균일한 전하분포에 의한 영향을 포함하였기 때문에 이전의 계산 값보다 다소 큰 값을 나타내고 있었다. 이렇게 구해진 정전용량 값을 가지고 (1000, 1000) 화소에서의 화소의 전압 특성을 시뮬레이션하여 그 결과 값을 그림 6에 나타내었다. 데이터를 살펴보면 충전의 단순한 정전용량 모델과 새로운 정전용량 모델과는 다른 결과 값을 나타냄을 알 수 있었다. 이는 정전용량 값의 증가로 신호 지연이 증가함을 말해주고 있다.

표 3. 각각의 계산식에 따른 정전용량 비교

| 정전용량 (pF) | 전 계산식 | 새 계산식 |
|-----------|----------|----------|
| C_{CR} | 0.020287 | 0.069258 |
| C_{LC} | 0.290713 | 0.374793 |
| C_{DC} | 0.263013 | 0.285930 |
| C_{GC} | 0.211558 | 0.222179 |
| C_{GS} | 0.015304 | 0.015883 |
| C_{PD} | - | 0.013711 |
| C_{PG} | - | 0.004171 |
| C_{PD}' | - | 0.016457 |
| C_{PG}' | - | 0.005261 |

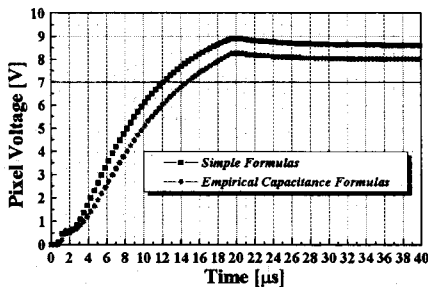


그림 6. 정전용량에 따른 (1000, 1000) 화소에서의 충전 특성

마지막으로 축적용량의 설계방법에 따른 게이트 전압의 충전 특성 차이를 살펴보았다. on-gate 구조의 경우

가 on-common 구조의 경우보다 정전용량이 약 2배정도 큰 값을 가지기 때문에 게이트 전압의 충전율에 있어서는 on-common 구조가 더 뛰어난 특성을 나타냄을 알 수 있었다.

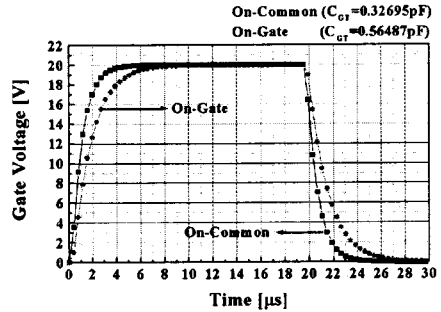


그림 8. 축적용량 설계방식에 따른 (1000, 1000) 게이트 전압의 충전 특성

3. 결 론

본 논문에서는 VLSI에서 사용되어지는 multilevel metal capacitance model을 사용해서 끝 부분의 불균일한 전하 분포에 의한 영향(fringing effects)을 포함하는 정전용량 계산식을 PDAST에 적용하였고, 그 결과 좀 더 정확한 화소의 전압 값을 구해낼 수 있었다. 그리고 이렇게 구해진 정전용량 값으로 축적용량 설계방식에 따른 게이트 배선의 신호지연도 알아 볼 수 있었다. 앞으로는 실제의 실험 측정 데이터와 시뮬레이션된 데이터를 비교·분석해 볼 필요가 있다.

본 논문은 통상산업부와 과학기술원에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

(참 고 문 헌)

- [1] Albert E. Ruehli, "Capacitance Models for Integrated Circuit Metallization Wires", IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 6, pp.530-536, 1975.12.
- [2] William H. Hayt, Jr., "Engineering Electromagnetics", McGraw-Hill, pp.144-150, 1989.
- [3] S.-C. Wong, "Interconnection Capacitance Models for VLSI Circuits", Solid-State Electronics, Vol. 42, No. 6, pp.969-977, 1998.
- [4] T. Sakurai, "Formulas for Two- and Three-Dimensional Capacitance", IEEE Trans. Electron Devices, Vol. ED-30, No. 2, pp.183-185, 1983.
- [5] J.-H. Chern, "Multilevel Metal Capacitance Models for CAD Design Synthesis Systems", IEEE Electron Device Lett., Vol.13, No.1, pp.32-34, 1992.
- [6] Robert L. Wisnieff, "Line Delay Capacitive Crosstalk Effects in TFT/LCDs", 1988 SID, pp.173-178, 1988.
- [7] R. L. Wisnieff, "Gray Scale Fidelity of Thin Film Transistor Addressed Liquid Crystal Displays", Proceedings of the Conference Eurodisplay 1987 London, pp.59-62, 1987
- [8] F. R. Libsch, "Understanding Crosstalk in High-Resolution Color Thin-Film-Transistor Liquid Crystal Displays", IBM Journal of Research and Development, Vol. 42, No. 3/4, pp.467-479, 1998.