

FB DC-DC Converter의 도전손실 저감과 무손실 스너버 회로에 관한 연구

° 리병훈, 이현우, 권순걸, 김준홍, 서기영, 우정인*
 경남대학교, * 동아대학교

A Study on Reducing Conduction Losses and Lossless Snubber Circuit of Full-Bridge DC-DC Converter

° B. H. Ra, H. W. Lee, S. K. Kwon, J. H. Kim, K. Y. Suh, J. I. Woo*
 Kyung-Nam University, * Dong-A University

Abstract - This Paper proposes a new topology snubber circuit of Full-Bridge DC-DC Converter for reducing conduction losses and snubber circuit heating loss.

Using Partial Resonant Soft Switching Method and Clamping, studying on a new snubber circuit for reducing losses that a snubber circuit heating loss in the secondly diode rectification side, a switching losses in the primary side of IGBT inverter and conduction losses in the high frequency insulation transformer.

In this paper, we present FB DC-DC converter included a new lossless snubber circuit, and then be analyzed and simulated.

1. 서 론

전기공학의 분야 중에서 전력전자 핵심이라고 할 수 있는 전원장치에 관한 연구에서는 최근 산업기기를 비롯하여 전력기기, 전자정보기기, 가전기기 등 다양하고 특정 응용분야에 도입되어 있는 고주파 스위칭 PWM 전력변환장치의 고성능화, 고효율화, 저전자 노이즈화를 위하여 공진형 소프트 스위칭 방식이 많이 연구되고 있다. 특히 부분공진 모드 반도체 전력변환회로의 토포로지와 그 특성평가, 독자적인 제어방식에 관한 연구개발이 활발히 진행되고 있다.

하지만, 모든 공진형 소프트 스위칭의 방식에는 종류에 따라서 여러가지 장단점을 가지고 있다. 또한 대용량화에 따른 전원장치의 메인회로로서의 컨버터로는 FB DC-DC 컨버터가 많이 활용되어 적용되고 있다.

2. 본 론

2.1 Phase-Shifted FB DC-DC 컨버터

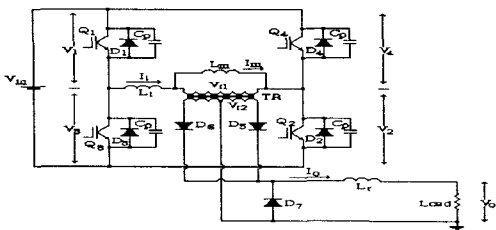
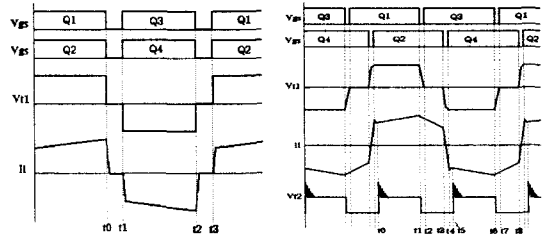
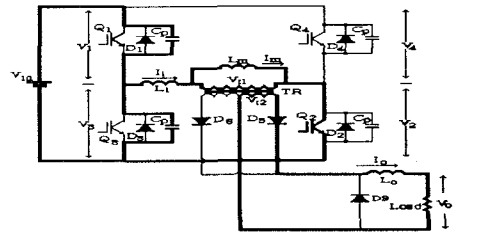


그림 1. 기존의 Full-Bridge DC-DC 컨버터

일반적인 풀-브릿지 DC-DC 컨버터 주회로를 그림1에 나타내었다. 기존의 Hard Switching 컨버터에 있어서 그림2(a)와 같이 각 압 대각선 스위치가 동시에 각각 턴-온과 턴-오프하면서 입력을 출력으로 전달한다. 이 동작에 있어서 고주파 변압기 누설 인덕턴스(L_l)에 축적된 에너지가 주 스위치 가성 캐패시턴스(C_g)와 심각한 가생진동을 일으킨다. 이러한 가생진동을 최소화하기 위하여 그림2(b)와 같은 Phase-Shift 기법을 FB DC-DC 컨버터에 최근 많이 적용하고 있다. 이러한 컨버터는 안정한 영전압 스위칭 동작영역을 확보하기 위하여 스위치 Q₂와 Q₃에 대한 게이트 신호가 스루이 Q₁과 Q₄에 대하여 Phase-Shift 피드백 제어 함으로써, 2차측 전압이 영(0)인 기간동안 1차측 스위치 중 하나가 On 되게 제어한다. 이는 그림 2(c)에 나타낸 것과 같이 누설 인덕턴스(L_l)에 따른 전류를 순환시키기 위한 저 입력단스 경로를 제공시켜준다. 따라서, 영전압 스위칭은 단지 누설 인덕턴스(L_l)에 축적된 에너지가 주 스위칭 소자의 가생충력 캐패시턴스(C_g)와 고주파 변압기(TR)에 존재하



(a) Hard Switching (b) Phase-Shift Switching



(c) 가생진동의 최소화

그림 2. Hard / Phase-Shift 스위칭의 비교

는 가성 캐패시턴스(C_g)에 축적된 에너지보다 크거나 같다면 모든 스위치에 대하여 영전압 스위칭을 이룰 수 있다. 이러한 관계를 수식으로 나타내면 다음의 식(4)와 같다.

$$E = \frac{1}{2} L_l I_1^2 \geq \frac{4}{3} C_p V_m^2 + \frac{1}{2} C_{gt} V_m^2 \quad \dots\dots(1)$$

결과적으로 안정한 영전압 스위칭 동작영역을 확보하기 위하여 DC-DC 컨버터의 고주파 변압기 누설 인덕턴스(L_l)를 증가 시키거나, 또는 고주파 변압기(TR)와 직렬로 인덕터를 추가로 삽입하는 방법을 주로 사용 함으로써 유효 시버율을 감소시켜 고주파 변압기(TR)의 2차측 전압 이용률이 낮아지게하여 출력전압이 저하되는 현상이 나타난다. 특히 그림 2(b)에 도시한 고주파 변압기(TR)의 1차측 전류파형 (i_l)으로부터 알 수 있는 것처럼 일반적인 PWM컨버터와 비교할 때, 보다 큰 도전손실을 발생시키는 연속적인 순환전류가 t₂-t₃와 t₇-t₈ 기간동안 존재한다. 그러므로, 고주파 변압기 누설 인덕턴스(L_l)의 적절한 값은 ZVS FB DC-DC 컨버터의 설계시에 중요한 요소로 작용되며 특성 부하범위에 응답하기 위해서는 고주파 변압기(TR)의 2차측 전압을 높여 주기 위한 작은 턴수비를 갖는 고주파 변압기를 필요로 하게 한다. 이에 따른 영향은 고주파 변압기의 누설에너지와 1차측으로 반영된 부하전류(nI_o=I_{l1})에 따른 연속 순환전류의 증가로 고주파 변압기 동손 및 주 스위치의 도전손실 증가와 2차측 변압기의 권수율 증가사함에 따라 출력측 정류부의 전압 스트레스가 증가됨으로써 다이오드 역회복 특성에 따른 손실 증가와 스위칭 소자의 파괴 및 선정에 난점이 있다.

2.1.1 도전손실 저감형 Phase-Shifted FB DC-DC 컨버터

본 논문에서 상기의 문제점을 해결하기 위하여 그림 3에 나타낸 것과 같이 기존의 Phase-Shifted FB DC-DC 컨버터에 클램핑의 원리를 이용한 블록을 추가하여 새로운 도전손실 저감형 Phase-Shifted FB DC-DC 컨버터를 제안하고자 한다. 제안된 회로의 기존 구조는 기존의 컨버터와 동일하며 출력측에 고속 역회복 다이오드 D₇, D₈ 공진용 커패시터 C_g 및 공진용 인덕터 L_r 으로 구성된 회로를 추가하였다.

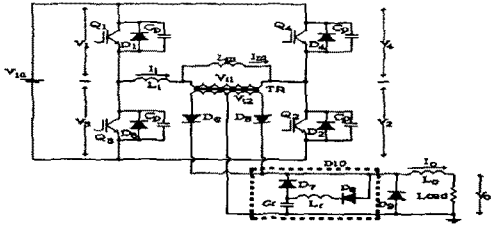


그림 3. 도전손실 저감형 FB DC-DC 컨버터

이 회로는 6가지 모드로 나누어 해석 할 수 있다. 회로의 용이한 정상 상태 해석을 위하여 모든 스위치는 이상적이라고 하고 출력 평활용 인덕터(L_o)는 출력 전류를 일정하게 할만큼 충분히 크다고 가정할때 각 모드 동작은 그림4와 같으며 이를 기초로한 동작파형을 그림5에 나타내었다.

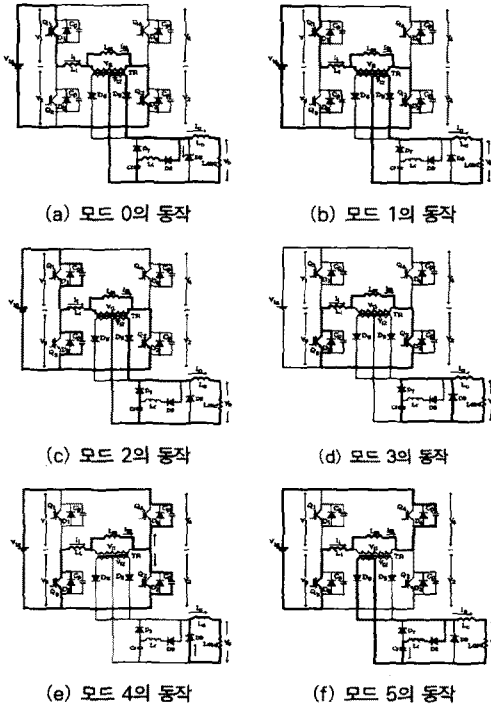


그림 4. 도전손실 저감형 FB DC-DC 컨버터의 동작모드

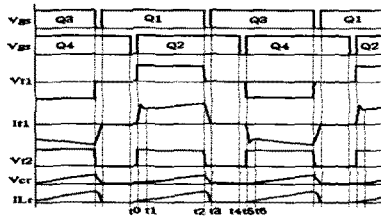


그림 5. 도전손실 저감형 FB DC-DC 컨버터의 동작파형

위의 동작모드에서 살펴볼때 고주파 변압기(TR)와 주 스위치에 대한 RMS전류 스트레스는 매우 감소됨을 알 수 있다. 그러므로 영전압과 영전류 스위칭 동작을 확보함으로써 DC-DC 컨버터 1차측 주회로에 고주파 변압기 누설 인덕턴스 증가 및 추가적인 직렬인덕터 삽입없이 안정된 소프트 스위칭 동작영역을 확보할 수 있으며, 출력 평활용 인덕터(L_o)의 순환전류 경로가 차단되어 컨버터 주 스위치와 고주파 변압기(TR)의 도전 손실이 크게 줄어들며, 2차측 정류부도 소프트 스위칭 형태를 갖게된다.

2.2 기존의 R-C 스너버의 문제

고주파 트랜스포머 2차측 정류단 다이오드의 소손을 보호하기 위하여 R-C 스너버를 접속한 회로를 그림6에 나타내었다. 이 스너버는 기존의 주 스위치에 부가하던 모형을 그대로 적용한 것이다.

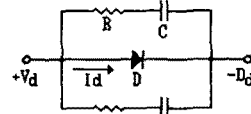


그림 6. R-C 스너버를 출력 정류부에 적용한 형태

이 회로의 원리는 다이오드의 써지전압을 스너버 커패시터(C)에 흡수 하였다가 저항(R)을 통하여 방전하는 소모성 스너버회로이다. 이러한 스너버 회로는 다이오드의 비도통 개시점에서 전압 상승률을 억제하는 효과도 있지만 대용량에서는 저항을 작은 값으로 하지 않으면 인덕토, 그 결과 다이오드 도통 개시점에서 전압강하에 따른 실무가 막중해진다. 또한 이 스너버는 특이성 부하에서는 큰 전류를 견디지 못하고 소자가 소호되거나, 이것을 방지하기위해 커패시터 용량을 크게하여 비경제적이며 용적을 크게 하는 요인일 뿐만 아니라, 저항의 소모성 발열로 인한 열을 처리하기 위한 부가적인 냉각장치가 필요로 한다.

2.2.1 PRSSM 무손실 스너버 회로

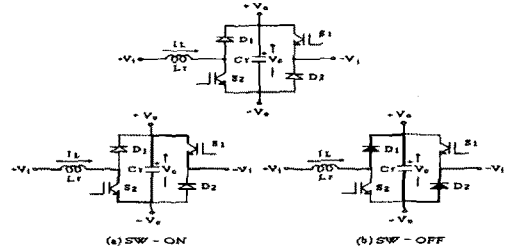


그림 7. PRSSM 무손실 스너버 회로

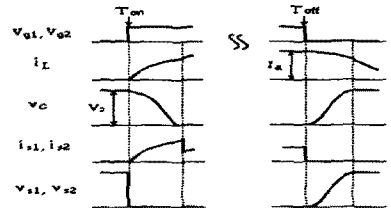


그림 8. PRSSM 무손실 스너버 회로의 동작파형

위 그림7은 부분공진 소프트 스위칭기법 (PRSSM : Partial Resonant Soft Switching Method)을 나타낸 것으로 나타낸 것으로 ZC·ZVS 공진방식을 조합한 기능을 가지며, 회로의 구성은 스위칭 소자 S_1, S_2 와 병렬로 공진용 커패시터 C이 연결되어 있으며, 직렬로 공진용 인덕터 L_s 이 접속되며 그 동작파형은 그림 8과 같다.

이 회로는 공진소자들의 용량분담과 스위칭 스트레스를 줄이고 출력 전류가 증가할 경우 공진손실이 감소된다. 그리고 스위치들은 소프트 스위칭으로 되므로 dv/dt , di/dt 에 의한 전자유도 잡음 등을 줄일 수 있으며, 공진용 인덕터는 일반적인 승압형 컨버터에 사용되는 평활용 인덕터로 대체할 수 있으며, 공진용 커패시터는 SMPS의 스너버 커패시터로 대체할 수 있어 회로구조를 간단히 할 수 있으며 제작이 편리하다. 또한 이 회로의 가장 큰 장점은 스너버 커패시터는 공간에 의해 축적된 에너지를 회생시켜 무손실 스너버로 되어 컨버터의 효율을 더욱 증대시키고 있다.

3. 시뮬레이션 및 검토

위 근거를 바탕으로 표1, 2에 표시한 회로정수로서 PSpice에 의해 시뮬레이션을 하였다. 여기서 각 소자들은 실제소자와 같은 특성을 가지도록 모델링 하였으며, 그 외 소자는 이상적인 소자로 간주하였다. 또한 각 시뮬레이션에 사용된 공통된 소자들은 같은 회로정수를 사용하였다.

표 1. 시뮬레이션에 사용된 각부 회로정수

출력 정류단 스너버 회로 시뮬레이션	R-C 스너버용 커패시터 C_s	0.066 μ H
	R-C 스너버용 저항 R_s	6.6 Ω
	공진(평활용) 인덕터 L_r	150 μ H
	공진(스너버) 커패시터 C_r	25 μ F
	스위칭 주파수 f_s	20kHz

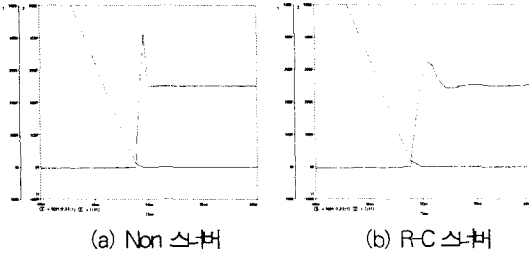


그림 9. Non-스너버 및 R-C 스너버의 시뮬레이션 결과 파형

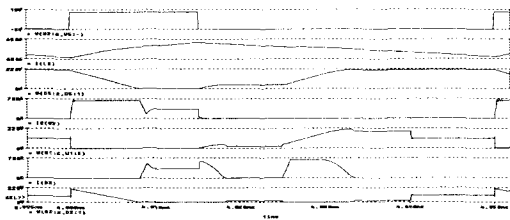


그림 10. PRSSM 무손실 스너버 정류단 시뮬레이션 결과 파형

그림9는 주파 트랜스포머 2차측 출력 정류단 다이오드의 비도통 개시점의 전압-전류 시뮬레이션 결과 파형이다. 스너버 회로를 접속하지 않았을 때와 R-C 스너버 회로를 접속하였을 때를 비교해 볼 때 상당히 세지 전압이 저감되었음을 볼 수 있으나 아직 큰 전압의 상승효과가 존재함을 알 수 있다. 그리고 그림10은 PRSSM 무손실 스너버 정류단을 시뮬레이션한 결과 한주기동안의 각 부 파형으로 스위치 턴-온시에 영전류 스위칭과 턴-오프시에 영전압 스위칭 동작으로 소프트 스위칭을 실현할 수 있었으며, L-C 부분공진에 의해서 무손실 스너버 커패시터의 스위칭 세지 흡수분을 부하단으로 회생함을 확인할 수 있었다. 이 시뮬레이션에서 주의할 사항은 인버터단의 주 스위치와 PRSSM를 위한 스위치의 동작을 동기시켜야 한다는 점이다.

표 2. 시뮬레이션에 사용된 각부 회로정수

도전손실	누설 인덕터(L)	1 μ H
	스위치 기생 커패시터(C_b)	1nF
저감형 컨버터	2차단 공진 커패시터(C_r)	30 μ F
	2차단 공진 인덕터(L_r)	2 μ H
시뮬레이션	부하저항(Load)	0.1 Ω
	디바이스 시비율(D)	50%
	유효 제어 시비율(D)	30%

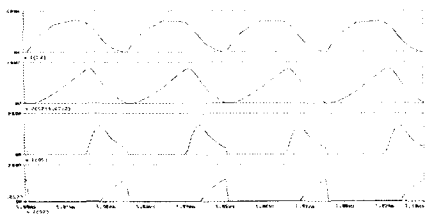
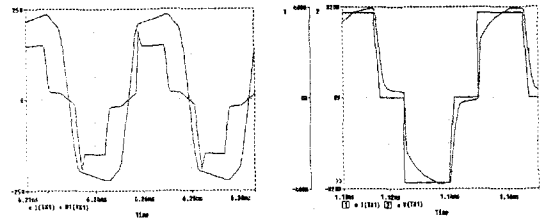


그림 11. 스위칭 손실 저감형 컨버터의 시뮬레이션 각부 파형



(a) 기존 컨버터 (b) 도전손실 저감형

그림 12. 트랜스포머 입력 전압-전류 시뮬레이션 결과 파형

그림 11은 제안한 도전손실 저감형 Full-Bridge DC-DC 컨버터의 도전손실 저감분류의 각 부 시뮬레이션 결과 파형이다. 이 파형에서 공진용 커패시터(C_r)와 공진용 인덕터(L_r)의 공진으로 기존의 FB DC-DC 컨버터의 시비율에 비하여 공진 커패시터 전압 V_C 의 총방전 되는 파형의 형태에서 알 수 있듯이 영전압 스위칭을 확인할 수 있었으며, 또한, 공진 인덕터의 전류 파형에서 영전류 스위칭의 형태를 확인할 수 있었다.

그리고 그림 12에서 보인 고주파변압기(TR) 1차단 각 입력 전압-전류 파형에서 알 수 있듯이 기존의 컨버터에 비하여 트랜스포머 도전손실이 현저히 감소하였음을 알 수 있었으며, 위 표 2의 회로정수에서 트랜스포머 누설 인덕터의 용량을 상당히 줄일 수 있음을 알 수 있었다.

3. 결 론

본 논문에서는 기존의 Full-Bridge DC-DC 컨버터의 출력 다이오드 브릿지 정류부의 보호를 위해 사용하던 병렬접속 R-C 스너버 회로에서의 대용량화로 인한 큰 에너지 소비의 열발생으로 이의 열처리를 위한 냉각기술의 난점과 에너지 손실이라는 문제점, 그리고 가변전동 문제점 해결을 위한 Phase-Shift Switching의 적용에 따른 도전손실의 근본적인 문제점을 해결하기 위하여 ZC·ZVS를 실현한 PRSSM 무손실 스너버 회로와 클램핑의 원리를 이용한 새로운 도전손실 저감형 회로를 제안, 해석 및 시뮬레이션하였다.

그 결과 Full-Bridge DC-DC 컨버터는 순환전류 자감에 의해 1차측 Bridge측 주 스위치 및 정류부, 고주파 변압기의 도전손실이 저감되었고 소프트 스위칭을 이룰 수 있으며, 2차측 정류 다이오드와 환류 다이오드의 역회복 손실과 EMI가 저감 될 수 있었다. 또한 무손실 스너버 회로를 적용하여 출력 정류부의 에너지 손실이 저감되어 전체적으로 기존 Full-Bridge DC-DC 컨버터에 비하여 효율이 상당히 향상되었음을 확인할 수 있었다.

본 논문은 '99 경남대학교 지원 연구비로 연구되었음.

(참 고 문 헌)

- W. A. Tabisz, P. Gradzki, F. C. Lee : "Zero-Voltage-Switched Quasi-resonant buck and flyback converter-Experimental results at 10MHz", IEEE Trans. on Power Eletrics, vol.4, no.2, pp.194-204, 1989
- Richard Farrington, Milan M. Jovanovic, F. C. Lee, "Analysis of Reactive Power in Resonant Converter", PESC 92/Vol.1, pp. 197-205, 1992
- E.S. Kim, K.Y. Joe, M.H. Kye, Y.H. Kim, B.D. Yoon, "An Improver Soft Switching PWM FB DC/DC Converter For Reducing Conduction losses", IEEE Trans. on Power Eletrics, pp.651-656, 1996
- G.C. Hsieh, C.M. Wang, "One-Cycle Controlled Half -Bridge Series-Resonant DC to AC Inverter with Reduced Conduction Loss", IECON '97 pp.786-791, 1997
- Nasser H. Kutkut, Glen Luckjiff, "Current Mode Control of a Full Bridge DC-to-DC Converter with a Two Inductor Rectifier", IEEE Trans. on Power Eletrics, pp.203-209, 1997
- 김영철, 이현우, "부분공진기법에 의한 고효율 인버터 시스템", 전력전자학회 연구회 합동발표회 논문집, pp39-43, 1998.11.21