

저전력 패시브 트랜스폰더의 전원 모듈에 대한 설계와 분석

양경록*, 김광수, 진인수, 김종범, 김양모
 충남대학교 전기공학과

Design and analysis of power supply module in the low power passive transponder

Kyeong-rok Yang*, Kwang-soo Kim, In-su Jin, Jong-beom Kim, Yang-mo Kim
 Dept. Electrical Eng., Chungnam National Univ.

Abstract - Electric power system is consisted of power supply and power enable circuit. Power supply provides operating voltage with internal chip. Depending on the operating voltage, power enable circuit provides operating signal, PWREN.

Because energy is obtained from signal of external station, passive transponder must have the low power consumption.

In this paper, the power supply module of the low power transponder is designed and analyzed.

1. 서 론

전기 시스템은 그 동작에 있어 에너지원이 외부와 연결되어 공급받는 것과 내부에 내장된 변환장치에 의해 공급받는 것으로 구분될 수 있는데, 전자의 경우에는 그 동작 범위가 제한될 뿐 아니라 외부와 연결이 불가능한 상황에서는 사용이 불가능하다. 또한 후자의 경우에는 그 동작범위의 제한이 없어지는 반면 동작 가능한 시간이 제한된다. 이러한 제한점들은 패시브 트랜스폰더를 사용함으로써 극복할 수 있다.

패시브 트랜스폰더는 외부로부터 신호를 받음으로써 그것을 에너지로 사용하게 된다. 따라서 외부 에너지원과 연결이 어려운 상황에서도 시스템을 동작시킬 수 있을 뿐 아니라 원하는 때에만 시스템을 동작시킬 수 있다는 장점을 갖는다. 즉, 패시브 트랜스폰더를 적용한 통신 시스템은 리더와 트랜스폰더 간에 가시선이 요구되지 않아 특히 사람이 직접 작업하기 어려운 여러 혹독한 작업 환경 등에서 효과적으로 이용될 수 있으며, 최근에는 원격 진단 시스템, 거리 측정, 속도 센서, ID 카드 등의 여러 분야에서 광범위하게 사용되고 있다. 반면에 이러한 패시브 트랜스폰더는 내부 에너지원으로써 외부로부터 소신호의 RF 신호를 받아서 사용하기 때문에 저전력으로 동작해야만 한다.

본 논문에서는 저전력으로 동작하는 패시브 트랜스폰더에 대해 간략히 소개하고 트랜스폰더 내부에 에너지를 공급해주는 전원 모듈에 대한 설계와 분석을 제시하고자 한다.

2. 패시브 트랜스폰더

2.1 패시브 트랜스폰더

트랜스폰더는 사람, 자동차, 화물, 가축 등과 같은 개체에 식별가능한 정보를 추가하는 시스템⁽¹⁾으로써 배터리의 유무에 따라 액티브 트랜스폰더와 패시브 트랜스폰더로 구분된다.

배터리를 갖는 액티브 트랜스폰더는 안테나, 내부 전원, RF 전송기, 칩으로 구성된다. 액티브 트랜스폰더는 기지국에서 발생시킨 RF 필드를 지나감으로써 작동하며 패시브 트랜스폰더와는 달리 RF 필드로부터 에너지를 얻을 필요가 없어 데이터 처리속도가 빠를 뿐 아니라 통신범위가 약 6m 정도로 넓다. 반면에 내부 배터리의 수명에 의존하기 때문에 사용기간에 있어 제한을 받는다.

패시브 트랜스폰더의 경우 트랜스폰더는 기지국에서 발생시킨 RF 필드를 통해 에너지와 데이터를 함께 전송받기 때문에 데이터 처리시간이 길고 통신범위가 약 1m 정도로 제한되며 내부 에너지원이 없으므로 저전력을 소비하도록 구성해야 하는 반면 그 사용기간이 거의 영구적이고 사용하고자 하는 경우만 사용 가능하므로 에너지효율이 좋다⁽²⁾.

2.2 패시브 트랜스폰더의 전체 구성

패시브 트랜스폰더는 그림 1과 같이 안테나, 정류회로와 에너지 저장용 커패시터를 포함한 전원 모듈과 트랜스폰더 칩으로 구성되며 이들은 하나의 카드에 집적되어진다⁽¹⁾⁽²⁾.

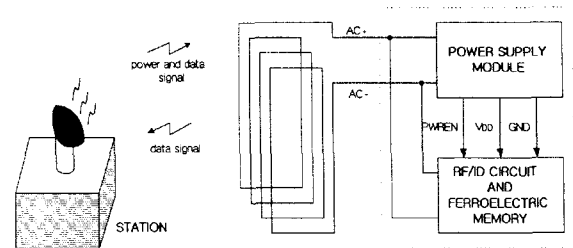


그림 1. 트랜스폰더의 전체 구성도

패시브 트랜스폰더 카드에 내장된 안테나 코일은 AC+, AC-로 명명된 출력을 가지며, 이 안테나 코일을 통해 데이터를 보내거나 받고, 데이터를 ferroelectric 메모리에 저장함으로써 기지국과 통신한다. 안테나 코일은 그림 1에서는 보이지 않지만 병렬 커패시터와 연결되어 공진회로를 형성하며, 안테나의 인덕턴스와 커패시턴스는 기지국과 트랜스폰더 사이에서 사용되는 통신 캐리어 주파수($f_c = \frac{1}{2\pi\sqrt{LC}}$)에 의해 결정된다. 트랜스폰더 카드는 기지국과의 물리적 접촉은 필요로 하지 않으며, 단지 기지국에서 발생하는 전계내에 위치함으로써 통신이 시작된다. 파워 서플라이 회로와 RF/ID 회로는 하나의 회로로서 집적되며, 각각은 신호를 받기 위해서 안테나와 연결되어 있다. 파워 서플라이는 안테나로부터 받은 AC 신호를 통해 각각 PWREN, VDD,

GND로 명명된 파워 인에비블, 파워 서플라이, 접지 신호를 RF/ID 회로에 제공함으로써 구동시킨다. RF/ID 회로는 또한 안테나와 연결되며 transmitter 회로, clock 회로, 프로토콜 회로, 신호 처리, ferroelectric 메모리 등 기지국과 데이터를 통신하기 위한 회로로 구성된다.

트랜스폰더는 점차로 배터리와 같은 내장되는 전원을 사용하지 않는 추세이며 이에 따라 DRAM, BBSRAM 등의 기존의 휘발성, 즉 전원을 끄면 데이터가 소실되는 반도체 저장 장치를 사용함에 있어 데이터의 유지가 문제시되며, 또한 기존의 EEPROM이나 NOVRAM과 같은 비휘발성 반도체 저장 장치의 경우는 긴 write 시간, 높은 전압, 높은 전력을 필요로 하여 트랜스폰더에서의 사용이 불가능하다. FRAM은 내부 전원없이 데이터의 유지가 가능할 뿐 아니라 기존에 주로 사용된 EEPROM에 비해 10배 이상 빠른 write time, 15% 정도의 소모전력을 가짐으로써 위의 문제를 극복할 수 있다.

본 논문에서 제시되는 패시브 트랜스폰더는 다음과 같은 사양을 갖는다.

1. 수신 캐리어 주파수 : 134kHz
2. 송신 캐리어 주파수 : 67kHz
3. 수신 변조방식(기지국 -> 트랜스폰더) : FSK
4. 송신 변조방식(트랜스폰더 -> 기지국) : PSK
5. 사용목적 : 지하철 출개찰 시스템
6. 메모리 : FRAM(Ferroelectric RAM)
7. 메모리 크기 : 512×8bit
8. 송수신 거리 : 대략 50cm

2.3 전원 모듈

전원 모듈은 내부 칩에 일정한 구동전압(6V) V_{DD} 를 내부 회로에 제공하는 Power supply와 에너지 저장 커패시터의 양단에 나타나는 V_{DD} 의 레벨에 따라 내부 칩에 구동신호를 인가해주는 Power enable 회로로 구성된다.

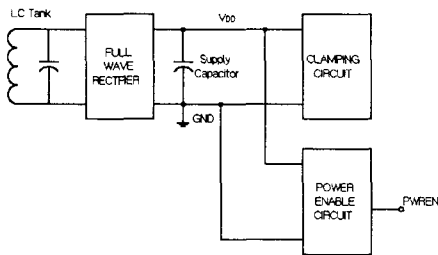


그림 2. 전원 모듈의 블록도

2.3.1 Power supply

그림 3에서 나타난 Power supply는 전파 정류기와 Supply capacitor, 클램핑 회로로 구성된다.

전파정류기는 안테나로부터 들어온 power signal을 입력받아서 정류된 구동전압 V_{DD} 와 GND를 공급해주는 출력을 갖는다. 이때 입력 전압 파형은 기지국으로부터의 전계가 트랜스폰더에 미치는 정도에 따라 시간에 따라 변하는 파형을 나타낸다.

Supply capacitor는 전파정류기의 출력단, 즉 V_{DD}

와 GND사이에 연결되며, V_{DD} 를 필터링시켜 리플을 줄여준다. Supply Capacitor는 다른 전원 모듈 내부 회로들과 함께 집적되어야 하기 때문에 높은 유전 상수를 갖는 ferroelectric capacitor를 사용하며 커패시턴스는 요구되는 Power supply 전압과 carrier frequency, 전될 수 있는 리플의 양 등의 요인에 따라 변한다.

클램핑 회로는 전압 divider 회로와 비교기, 클램핑 트랜지스터로 구성되며, power supply 전압 V_{DD} 를 일정 전압(6V)으로 유지시켜 준다. divider 회로는 V_{DD} 를 샘플링하여 TRGRREG로 명명된 center tap에 그

에 비례하는 전압, 즉 $\frac{R_1}{R_2 + R_1} \cdot V_{DD}$ 을 공급한다.

V_{DD} 가 6V에서 클램핑되기 위해서는 그 때의 dividing 된 전압 TRGRREG와 $V_{REF}(2V)$ 가 같아야 하며 이 때 divider의 비율은 0.33이다. 비교기는 CLAMP라 명명된 출력단에 검출된 오차 전압을 발생시키기 위해 양(+)의 입력 TRGRREG와 음(-)의 입력 V_{REF} 를 비교하며 그에 따른 출력 신호는 clamp 트랜지스터의 게이트에 입력된다. 따라서 V_{DD} 가 6V를 넘어서게 되면 비교기는 오차를 검출하여 CLAMP에 high를 발생시켜 클램핑 트랜지스터를 동동시키고, supply capacitor는 트랜지스터를 통해 방전되어 그 양단의 전압 V_{DD} 는 감소한다. 또한 V_{DD} 가 6V이하로 감소하면 CLAMP에는 low가 발생되어 클램핑 트랜지스터는 차단되고 Supply capacitor는 다시 충전되어 V_{DD} 는 다시 증가하게 된다. 이처럼 V_{DD} 는 6V를 기준으로 충·방전을 반복하며 일정전압으로 유지된다.

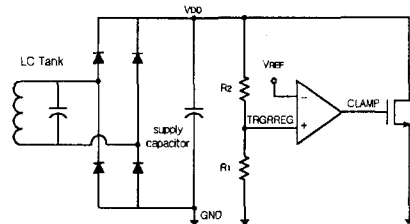


그림 3. Power supply

2.3.2 Power enable 회로

그림 4에 나타난 Power enable 회로는 충·방전시 회로의 구동 전압 V_{DD} 를 관찰하여 미리 정해진 power-up 문턱 전압 혹은 power-down 문턱 전압을 넘어서는 경우 그에 해당하는 PWREN을 내부 칩에 인가해야 하며, 비교기와 슈미트트리거 인버터, 인버터, 아날로그 멀티플렉서, 트리거 레벨 발생 회로로 구성된다.

트리거 레벨 발생회로는 세 개의 저항 R_1 , R_2 , R_3 의 직렬 연결로 구성되며 중간의 노드는 각각 TRGRDN, TRGRUP로 명명된다. 트리거 레벨 발생회로는 수동의 저항 divider 회로로써 V_{DD} 에 비례한 각각의 트리거 전압을 발생시키며 이는 MUX의 입력이 된다. MUX는 또한 PWRENB와 PWREN을 제어 입력으로 받으며 각각 High, Low일 경우에는 TRGRUP를 Low, High일 경우에는 TRGRDN을 선택하여 TRGR을 통해 출력한다. 비교기는 양(+)의 입력으로 MUX의 출력 TRGR를 음(-)의 입력으로 $V_{REF}(2V)$ 를 받아들여서 비교하여 그 오차를 PUPDN으로 명명된 출력단을 통해 슈미트트리거 인버터의 입력으로 보낸다. 슈미트트리거 인버터와 인버터의 출력은 각각 PWRENB, PWREN으로

명명된다.

트랜스폰더가 전계내에 위치할 경우 트랜스폰더는 충전되기 시작하여 V_{DD} 가 증가하며 이 때 PWRENB와 PWREN은 각각 high, low이며 이 경우 TRGUP에

dividing된 전압, 즉 $\frac{R_1}{R_1 + R_2 + R_3} \cdot V_{DD}$ 가

TRGR을 통해 비교기로 입력된다. power-up 문턱 전압은 5.4V로 정했으며 이 때 divider의 비율은 0.37이다. 따라서 V_{DD} 가 5.4V를 넘어서게 되면 TRGR은 2V를 넘어서게 되어 비교기는 PUPDN을 통해 high를 출력하며 PWRENB는 low, PWREN은 high를 출력하게 되어 내부 칩은 enable되고, MUX는 TRGRDN에

dividing된 전압, 즉 $\frac{R_1 + R_2}{R_1 + R_2 + R_3} \cdot V_{DD}$ 을

TRGR을 통해 비교기로 입력시킨다. 내부칩의 동작이 끝난 후 트랜스폰더가 방전시 Power-down 문턱 전압은 4.8V로 정했으며, 이 때 divider의 비율은 0.42이다. 따라서 V_{DD} 가 4.8V이하로 내려가면 TRGR은 2V이하로 내려가게 되어 비교기는 PUPDN을 통해 low를 출력하며 PWRENB는 high, PWREN은 low를 출력하게 되어 내부 칩은 disable 된다.

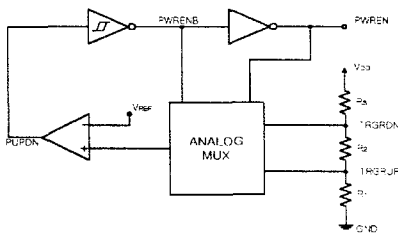


그림 4. Power enable 회로

3. 시뮬레이션 및 실험 결과

그림 5에서는 Power supply에서의 V_{DD} , TRGRREG, V_{REF} 의 파형을 나타내고 있다. V_{DD} 는 충전이 시작된 이후 약 6.1V정도에서 클램핑됨을 알 수 있다. 비교기의 입력 TRGRREG는 0.33의 비율로 V_{DD} 로부터 dividing 되었으며 $V_{REF}(2V)$ 와 서로 비교됨에 따라 V_{DD} 는 6.1V를 기준으로 충·방전을 계속하며 유지됨을 알 수 있다.

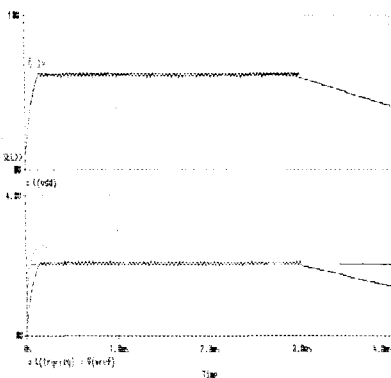


그림 5. 클램핑 회로에서 V_{DD} , TRGRREG, V_{REF} 파형

그림 6에서는 power enable 회로에서의 V_{DD} 에 따른 PWREN의 파형을 나타내고 있다. V_{DD} 의 level에 따라서 PWREN은 high, low의 두 가지 출력신호를 나타낸다. 충전시 내부칩에 enable을 인가하기 위한 V_{DD} 의 문턱 전압은 약 5.4V, 방전시 diable을 인가하기 위한 문턱 전압은 약 4.8V로써 이 경우 PWREN의 신호가 바뀔을 알 수 있다.

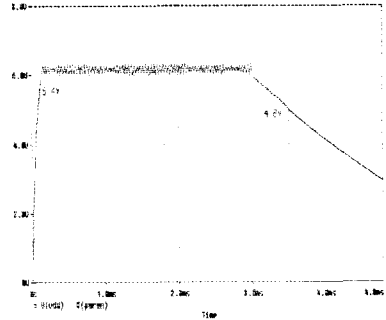


그림 6. 파워 인에이블 회로에서의 PWREN, V_{DD} 파형

실험 결과, V_{DD} 는 약 5.8V를 유지했으며, PWREN 신호가 인가되는 레벨은 충전시 약 5.2V, 방전시 약 4.7V였다. 전원 모듈에서 소모된 전력은 Power supply에서 약 3.62mW, power enable 회로에서 약 1.08mW 정도였으며, 모두 약 4.7mW 정도의 전력소모를 보였다.

4. 결 론

본 논문에서는 저전력 트랜스폰더의 전원 모듈에 대해 분석해 보았다. 전원 모듈은 power supply와 power enable 회로의 두 블록으로 나눌 수 있었으며 제시된 전원 모듈의 회로들은 낮은 전력 소비와 집적에 있어서의 잇점을 갖는 CMOS로 구현되었다. 전체적으로 나타난 전력 소비는 약 4.7mW정도였다.

(참 고 문 헌)

- [1] U. Kaiser and W. Steinhagen. "A low power transponder IC for high performance identification systems" Proc. CICC 1994. May 1994. pp.14.4.1-14.4.4.
- [2] Tool identification system. Patents: US 4,742,470, May 3, 1988.
- [3] Baker, Li, Boyce. "CMOS circuit design, layout and simulation". IEEE PRESS. pp.313-326
- [4] Transponder devices. Patents: US 4,724,427. Feb 9, 1998.
- [5] Fredrick W. Grover. "Inductance Calculations". Dover publication, New York. 1946
- [6] Remotely interrogated transponder. Patents: US 4,786,903, Nov 22, 1988
- [7] C. K. Kim and S. B. ahn. "Public Transport Fare Integration with Smart Cards in Seoul". PA19990156022