

시뮬레이션과 축소모형에 의한 UPFC의 성능해석

한 병문, 박 지용, 정 진규
 명지대학교 전기공학과

Performance Analysis of UPFC
 by Simulation & Scaled Hardware Model Test.

Byung-Moon Han, Ji-Yong Park, Jin-Gyu Jung
 Myong Ji University Dept. of Electrical Engineering

Abstract - This paper describes a simulation model and scaled hardware model to analyze the dynamic performance of Unified Power Flow Controller, which adjust flexibly the active and reactive power flow through the ac transmission line. The design of control system was developed using vector control method. The results of simulation and scaled hardware test show that the developed control system works accurately. And both models are very effective to analyze the dynamic performance of the Unified Power Flow Controller.

1. 서 론

지금까지 주요 인버터 FACTS기기로 STATCOM, SSSC, UPFC등이 제안되었다. 이 중 UPFC는 기존의 STATCOM과 SSSC가 AC 송전계통의 Parameter인 단자전압, 선로 임피던스, 위상각 중 어느 하나만 보상 가능했던 것과는 달리 모든 Parameter를 총체적으로 실시간 보상하는 기능을 갖는다[1]. 현재 가동중인 UPFC는 기본용량이 100MVA이상인 대용량의 전압원 인버터로 구성되어 있고 스위칭소자로는 GTO를 사용하고 출력전압의 형성은 다중펄스방식을 사용한다. UPFC는 최근 선진국에서 많은 연구가 진행중에 있으며 많은 연구논문이 발표된 바 있다[2,3,4]. 본 연구에서는 이러한 UPFC의 제어 시스템을 설계하여 제어기의 성능을 EMTP를 이용한 시뮬레이션 및 축소모형에 의한 실험으로 검증한다.

2. 본 론

2. 1. 제어시스템 설계

UPFC의 제어시스템은 기능상 외부제어시스템과 내부제어시스템으로 구분된다. 내부 제어시스템은 2개의 인버터를 조작하여 직렬로 주입되는 전압의 크기와 위상각을 정하고 병렬 무효전류를 적절히 흡수하는 기능을 갖는다. 외부제어시스템의 기능은 계통에서 요구되는 P와 Q를 입력으로 UPFC의 각 인버터가 공급해야 할 전류와 전압의 크기와 위상을 산출하여 이를 생성하기 위한 인버터의 기준 출력을 설정하는 것이다.

2. 2. 1. 병렬 인버터 제어

UPFC 시스템의 병렬부는 유효전력 제어부분과 무효전력 제어부분으로 크게 나누어 생각할 수 있다. 유효전력 제어부분은 직렬 인버터에서 필요로 하는 유효전력을 알맞게 공급하는 기능과 DC Link Capacitor의 전압을 일정하게 유지시켜주는 기능을 하며 무효전력 제어부분은 입력 전압전압의 무효성분에 의한 전압변동을 무효전력의 교환을 통해서 안정화하는 기능을 한다. 그림 1은 병렬 인버터의 제어 블록도를 나타낸다. 먼저 인버터의 유효전력의 흐름을 제어하기 위해서 전류의 유효분 기준치(i_{d1}^*)를 설정하는 과정을 식을 나타내면 식 (1)과 같다.

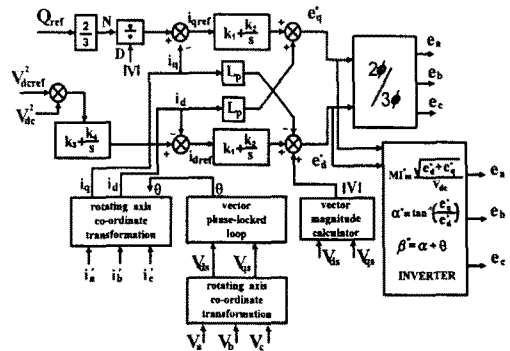


그림 1. 병렬 인버터 제어 블록도

$$i_{d1}^* = (K_P + \frac{K_I}{s})(V_{dc}^* - V_{dc}) \quad (1)$$

병렬 인버터의 수리모형을 이용해 인버터출력전압과 주입전류의 등가회로방정식에 대한 Park 변환방정식을 구하면 d축 전압에서는 q축 전류, q축 전압에서는 d축 전류가 외란으로 나타난다. PI 전류제어기로서 이러한 외란을 보상하여 인버터 출력전압기준치의 유효분($ed1^*$)과 무효분($eq1^*$)을 설정하면 식 (2), (3)과 같다. 식 (1)에서 설정된 i_{d1}^* 는 PI 제어기를 거쳐 인버터 출력의 d축 유효분 기준치($ed1^*$)를 발생시킨다. 또한 직렬 인버터와 독립적으로 무효전력을 제어하기 위해 설정된 i_{q1}^* 는 PI 제어기를 거쳐 인버터 출력 전압 q축 무효분의 기준치($eq1^*$)를 생성하게 된다.

$$e_{d1}^* = (K_P + \frac{K_I}{s})(i_{d1}^* - i_{d1}) - i_{d1} * L_{p1} + V_{d1} \quad (2)$$

$$e_{q1}^* = (K_P + \frac{K_I}{s})(i_{q1}^* - i_{q1}) + i_{d1} * L_{p1} \quad (3)$$

이렇게 생성된 인버터 출력 전압의 d-q축 성분은 제어블록도에 나타낸 바와 같이 2상에서 3상으로 역변환하거나 또는 이들로부터 MI 및 점호각을 계산하여 인버터 출력을 내보내는 스위칭 소자의 게이트 신호를 발생하는 기준신호를 생성한다.

2. 2. 2. 직렬 인버터 제어

직렬 인버터의 기능은 선로에 흐르는 유효전력과 무효전력량을 설정한 값으로 유지하는 것이다. 직렬 인버터는 선로에 직렬로 삽입된 변압기를 통해 선로에 전압을 주입한다. 이 주입 전압의 크기와 위상에 따라서 유효전력과 무효전력을 조절할 수 있다. 그림 2는 직렬 인버터의 제어 블록도를 나타낸다.

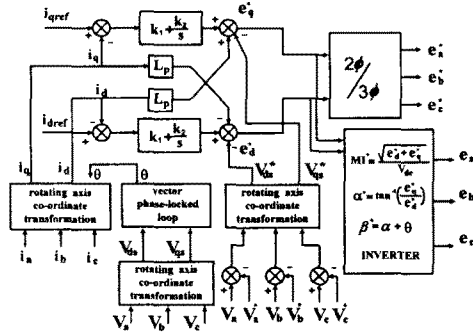


그림 2 직렬 인버터 제어 블록도

선로의 유효전력과 무효전력을 설정한 값으로 유지하기 위해 직렬 인버터의 d-q축 유·무효전류의 기준치가 설정된 제어기가 구성되었다. 이러한 전류의 유효분(i_{d2}^*)와 무효분(i_{q2}^*)의 기준치가 PI 전류제어기를 거쳐서 인버터 출력 전압의 유·무효분 기준치(e_{d2}^* , e_{q2}^*)의 생성에 관여한다. 병렬 인버터에서와 마찬가지로 직렬 인버터도 역시 수리모형을 통하여 인버터 출력전압과 선로전류의 등가회로방정식에 대한 Park 변환방정식을 구하면 d축 전압에서는 q축 전류, q축 전압에서는 d축 전류가 외란으로 나타나므로 이러한 외란을 보상하여 인버터 출력전압 기준치 유효분(e_{d2}^*)와 무효분(e_{q2}^*)를 설정하면 식 (4), (5)와 같다.

$$e_{d2}^* = (K_p + \frac{K_I}{s})(i_{d2}^* - i_{d2}) - L_{\rho 2} * i_{d2} - e_{d2} \quad (4)$$

$$e_{q2}^* = (K_p + \frac{K_I}{s})(i_{q2}^* - i_{q2}) + L_{\rho 2} * i_{q2} - e_{q2} \quad (5)$$

식 (4), (5)로부터 생성된 전압의 기준치들은 병렬 인버터와 마찬가지로 스위칭 소자의 게이트신호를 생성하는데 이용된다.

2. 3. EMTP 시뮬레이션

UPFC의 제어시스템의 성능을 검증하기 위해 EMTP에 의한 모델링과 시뮬레이션을 실시하였다. 본 연구에서 고려한 UPFC의 단상등가회로 시뮬레이션모델을 그림 3에 보였다. 본 모델에서는 UPFC에 포함된 2개 인버터를 12-펄스 또는 24펄스로 모델링하는 대신에 2개의 교류전압원이 DC link에 의해 결합된 구조로 모델링하였고, 그림 3에 보인 전력계통의 3상 등가회로를 근거로 하여 EMTP 코드를 작성하였으며, 특히 제어시스템은 전 절에서 보인 그림 1, 2의 제어블록도에 따라 TACS를 이용하여 모델링하였다. 시뮬레이션 시나리오는 다음과 같다. 먼저 모든 시뮬레이션 시간동안 DC link 전압의 기준치인 V_{dc}^* 는 5.29pu를 유지하고 있고 $t=50ms$ 동안 직렬 인버터의 전류 유효분 기준치(i_{d2}^*)가 정상상태 값인 -1.6484pu를 유지하다가 -1.184pu로 변화한다. 그리고 $t=150ms$ 동안 직렬 인버터의 전류 무효분 기준치(i_{q2}^*)가 정상상태 값인 -0.081pu를 유지하다가 0.419pu로 변화한다. 병렬 인버터의 전류 무효분 기준치(i_{q1}^*)는 $t=250ms$ 에서 -1pu(지상)로 설정이 되며 $t=350ms$ 에서 다시 1pu(진상)로 변화한다. 그림 4는 UPFC의 DC link 전압과 수전단의 유·무효전력을 나타낸다. 직렬 인버터의 전류 기준치의 변화에 따라서 유·무효전력이 변화하는 것을 볼 수 있으며 DC link 전압은 항상 일정하게 유지된다. 그림 5는 병렬 인버터의 출력 전압과 전류, 그리고 BUS01의 전압이 나타난다. 그림에서 볼 수 있듯이 병렬 인버터는 직렬 인버터가 요구하는 유효전력을 공급하고 i_{q1}^* 이 변화하는 250ms부터 350ms

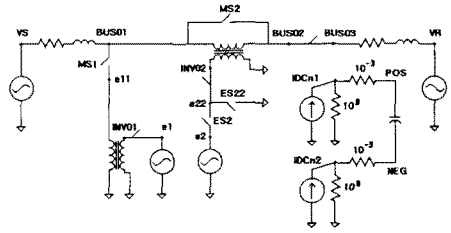


그림 3. UPFC 시뮬레이션 모델

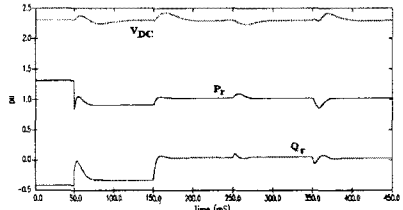


그림 4. DC link 전압과 유·무효전력

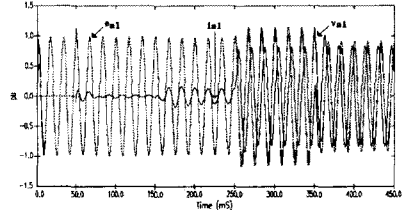


그림 5. 병렬 인버터 주입전류(ia1)와 입력단 전압(va1)

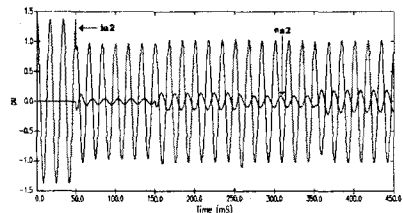


그림 6. 직렬 인버터 주입전압(ea2)과 선로전류(ia2)

까지는 전류(i_{a1})가 BUS01(v_{1a})전압보다 90° 뒤지고 350ms부터는 전류가 전압보다 90° 앞선다. 따라서 직렬 인버터와 독립적으로 무효전력을 선로와 교환한다. 그림 6은 직렬 인버터의 주입전압과 선전류를 나타낸다. 요구되는 기준치의 변화에 따라서 적절한 위상과 크기를 갖는 직렬 인버터의 출력전압이 선로에 주입되어 유·무효전력의 흐름을 조정하고 있다.

2. 4. 축소모형 설계 및 실험

본 연구에서 제작된 UPFC 축소모형의 병렬 인버터 및 직렬 인버터용량은 각각 3상 220V 2KVA으로서 용량면에서 실규모 시스템과는 큰 차이가 있다. 그림 7은 제작된 축소모형의 전체 등가회로모델이다. 인버터의 스위칭 소자로는 각각 Six-pack IGBT를 이용하였으며 스위칭패턴은 실시간의 다중펄스방식과는 달리 축소모형이므로 3교조파 주입 PWM 방식을 채택하였다. 시스템의 제어장치는 각각의 인버터에 마이크로프로세서 80C196KC와 EPLD 및 아날로그제어회로를 사용하였다.

UPFC에서는 보다 정밀한 제어를 요하므로 프로세서간 데이터 공유가 필요한데 프로세서간 통신은 프로세서의 입출력포트를 이용하였다. 스위칭 주파수는 실시시스템의 스위칭 주파수를 감안하여 3KHz로 하였다. 부하로는 2kW, 55Ω저항을 사용하였다. 기타 회로정수는 그림 7에 나타내었다. 또한 DC link단에 스위치를 삽입하여 두 인버터중 한 대가 고장날 경우 STATCOM, SSSC로의 독립보상으로 전환가능하게 하였다.

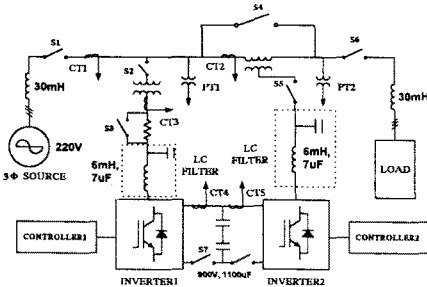


그림 7. 축소모형 전체 등가회로도

축소모형의 동작시나리오는 다음과 같다. 먼저 병렬 인버터의 전원전류의 무효성분기준치 $iq1^*$ 를 40주기동안은 -150(프로그램 설정치)을 설정하여 진상무효전류 피크치 2A가 전원전류에 유입되게 하고 다음 40주기동안은 $iq1^*$ 를 +150으로 설정하여 지상무효전류 피크치 2A가 전원전류에 유입되어 직렬인버터와 독립적으로 무효전력을 조절하도록 하였다. DC link 전압기준치 V_{dc}^* 는 240V로 설정하였다. 한편, 직렬 인버터는 10주기동안은 무효전류기준치 $iq2^*$ 를 +10(프로그램 설정치), 유효전류기준치 $id2^*$ 를 +80으로 설정하고 다음 10주기는 $iq2^*$ 를 +40, $id2^*$ 를 +10, 그 다음 10주기는 $iq2^*$ 에 -40, $id2^*$ 에 0을 주어 유·무효전력을 조절하도록 하였다. 그림 8은 DC link 전압파형을 나타낸다. 동작모드 전환시를 제외하곤 일정하게 유지하고 있다. 그림 9는 병렬 인버터의 전원전압과 주입무효전류에 따른 전원전류를 나타낸다. 기준치에 따라 전원전류가 40주기마다 진상에서 지상으로, 지상에서 진상으로의 빠른 전이를 보여주며 독립적으로 무효전력이 조절되고 있다. 그림 10은 직렬 인버터의 주입전압과 선로전류를 나타낸다. 직렬 인버터가 전류기준치에 따라 주입전압의 위상과 크기를 형성하고 있고 병렬 인버터에서와 마찬가지로 전이속도가 상당히 빠르며 주입전압의 360° 위상제어가 가능하므로 무효전력뿐만 아니라 유효전력도 조절하고 있다. 그림 11은 직렬인버터의 주입전압에 따른 계통의 유효전력 및 무효전력의 변화를 프로세서연산을 거쳐 DA(Digital-to-Analog)로 출력한 것이다. 계통의 유·무효전력이 UPFC의 동작모드에 따라 조절되고 있음을 보여준다.

3. 결 론

본 논문에서는 계통의 세 변수를 총체적으로 신속히 제어하는 UPFC의 제어기를 설계하고 이 제어기의 동작과 전체 시스템의 성능을 평가하기 위해 개발한 EMTP 시뮬레이션 모형과 하드웨어 축소모형에 대해 기술하고 있다. 고안된 시뮬레이션 모형은 제어기를 UPFC의 전력회로와 연계하여 성능을 검증하는데 대단히 유용하고, 특히 UPFC와 전력계통의 동특성을 해석하는데 효과적이며 하드웨어 축소모형은 UPFC의 제어성과 전력조류제어효과를 확인하는데 효과적이며 대규모 실시시스템으로 확장하는 도움이 된다.

본 연구는 기초전력공학공동연구소의
98년도 자유제안과제 연구비지원으로 이루어졌음

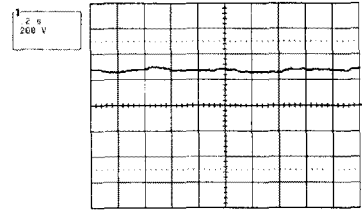


그림 8. DC link capacitor 전압

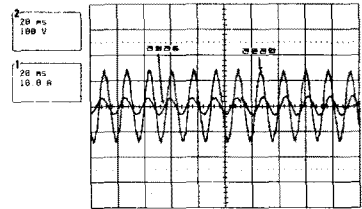


그림 9. 병렬 인버터 전원전압과 전원전류

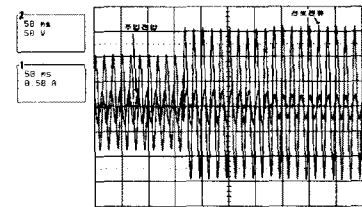


그림 10. 직렬 인버터 주입전압과 선로전류

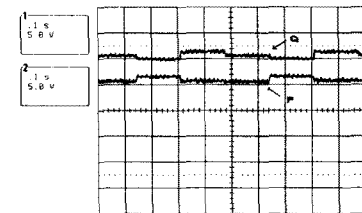


그림 11. 계통의 유효전력과 무효전력의 변화

[참고 문헌]

- [1] L. Gyugyi, et. al., "The Unified Power Flow Controller : A New Approach to Power Transmission Control", IEEE Trans. on Power Delivery, Vol. 10, No. 2, April 1995.
- [2] M. Irvani, et. al., "Steady-state and Dynamic Models of Unified Power Flow Controller for Power System Studies", IEEE/PES Winter Meeting, 96WM257-6 PWRs, Baltimore, Maryland, January, 1996.
- [3] X. Lombard and P. Therond, "Control of Unified Power Flow Controller : comparison of methods on the basis of a detail numerical model", IEEE/PES Summer Meeting, 96SM511-6 PWRs, Denver, Colorado, July, 1996.
- [4] D. Ramey, et. al., "A Study of Equipment Sizes and Constraints for A Unified Power Flow Controller", IEEE Trans. on Power Delivery, Vol. 12, No. 3, July 1997.
- [5] L. Gyugyi, et. al., "Operation of The Unified Power Flow Controller under Practical Constraints", IEEE Trans. on Power Delivery, Vol. 13, No. 2, April 1998.