

혼합형 전류 구동 D/A 컨버터 설계 제작에 있어서
데이터 가중평균기법을 적용한 신뢰성 향상에 관한 연구

김순도*, 우영신, 김두곤, 성만영
고려대학교 전기공학과

A Study on the Design of D/A Converter based on
Data Weighted Average Technique for enhancement of reliability

S. D. Kim*, Y. S. Woo, D. G. Kim, M. Y. Sung
Department of electrical engineering Korea Univ.

Abstract - In this paper, a new structure of realizing switching control logic for Data Weighted Average Technique is suggested. It uses memory and adder for summing past binary input and this summed data is used to select one switch in control logic. This control logic acts in parallel regardless of resolution so increasing resolution don't affect on converting speed. In this reason, high speed and high resolution D/A converter based on Data Weighted Average Technique could be made. In this paper, 4 bits current mode thermometer code D/A converter is designed and simulated by using HSPICE.

Simulated results show that new structure of D/A converter has more than 250MHz converting speed and less than 0.0003[LSB] INL error. It is very useful in low power circuit because of using 3.3 V supply voltage.

1. 서 론

단일 칩 위에 아날로그 회로와 디지털 회로를 구성하여 집적시키는 기술의 발달로 아날로그와 디지털의 혼합 칩 구현이 가능해졌다. 그러나 혼합 칩의 경우 많은 부분이 디지털 부분이므로 공정의 대부분이 디지털에 맞추어 최적화 되었다. 이런 이유로 디지털 공정 기술로 아날로그 회로를 구현할 필요가 있게 되었으며 이런 회로의 대표적인 것이 데이터 컨버터이다.

근래에 들어서 기기는 정교해지고 이에 따라 보다 정확한 데이터의 변환이 요구되고 있다. 하지만 디지털로 최적화 된 공정으로는 소자간에 발생하는 부정합의 영향을 줄일 수가 없다. 이러한 부정합의 영향은 컨버터의 자체 손실에 덧붙여져서 데이터 변환의 선형성에 큰 영향을 미치게 된다. 이런 부정합 영향을 줄이기 위해 여러 방법이 시도되었는데 그 중 대표적인 것으로 동적 소자 매칭이 있는데 이는 같은 신호에 대하여 소자를 무작위로 선택함으로써 일정 주기가 지나면 출력에서 부정합의 영향을 줄이는 기법이다. 동적 소자 매칭의 대표적인 방법은 클럭 평균(Clock Average, CLA) 방식으로 입력이 들어올 때마다 한 소자씩 쉬프트 시키는 방법을 사용하여 입력에 대하여 모든 소자가 고르게 사용되는 방법이다. 그러나 이 경우 비트 수가 늘어나고 소자의 개수가 증가하면 입력에 대하여 모든 소자가 사용되기까지 시간이 많이 필요하다. 즉 소자 선택의 무작위성이 떨어지게 된다. 이런 단점을 보완하기 위해서 도입된 방식이 데이터 가중 평균(Data Weighted Average, DWA) 기법이다.

DWA기법은 어떤 순간에 입력이 들어오면 이전 입력들의 상태에 따라 선택되는 소자가 달라지게 된다. 즉 입력이 가해지면 짧은 기간 동안 모든 소자를 사용함으로써 부정합의 영향이 줄어드는 주기를 줄일 수 있다.

본 논문에서는 메모리와 가산기를 이용하여 DWA 기법을 구현하기 위한 스위칭 제어부의 구조를 간단히 한 고속 4 비트 D/A 컨버터의 구조를 제안하고 이를 시뮬레이션을 통하여 성능을 검증했다. 제안된 구조는 250MHz 이상의 동작 속도와 0.0003[LSB] 이내의 INL 에러를 가진다.

2. 메모리와 가산기를 이용한 DWA 기법의 DAC의 설계와 시뮬레이션 결과

제안된 DAC는 전류를 공급해 주는 전류셀과 DWA 스위칭 제어를 위한 회로, 들어온 바이너리 입력을 온도계 코드(Thermometer Code)로 변환시키는 encoder로 구성된다. 그림 2-1은 전체 회로의 블록 다이어그램을 나타낸다.

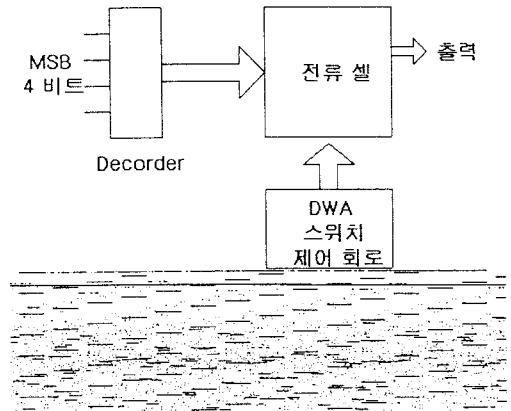


그림 2-1. 제안된 구조의 블록 다이어그램

블록은 4 비트의 바이너리 입력을 받아 온도계 코드로 변환하는 디코더와 16개의 전류원으로 구성된 전류셀, DWA 기법을 적용하기 위한 제어 회로로 구성된다.

전류셀은 입력이 high 일때는 출력단에 low일때는 접지로 연결하는 구조를 사용하며 트랜지스터의 턴온 잡음을 줄이기 위해서 그림 2-2와 같이 커패시터를 연결한다. 전류셀은 70[μA]를 인가하기 위해서 설계했다.

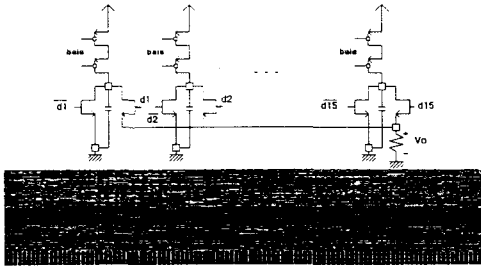


그림 2-2. 전류셀의 구조

그림 2-3은 DWA 기법의 구현을 위한 스위칭 제어 회로를 나타내고 있다. 그림 2-3은 제안된 구조와 같은 구조로 2 비트인 경우를 설명하고 있다. 온도계 코드에서 나온 입력 값은 그림과 같은 순서로 배열된 스위치를 통하여 전류 셀로 전달된다. 스위칭 제어 디코더의 출력은 메모리에 저장된 전 입력의 값과 현재의 입력을 캐리를 무시하고 더한 값으로 제어한다. 만약 입력이 01, 10, 10, 10, 11의 순서로 들어온다면 처음 메모리를 초기화 할 때 00으로 하고 여기에 입력인 01이 더해진 01에 의해서 ②번 출력이 나감으로 전류원 제어 신호는 1000이 되고 01은 메모리에 저장이 된다. 두 번째 신호인 10이 들어오면 메모리에 저장된 01과 더해져서 11이 되어 ④번 출력이 나감으로 전류원 제어 신호는 0110이 되고 11은 메모리에 저장이 된다. 이런 방식으로 출력을 계산해 보면 1000, 0110, 1001, 0010, 1101이 순서대로 나가 각 전류원이 고르게 사용됨을 알 수 있다.

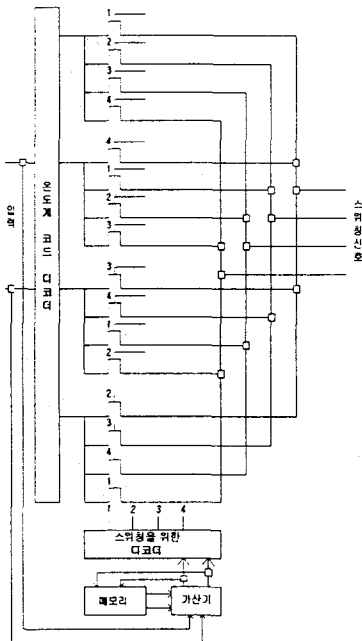
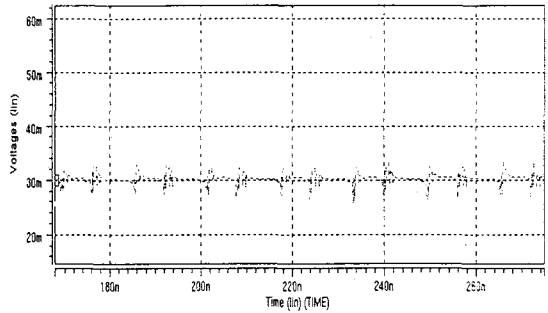
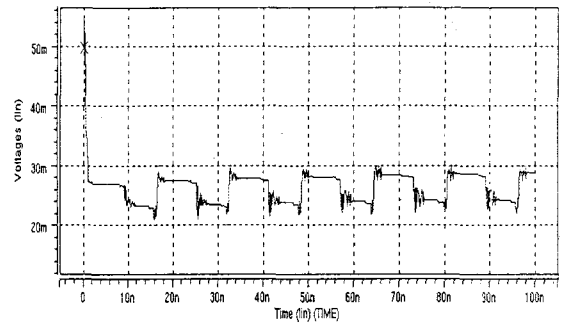


그림 2-3 DWA 기법의 구현을 위한 스위칭 제어 회로

쉬프트 레지스터를 이용하는 기존 구조와 달리 제안된 구조를 사용하면 스위칭을 위한 신호가 가산기에서만 지연이 되며 병렬로 신호를 처리하게 되므로 비트 수가 증가해도 이에 따른 신호의 지연이 없게 되어 빠른 동작을 나타내게 된다. HSPICE에 의한 시뮬레이션 결과를 보면 연속으로 같은 신호가 들어 갈 때 전류원에 5%의 부정합을 가정하면 출력단이 그림 2-4와 같이 나타난다.



(a)



(b)

그림 2-4. 전류원에 5% 부정합 에러가 발생한 경우
(a) DWA를 적용하지 않을 때 출력
(b) DWA 기법을 적용할 때 출력

16개의 전류원 중 (a)의 경우는 항상 같은 8개의 전류셀만이 턴 온이 되고 따라서 항상 같은 부정합에 의한 에러를 지닌 전류원에 의해서 출력이 발생한다. 반면에 (b)의 경우에는 첫 바이너리 입력에 의한 전류셀은 (a)와 같으나 두 번째 입력에서는 (a)에서 턴 온이 되지 않은 나머지 8개가 턴 온이 된다.

그림에서 알 수 있듯이 이상적인 경우 25mV의 출력일 때 (a)는 5%의 부정합이 발생하였다면 출력 전압이 30mV를 나타낸다. 같은 조건에서 (b)는 DWA 기법을 적용하여 출력의 절반 부분만 30mV를 나타내며 나머지 절반은 25mV 이하를 나타내어 출력 신호를 필터링을 시키면 거의 이상적인 25mV의 값을 나타내게 된다.

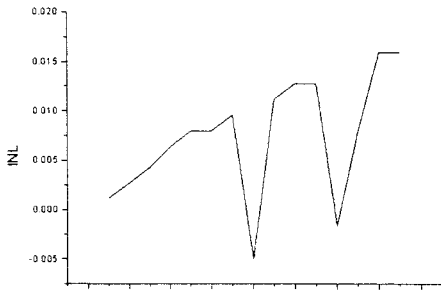


그림 2-5. 4비트 기준 INL 에러 특성 곡선

3. 결론

D/A 컨버터의 선형성에 큰 영향을 미치는 공정상의 부정합 에러를 해결하기 위해 DWA 기법을 사용한다. 그러나 기존의 이 기법을 구현하기 위한 구조는 해상도가 증가하면 부가 회로가 크게 증가하고 동작 속도가 떨어지는 단점이 있었다. 본 논문에서는 이를 보완하기 위해 메모리와 가산기를 이용한 스위칭 제어 회로를 제안하였다. 제안된 구조는 스위칭 제어를 병렬로 구동하므로 해상도가 증가해도 전체 구조가 크게 복잡해지지 않으며 속도의 저하도 거의 없다. 시뮬레이션 결과 250 MHz 이상의 고속 동작을 하면서도 0.0176mV(환산하면 0.00028LSB) 이내의 우수한 INL 에러를 가진다.

디지털 오디오나 비디오에 많이 사용되는 multi-bit modulator를 지닌 sigma-delta 컨버터의 선형성 향상과 3 비트 이상의 고 해상도 modulator의 제작에도 유용하리라 생각되며 고속의 고 해상도 컨버터 제작이 가능해서 통신 기기 등의 통화 품질 성능 향상에도 도움이 되리라 생각한다.

Resolution	4 비트
INL	0.00028 LSB
Settling Time	217 ns
Output Swing Voltage	17.6 mV
Max. Conversion Rate	460.8 MHz
Power Supply	3.3 V

[참고 문헌]

[1] Rex T. Baird and Terri S. Fiez. " Linearity Enhancement of Multibit $\Delta\Sigma$ A/D and D/A Converter Using Data Weighted Averaging". IEEE Transactions on Circuit and Systems-II : Analog and Digital Signal Processing, Vol. 42, NO 12, pp. 753-762 December 1995.

[2] H.S Jackson,"circuit and method for Cancelling nonlinearity error associated with component

[3] R.J.Van de Plassche," Dynamic element matching for high-accuracy monolithic D/A Converter." IEEE J. Solid-State Circuit, Vol. SC-11, pp. 795-800, DEC, 1976

[4] Olivier Nys, member, IEEE, and Robert K. Henderson. Member, IEEE. A 19-Bit Low-Power Multibit Sigma-Delta ADC Based on Data Weighted Averaging". IEEE Journal of Solide-State Circuit, Vol. 32, No. 7, pp.933-942, July 1997.

[5] Rudy van de Plassche, Integrated Analoge-to-Digital and Digital-to-Analog Converters. Kluwer Academy Publisher, Boston/Dordrecht/London, 1994

[6] David A. Johns and Ken Martin, Analog Integrated Circuit Design, John Wiley and Sons, New York, 1997

[7] S.M. Sze, Physics of Semiconductor Devices, Second Edition, John Wiley and Sons, New York, 1981

[8] John F. Wakerly, Digital Design, Second Edition, Prentice Hall International Edition, 1994

[9] Neil H.E. Weste and Kamran Eshraghian, Principle of CMOS VLSI Design, Second Edition, Addison Wesley, 1993