

## 4분법을 이용한 전압 클램프 VCO의 설계에 관한 연구

서일원\*, 최우범, 정석민, 성만영  
고려대학교 전기공학과

### A Study on the Design of Voltage Clamp VCO Using Quadrature Phase

I. W. Seo\*, W. B. Choi, S. M. Joung, M. Y. Sung  
Department of electrical engineering Korea Univ.

**Abstract** - In this paper, a new structure of fully differential delay cell VCO using quadrature phase for low phase noise and high speed operation is suggested. It is realized by inserting voltage clamp circuit into input pairs of delay cells that include three-control current source having high output impedance. In this reason, this newly designed delay cell for VCO has the low power supply sensitivity so that the phase noise can be reduced. The whole characteristics of VCO were simulated by using HSPICE and SABER.

Simulation results show that the phase noise of new VCO is quite small compared with conventional fully differential delay cell VCO and ring oscillator type VCO. It is also very beneficial to low power supply design because of wide tuning range.

#### 1. 서 론

최근 컴퓨터와 통신기술의 진보와 더불어 데이터가 단순한 문서나 음성에서 고해상도의 동영상과 고음질의 음성정보들로 바뀌면서 통신 시스템은 많은 양의 데이터를 보다 신속하고 정확하게 전달하여야 하는 필요성을 갖게 되었다. 이러한 통신 시스템의 고속화가 진행되면서 PLL(phase locked loop)은 통신시스템에서 매우 중요한 부분으로 자리잡게 되었다.

PLL은 기본적으로 입력 신호와 출력 신호의 위상차를 맞추는 오실레이터로서 마이크로 프로세서와 메모리 IC에서 버퍼 역할과 함께 지연시간의 변동을 줄여줌으로써 입출력 타이밍 마진을 개선하는데 주로 쓰이고 있다. (1.2) PLL의 구성요소 중에서 VCO(voltage controlled oscillator)는 제어전압  $V_c$ 에 따라 일정한 주파수의 파형을 내보내는 회로로서 PLL의 전체 특성에 가장 큰 영향을 주는 핵심 부분이다. [3]

현재 PLL 시스템은 높은 위상 노이즈에도 불구하고 표준 CMOS 공정으로 PLL 시스템 전체를 단일칩 위에 구현할 수 있는 리렉세이션 VCO의 개발을 위해 많은 연구가 이루어지고 있다. 또한, 사용 주파수가 점점 빨라짐에 따라 VCO의 선형성에 관련된 위상 노이즈를 감소시키기 위해 4분법(quadrature phase), voltage controlled resistor delay cell VCO, self biased method VCO, dual loop PLL 등에 관한 연구도 활발히 진행되고 있다. [4,5] 본 연구에서는 낮은 위상 노이즈 특성을 갖는 PLL 시스템을 설계하기 위하여 4분법을 이용한 VCO 지연셀 입력단에 전압 클램프(voltage clamp) 회로를 첨가하여 높은 주파수 대역과 전압원 노이즈에 의한 위상 노이즈를 개선한 VCO 회로를 제안하였다. 제안된 VCO의 동작특성 파악을 위해 시뮬레이터인 HSPICE와 SABER를 사용하여 위상노

이즈 및 출력 주파수의 공급 전압원에 대한 민감도, 그리고 문턱-카를로 해석 등을 수행하였다. 시뮬레이션에 사용된 트랜지스터는 1.25 $\mu$ m 표준 CMOS 모델 파라미터를 사용하였다.

#### 2. 전압 클램프 VCO의 설계와 시뮬레이션 결과 및 고찰

##### 2.1 4분법을 이용한 전압 클램프 VCO의 설계

제안된 VCO는 전압 클램프 지연셀과 트랜스컨덕턴스 Gm셀 그리고 V-I 컨버터 등으로 구성되며 고속 동작 특성을 얻기 위하여 4분법 구조를 채택하였다.

그림 1은 4분법과 전압 클램프회로 지연셀을 이용한 전체 VCO구조를 나타낸 것이다.  $V_{q1}$ 에서  $V_{q5}$ 는 36°의 지연을 갖는 파형을 출력하고 Gm셀은 이러한 전압의 변화를 전류 변화로 바꾸어 능동저항 Mpg1과 Mpg2 양단의 전압강하를 일으킨다. OUT과 OUT'는 이러한 전압 강하로 인해  $V_{q1}$ 과  $V_{q5}$ 의 주파수 보다 5배 빠른 주파수를 갖게 된다. 이러한 출력 특성을 그림 2에 나타내었다. 그림 1에서  $A_1 \sim A_{10}$ 까지는 지연셀을 나타낸다.

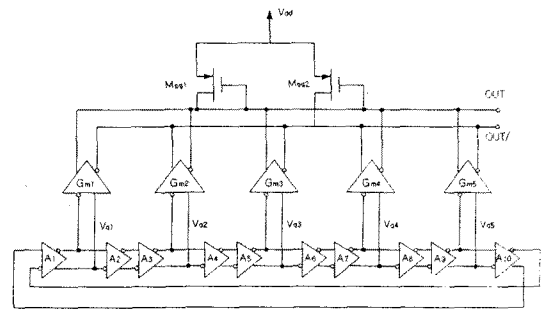


그림 1. 4분법을 이용한 전압 클램프 VCO의 전체 구조도.

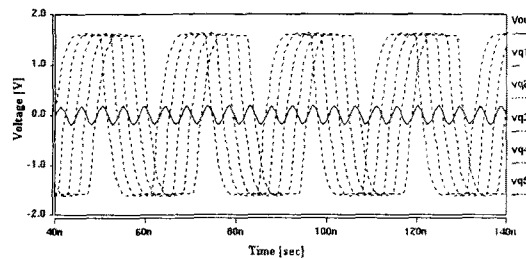


그림 2. 4분법을 이용한 전압 클램프 VCO의 출력 파형.

### 2.1.1 전압 클램프 지연셀

제안된 전압 클램프 지연셀은 고주파수에서의 위상 노이즈를 작게 하기 위하여 완전 차동단 지연셀의 입력단에 전류비가 4:1이 되도록 전압 클램프 회로를 첨가하였다. 이 지연셀은 전압원  $V_{dd}$ 가 변화했을 때 전압 클램프 회로의 전류 이득이 변하지 않는다. 그러므로 전단의 출력 노드에 의한 네거티브 피드백은 일정하게 출력 노드의 전압 변화를 감소시켜 전압원에 대한 민감도를 낮춤으로써 낮은 위상 노이즈를 얻을 수 있게 된다. 또한 지연셀 세 개의 제어 전류원은 출력단의 임피던스를 매우 높게 하여 전압원에 대한 민감도를 더욱 낮추는 역할을 한다. 이렇게 얻어진 출력단의 전압원에 대한 민감도의 감소는 위상노이즈를 낮추게 하여 출력 신호의 주파수 특성을 좋게 한다. 반면에 전류비를 증가시키면 위상노이즈는 줄어들지만 VCO 출력 이득을 줄여 조절가능도는 낮아지게 된다. 그러므로 설계 시 위상노이즈와 VCO 이득간의 최적점을 찾아 구현하는 것이 중요하다.

본 논문에서는 VCO의 출력 전압 스윙폭을 0.4V 정도로 하여 설계하였다. 이 구조는 높은 제어전압을 인가하더라도 전압 클램프 회로의 게이트와 소스단이 연결되어 있어 입력단이 항상 포화영역을 유지하므로 넓은 튜닝 범위를 얻을 수 있다. VCO의 넓은 튜닝 범위는 공급 전압원의 적용 마진을 늘려 3.3V이하의 저전압원을 사용할 수 있게 함으로써 저전력 PLL 시스템 구현이 가능해진다. 그림 3은 전압 클램프 회로를 첨가한 지연셀의 구조를 나타낸 것이다.

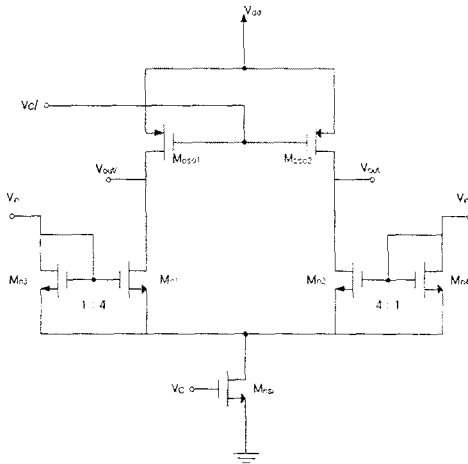


그림 3. 전압 클램프 지연셀의 회로도.

#### 2.1.1 트랜스컨덕턴스 $G_m$ 셀

$G_m$ 셀은 입력 전압을 전류로 전환시켜주는 셀로서 능동부하와 연결되어 최종 출력 전압을 유지시킨다. 셀의 설계는 VCO 이득을 최대로 하기 위하여 시스템의 슬루비와 같도록 설계하였다. 전체 트랜스컨덕턴스 값은 입력단의 트랜스컨덕턴스와 입력전압의 곱에 비례한다. 그러므로 전체 VCO 출력 전압의 스윙폭을 크게 하기 위해선 위상노이즈의 증가가 일어나지 않는 한도에서 지연셀의 출력전압을 되도록 크게 설계하고  $G_m$ 셀 입력단의  $g_m$ 을 크게하는 것이 좋다. 본 논문에서는  $G_m$ 셀 입력단의  $g_m$ 을 약 1.2mV로 하였으며 전체 트랜스컨덕턴스의 값은 -0.96mV이다. 그림 4에  $G_m$ 셀의 구조와 심볼을 나타내었다.

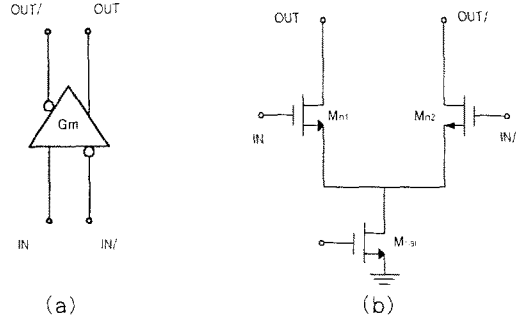


그림 4.  $G_m$  셀의 구조. (a) 심볼, (b) 회로도.

### 2.1.3 V-I 컨버터

V-I 컨버터는 제어전압에 비례하는 전류를 출력으로 내보내는 회로이다. 본 논문에서는 두 개의 전류복사단 (current mirror)을 이용하여 하나의 제어전압으로 전압 클램프 지연셀에 필요한 세 개의 전류원을 제어할 수 있는 구조를 채택하였다. 그림 5에 V-I 컨버터의 구조를 나타내었다.

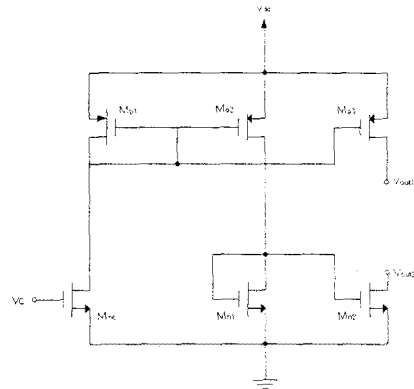


그림 5. V-I 컨버터의 회로도.

## 2.2 시뮬레이션 결과 및 고찰

본 논문에서는 제안된 VCO의 위상 노이즈의 개선 정도를 비교하기 위한 기존구조로써 9단의 전류 구동 인버터를 이용한 링 오실레이터형의 단일단 VCO를 채택하였다.

그림 6은 기존의 VCO와 제안된 전압 클램프 VCO의 제어전압  $V_c$ 에 따른 주파수 변화를 본 것이다. 제안된 VCO는 4분법을 이용하여 주파수 대역이 넓어지고 전압 클램프회로의 역할로 튜닝 범위가 더 넓어졌음을 결과로부터 알 수 있다. 전압클램프 VCO의 전압원에 대한 민감도는 다음식으로 나타 낼 수 있다.

$$S_{V_{dd}}^{\omega_f} = \frac{V_{dd}}{\omega_f} \times \frac{\Delta\omega_f}{\Delta V_{dd}} = \frac{5V_{dd}}{\omega_f} \times \Delta\omega_f$$

그림 7은 공급 전압원을 0.2V씩 변화시켰을 때 출력 주파수의 전압원에 대한 민감도의 변화를 나타낸 것이다. 결과로부터 동작 전압 3.3V에서 제안된 구조의 민감도가 0.15 더 떨어짐을 알 수 있다. 전원 전압원이

증가할수록 민감도가 떨어지는 이유는 지연셀의 전류가 증가하여 입력단의 트랜스컨덕턴스가 증가하므로 출력 노드의 전압 변화가 거의 없기 때문이다.

그림 8는 기존 구조와 제안된 구조에서 전원 전압에 대한 주파수 변화 양상을 보기 위해 몬테-카를로 (Monte-Carlo) 해석을 한 것이다. 수행 횟수는 50회이며 전원 전압을 평균값이 3.3V고 이 평균값의  $\pm 30\%$ 안이 3 $\sigma$ 점인 표준 정규분포 함수 안에서 임의로 변화시켰다. 결과로부터 제안된 구조의 출력 주파수 변화 범위가 더 작음을 알 수 있다.

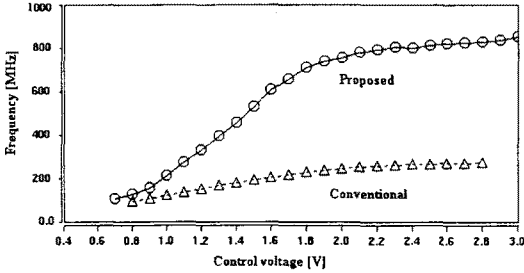


그림 6. 제어전압에 따른 주파수의 변화 특성 곡선.

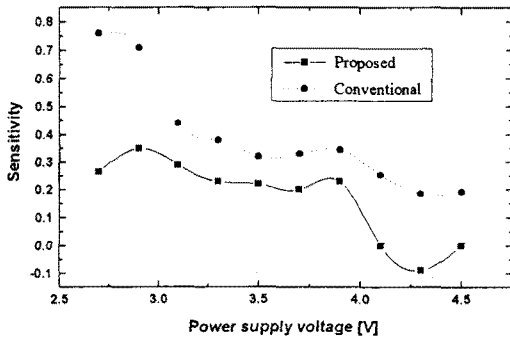


그림 7. 전원 전압에 대한 출력 주파수의 민감도.

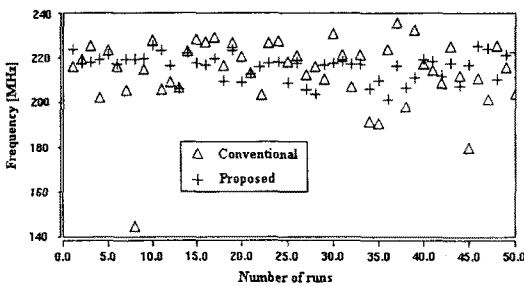


그림 8. 전원 전압에 대한 출력 주파수의 몬테-카를로 해석 특성.

### 3. 결 론

표준 CMOS 공정을 이용한 리렉세이션 VCO에 있어서 고주파수로 동작할수록 높은 위상 노이즈가 가장 큰 문제점으로 드러났으며, 이를 해결하기 위하여 본 논문

에서는 전압 클램프 지연셀 VCO를 제안하였다. 새로운 VCO는 고속 동작을 가능하게 하기 위하여 전압 클램프 지연셀 VCO에 4분법을 적용함으로써 기존의 구조보다 4배 가까이 큰 동작 주파수의 범위인 800MHz를 가진다. 새로운 VCO의 위상노이즈는 중심 주파수 215 MHz에서 사이드밴드 1MHz 오프셋 주파수에서 측정했을 때 기존의 링 오실레이터 타입 VCO보다 -7dBc/Hz 만큼 낮은 값이 측정되었다. 이로부터 20%~30% 정도 주파수 특성이 개선되었음을 알 수 있었다. 또한 전압 클램프 회로의 역할로 제어전압에 따른 입력 트랜지스터 쌍의 포화영역을 늘림으로써 조절가능도 넓어지도록 하였다. 이러한 특성으로 인하여 3.3V 미만의 저 전압 공급원의 사용이 가능해져 저전력 동작 특성을 얻을 수 있었다.

이 외에 제안된 VCO의 특징으로는 전압 클램프 지연셀의 입력단에서의 이득이 전원 전압에 대해 변화가 거의 없으므로 전원측의 기생 저항과 캐패시턴스에 의한 위상 노이즈 성분도 낮출 수 있다는 점이다. 표 1에 제안된 VCO의 특성을 나타내었다.

이상과 같이 몇 가지 결론으로부터 표준 CMOS 공정을 이용하는 4분법 전압 클램프 VCO를 적용하여 PLL을 설계할 경우 고속 동작 및 낮은 위상 노이즈를 갖는 PLL 시스템 실현이 가능하리라 예상되며, 저 전압 단일 고급전원을 이용한 저 전력 동작의 설계가 가능하여 휴대용 통신 기기 등의 응용분야에 이용 가능할 것으로 사료된다.

표 1. 제안된 VCO의 특성.

동작 특성	제한한 구조	기존 구조
동작 주파수 범위	800 MHz	200 MHz
위상 노이즈	-88.567 dBc/Hz	-82.46 dBc/Hz
민감도	0.23 (전원전압이 3.3V일 때)	0.38
전원 전압	2V ~ 3.3V	3.3V 이상

(참 고 문 헌)

- [1] Dan H. Wolaver "Phase-Locked Loop Circuit Design", Prentice Hall, 1991
- [2] Howard C. Yang, Lance K. Lee, and Ramon S. Co. "A Low Jitter 0.3-165 MHz CMOS PLL Frequency Synthesizer for 3V/5V Operation". IEEE J. Solid State Circuits, Vol 32, No 4, pp. 582~586, Apr. 1997
- [3] Mark G. JOHNSON and EDWIN L. HUDSON, "A Low Jitter 0.3-165 MHz CMOS PLL Frequency Synthesizer for 3V/5V Operation". IEEE J. Solid State Circuits, Vol 23, No 5, pp. 582~586, Oct. 1988
- [4] Yasuhiro SUGIMOTO, Takeshi UENO, Takaaki TSUJI, "Design of a Low-Voltage, Low-Power, High-Frequency CMOS Current-Mode VCO Circuit by Using 0.6 $\mu$ m MOS Devices", IEICE Trans. Fundamentals, Vol E80, No 2, pp. 304~312, 1997
- [5] Xiangdong Zhang, James Kramer, and Brian Rizzi, "A Theoretical and Experimental Study on Low-Voltage Bias Voltage Controlled Oscillators". IEEE MTT\_S Digest, pp. 845~848, 1997