

진상 위상 기법을 이용한 2단 링 구조 발진기 및
고속 나누기 2 회로의 고찰

황 중태, 우 성훈, 황 명운, 류 지열, 조 규형
한국과학기술원 전기 및 전자공학과

Two-Stage Ring Oscillator using Phase-Look-Ahead Mehtod and
Its Application to High Speed Divider-by-Two Circuit

Jong Tae Hwang, Sung Hun Woo, Myung Woon Hwang, Ji Youl Ryu and Gyu Hyeong Cho
Department of Electrical Engineering
Korea Advanced Institute of Science and Technology (KAIST)
Kusong-Dong, Yusong-Gu, Taejon, 305-701, Korea
TEL: +82-42-869-3424, FAX: +82-42-869-3410

Abstract - A CMOS two-stage oscillator applicable to requiring in- and quadrature-phase components such as RF and data retiming applications are presented using phase-look-ahead technique. This paper clearly describes the operation principle of the presented two-stage oscillator and the principle can be also applicable to the high speed high speed divide-by-two is usually used for prescaler of the frequency synthesizer. Also, the successful oscillation of the proposed oscillator using PLA is confirmed through the experiment. The test vehicle is designed using 0.8 μ m N-well CMOS process and it has a maximum 914MHz oscillation showing -75dBc/Hz phase noise at 100kHz offset with single 2V supply.

이러한 링 발진기는 차지하는 면적이 작으며 여러 위상의 신호를 얻을 수 있고 가변 범위가 매우 넓고 고속 동작이 가능한 장점이 있다. 특히 in-phase와 quadrature-phase를 동시에 발생하는 구조는 이미지 신호제거 또는 클럭이나 데이터 복원 회로에서 매우 유용하게 사용할 수 있다. 이러한 위상 조건을 만족하는 최소의 단의 링 발진기는 차동 형태의 2단 발진기이다. 그러나, 2단 발진기는 전체 루프의 위상 지연이 360도가 되어야하는 조건을 만족할 수가 없다. [2][3]에서는 지연회로를 첨가하여 2단 발진을 가능하게 하였으나 불필요한 전력을 낭비하고 능동 소자에서 발생하는 잡음이 더 많아진다. 본 논문에서는 위상 진상 기법(phase-look-ahead: PLA)을 이용해서 부가적인 지연단이 없는 2단 발진기를 제안한다. 또 이 이단 발진기는 고속 나누기 2 회로와 비슷한 특징이 있기 때문에 나누기 2 회로 설계에 이용할 수 있다.

1. 서 론

2. 2단 발진기 및 나누기 2 회로

전압 제어 발진기(Voltage Controlled Oscillator: VCO)는 통신에 관계된 응용 분야에서 널리 사용되는 대표적인 아날로그 회로이다. 특히 최근에는 이동 통신 단말기의 수요가 급증하고 있고 이에 따라 저 전력이면서 소형, 경량을 추구하기 때문에 VCO를 포함한 통신 시스템을 단일칩화 하려는 노력이 활발히 진행중이다. LNA, mixer등과 함께 VCO는 통신 시스템의 성능을 좌우하는 중요한 소자이다. 위상 잡음이 크면 신호와 믹싱되는 과정에서 신호대 잡음비를 떨어뜨리기 때문이다. VCO의 위상 잡음을 개선하기 위해서는 잡음원을 없애는 동시에 인덕터의 구조상 증폭되는 잡음을 충분히 감쇄시키는 소자적 접근이 필요하다. 가장 간단하면서 효율적인 방법은 Q가 큰 부하를 이용하여 VCO를 만드는 것이다. Q가 큰 부하는 크리스탈이 대표적인데 10,000정도의 Q를 가지고 있으나 동작영역이 낮고 주파수 가변이 어려운 단점이 있다. 이보다 낮거나 비슷한 정도의 Q를 갖는 공진체로는 스프링 형태를 갖는 기계적인 구조체가 있다. 그러나, 이 구조체를 저전압으로 구동하기 위해서는 MEMS 공정이 필요하고 또 높은 진공도를 요구한다. 최근에는 저렴한 온 칩(on-chip) 인덕터를 이용한 접근이 활발히 이루어지고 있다. CMOS공정으로 0.5~3GHz 대역에서 Q가 1 이상인 인덕터를 사용할 수 있다. 그러나 면적을 많이 차지하는 단점이 있다.

2.1 위상진상기법

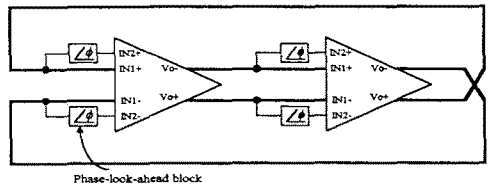


그림 1. 진상 위상 기법을 이용한 완전 차동형 2단 발진기.

이상에서 소개한 공진체를 사용하지 않으면서 단일 공정을 이용하여 얻을 수 있는 가장 대표적인 발진기는 링 구조의 발진기이다. 최근에는 quasi-direct 통신 기법[1]이 제안되면서 링 발진기와 PLL구조를 이용해서 링 발진기를 이동통신 시스템에 적용할 수 있는 가능성이 높아졌다.

그림1에 진상 위상 기법을 이용한 2단 발진기가 있다. 위상 진상 기법이란 입력에 ϕ 도 위상이 앞선 신호를 첨가하여 발진을 가능하게 하는 기법을 말한다. 그림 1의 회로에서 하나의 지연소자의 입, 출력 위상관계를 살펴기 위한 등가회로가 그림 2(a)에 있다. 이 등가회로의 입,출력 위상 관계가 그림 2(b)에 있다. 2단 발진기는 한 단에서의 지연이 90도를 만족해야하는 데 RC 부하를 사용하는 경우 90도 위상 지연을 만족할 수 없다. 만족한다하더라도 이득이 충분치 않기 때문에 발진을 하지 않는다. 그러나 본 논문에서 제안하는 것처럼 앞선 위상을 첨가해서 입력에 가한다면 그림 2(b)처럼 트랜스컨덕터의 출력 전위위상이 θ

도 앞서기 때문에 부하에서 만족해야하는 위상 지연이 90-θ도가 되므로 발진이 가능해진다. 그림 2(b)는 θ가

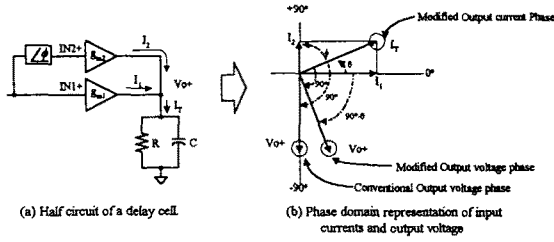


그림 2. 2단 발진기의 입출력 위상 관계.

90도일 때이다. 90도 앞선 신호는 2단 발진기가 발진 할 때 얻을 수 있으므로 위상 진상기를 특별히 설계할 필요는 없다. 그림 2(b)의 위상 관계로부터 발진주파수를 쉽게 구할 수 있다. 발진주파수 ω_o는 다음과 같은 관계를 가진다.

$$\omega_o = \frac{1}{RC} \tan\left(90 - \tan^{-1} \frac{g_{m3}}{g_{m1}}\right) = \frac{1}{Rc} \frac{g_{m1}}{g_{m3}} \quad (1)$$

구현한 회로는 그림 3과 같다. 그림 3에서 M1-2, M7-8이 90 위상 진상된 전류를 출력에 가하는 역할을 하는 트랜지스터이다. M5-6, M11-12는 같은 크기의 트랜지스터로 전계 루프를 형성하는 트랜지스터이다. M1-2, M7-8과 M5-6, M11-12의 크기를 조정함으로써 트랜스컨덕턴스비를 조정할 수 있고 바이어스 전류 I_{TUNE}을 조절함으로써 튜닝이 가능해진다. M3-4, M9-10은 발진 진폭을 제한하는 트랜지스터로 고속동작에 도움을 주지만 없어도 동작에는 문제가 없다. 일반적으로 출력 스윙이 커야 위상 잠을 측면에서 유리하기 때문에 M3-4, M9-10을 제거하는 것이 좋을 수 있다. 그러나, 원하는 주파수로 동작시킴에 있어서 전력 소모는 증가하게 된다.

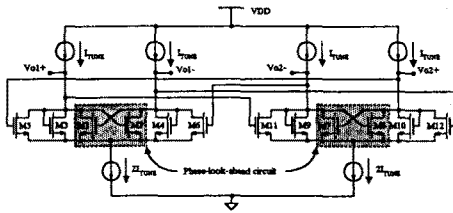


그림 3. 위상 진상 기법을 이용한 2단 발진기 회로.

2.2 나누기 2 회로

그림 4에 고속 나누기 2 회로가 있다. 고속동작을 가능하게 하기 위해서 회로의 전체적인 구성은 ECL 로직과 유사한 형태로 되어 있다. 그림 4의 회로를 유심히 살펴보면 M1과 M2가 스위치로 동작해서 M3-4로 구성된 프리 앰프와 M5-8로 구성된 래치 단을 각각 구동하는 것을 제외하면 2단 발진기와 동일하다는 것을 알 수 있다. 그림 4의 회로를 설계시 M1-8의 크기와 전류의 크기를 결정하는 것은 상당히 경험에 의존하며 동작 주파수 영역과 최대 동작 가능한 주파수를 찾기 위해서는 여러 번의 트랜지언트 해석을 수행해야 할 수 있다. 또한 동작 영역을 바꾸기 위해서는 어느 트랜지스터를 또는 전류를 얼마만큼 변화

시켜야 하는지 알기 어렵다. 그러나 앞서 설명한 2단 발진기의 특성과 유사한 점을 이용한다면 간단하게 최대 동작 주파수를 예측할 수 있고 동작 주파수를 바꾸기 위해서는 어떻게 해야 하는지 알 수 있다.

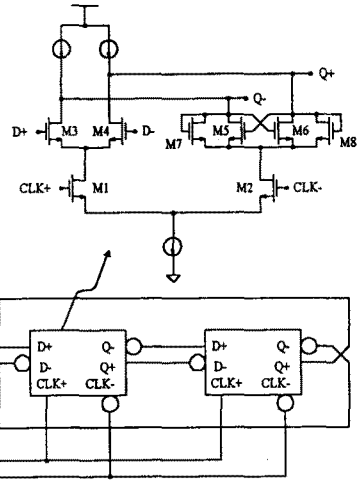


그림 4. CMOS 고속 나누기 2 회로.

이 회로의 최대 동작 주파수는 이 회로가 발진할 때 주파수의 2배가 된다. 나누기 2 회로가 제대로 동작하기 위해서는 CLK+/CLK- 신호에 의해서 출력이 제어되어야 한다. 그러나 고주파에서 M1과 M2는 CLK+와 CLK-에 의해서 완벽히 on/off하지 않는다. 따라서 프리 앰프 단과 래치 단중 하나씩 번갈아가며 동작하고 있는 상황이 아니다. 또한, CLK+/CLK- 주파수가 증가하면 Q+/Q-까지의 지연이 증가하면서 앞서 설명한 것처럼 발진이 일어날 수 있다. M5-6가 PLA기능을 하기 때문이다. 따라서 고주파 동작을 시키기 위해서는 수식 (1)과 같이 M5-6보다 M3-4의 트랜스컨덕턴스를 크게 해야 한다. 이러한 조건을 만족하기 위해서는 M1과 M2의 크기를 조정해서 센스 앰프 단에 전류가 더 많이 공급 될 수 있도록 설계해야 한다. 또한 수식 (1)과 같이 출력 부하의 임피던스를 작게 해야하므로 M7-8의 리미팅 트랜지스터를 첨가하면 최대 동작 주파수를 높이는 데 일조할 수 있다. 이상의 사항을 정리하여 설계 순서를 정하면 다음과 같다.

- ① 동작시키려는 CLK의 최대 주파수가 f_o라고 하자.
- ② 기생 커패시터의 값을 대략 고려하여 전류와 각 트랜지스터의 크기를 결정한다.
- ③ CLK+/-에 DC 동작점을 잡은 후 트랜지언트 모의 실험을 통해 나누기 2회로의 발진 주파수를 찾는다. 이 때 발진 주파수를 f_{osc}라 하자. 그렇다면 대략의 최대 동작주파수는 2f_{osc}가 된다. 이 값이 f_o보다 작다면 M5-6, M2의 크기를 줄인다. 반대의 경우라면 M3-4, M1의 크기를 줄인다.
- ④ 최대 동작 주파수를 바꾸는 것은 수식 (1)과 같은 관계를 이용하면 된다. MOS의 트랜스컨덕턴스는 √(W/L)·I (W/L은 MOS의 aspect ratio, I는 드레인 전류)에 비례하므로 M3-4, M5-6의 크기를 반으로 줄이고 바이어스 전류를 반으로 줄이면 최대 동작 주파수는 수식 (1)에 의해서

대략 반으로 줄게 된다.

3. 실험 및 결과

그림 3의 회로를 CMOS $0.8\mu\text{m}$ N-well CMOS 공정을 사용하여 제작하고 실험하였다. 그림 5가 제작된 발진기의 칩 사진이다. 칩의 크기는 $50\ \Omega$ 출력 버퍼를 제외했을 때 $275 \times 245\ \mu\text{m}^2$ 이다. 전원 전압은 2V를 가하였다. 바이어스 전류를 2.5mA까지 가변 하였을 때 최대 914MHz 동작을 하였다. 전류 제어 방식의 발진기이므로 낮은 전압에서도 넓은 주파수 튜닝이 가능하였다. 그림 6에 전류에 따른 주파수의 변화 측정 결과가 있다. 100 ~ 900MHz까지 넓은 범위에서 발진이 가능했다. 제작된 회로는 저 전압에서도 동작 가능하게 하기 위하여 M1-2, M5-6의 크기를 각각 $24\mu\text{m}$, $240\mu\text{m}$ 로 설계하였다. 측정된 위상 잡음 그림 7처럼 914MHz에서 100kHz 떨어진 주파수에서 -75dBc/Hz 였다. 이 정도는 보통의 링 발진기와 같은 잡음 수준이다. 그러나 차이점은 전 전압으로 구동했다는 점이다. 저 전압에서는 출력 스윙이 작기 때문에 위상 잡음이 좋을 수 없다. 그림에도 5V를 사용한 링 발진기와 위상 잡음 면에서 큰 차이를 보이지 않았으므로 전압을 높이고 스윙을 제한하는 트랜지스터 M5-6을 제거한다면 더 좋은 위상 잡음을 얻을 수 있음을 시사하는 것이다. 더 높은 전압에서 구동을 한다면 MOS 트랜지스터의 크기 또한 줄일 수 있으므로 저 잡음 특성에 도움이 될 것이다.

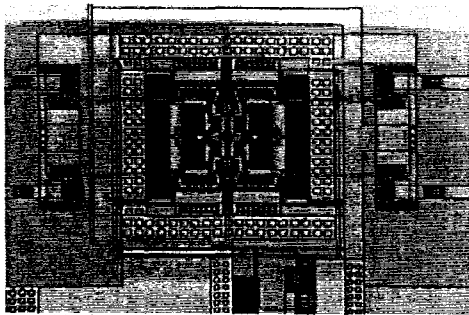


그림 5. 제작된 2단 발진기의 칩 사진.

4. 결론

본 논문에서는 진상 위상 기법을 이용해서 부가적인 지연 없이 2단 링 발진기를 제안하였다. 이를 위해 입력이 두 쌍인 차동 지연 단을 이용하였다. 위상은 최대 90도 진상된 것을 이용할 수 있는 데, 논문에서는 90도 진상된 위상을 이용하였다. 90도 진상된 위상은 2단 발진기에서 쉽게 얻을 수 있으므로 진상기를 만드는 데 별다른 어려움은 없다. 이상에서 소개한 위상 진상 기법은 입, 출력 전압 전류의 위상 관계를 이용하여 명쾌하게 발진 특성을 유도하였다. 유도한 결과는 Barkhausen 발진 조건을 이용한 결과와 동일하다. 결과적으로 제안된 2단 발진기는 고속 나누기 2회로와 비슷하기 때문에 2단 발진기의 설계시 유용하게 사용할 수 있다. 본 논문에서 제안하는 2단 발진기는 $0.8\mu\text{m}$ N-well CMOS 공정을 이용하여 제작을 하였으며 2V 전원 전압에서 최대 914MHz 발진이 가능하였으며 100kHz 윗셋 주파수에서 -75dBc/Hz 의 위상 잡음을 얻었다.

본 논문에서 제안하는 2단 발진기는 그 구조가 매우 간단하고 전류 제어 방식이기 때문에 저전압 구동이 가능하기 때문에 저 전압으로 동작하는 통신 시스템에 적합하다. 또한 저 전압에서도 만족할 만한 위상 잡음을 얻을 수 있

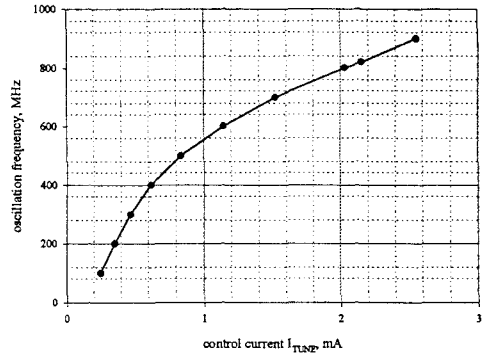


그림 6. 제어 전류에 따른 출력 주파수의 변화 특성 곡선

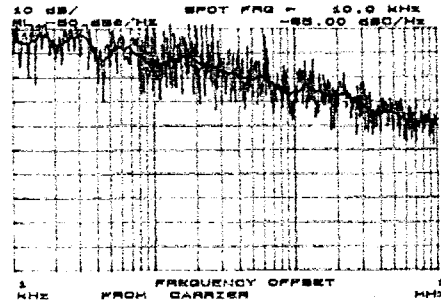


그림 7. 914MHz에서 2단 발진기의 위상 잡음 측정 결과.

으므로 위상 잡음 특성이 비교적 넉넉한 quasi-direct 수신기 및 마이크로 프로세서, 시리얼 디지털 통신기의 클럭 복원회로 등에 이용할 수 있다.

[참고 문헌]

- [1] J.C. Ridell, et al, "A 1.9-GHz Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications," IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 2071-2088, Dec. 1997.
- [2] B. Razavi, "A 2.5-Gb/s 15-mW Clock Recovery Circuits," IEEE J. Solid-State Circuits, vo. 31, no. 4, pp. 472-480, April 1996.
- [3] T.S. Aytur, B. Razavi, "A 2-GHz, 6-mW BiCMOS Frequency Synthesizer," IEEE J of Solid-state Circuits, vol. 30, no. 12, pp. 1457-1462, Dec. 1995.
- [4] D.Y. Jeong, S.H. Chae, W.C. Song and G.H. Cho, "High Speed Differential Voltage Clamped Current Mode Ring Oscillator," IEE Electronics Letters, vol. 33, no. 13, pp. 1102-1103, June 1997.