

초음파진단기용 8-b, 40-MS/s,
Folding and Interpolating A/D 변환기의 설계

류승탁*, 이병우*, 홍영욱*, 최배근*, 조규형*
(*한국과학기술원 전기 및 전자공학과)

An 8-b, 40-MS/s, Folding and Interpolating ADC
for Ultrasound Imaging System

Ryu Seung-tak*, Lee Byung-woo*, Hong Young-wook*, Choi Bea-geun*, Cho Gyu-hyeong*
(*KAIST Electrical Engineering)

Abstract - 초음파 진단기의 신호처리에 필요한 8-b 해상도와 40MS/s 이상의 변환속도를 갖는 ADC를 Folding and Interpolating 형태로 설계했다. 전력소모와 입력단의 오프셋에 의한 영향을 줄이기 위해 프리앰프의 출력을 Interpolation하여 그 개수를 절반으로 줄임으로써 전력소모를 줄였고, 기존의 전압모드 Interpolation 회로에서의 단순한 source follower를 정제환을 이용한 버퍼의 형태로 바꾸어 이득을 개선시킴으로써 전압의 이용율을 높일 수 있었다. ADC에서 가장 중요한 비교기를 설계함에 있어서는 다이내믹 전력소모만 있는 구조에 킥-백 노이즈를 줄이기 위한 설계를 했다. 0.65um CMOS 공정을 이용해 설계되었고, Layout 결과 칩의 면적은 1.3mm×1.3mm, 모의 실험결과 40MS/s에서 70mW의 전력을 소모하였다.

1. 서 론

초음파진단기는 인간의 가청주파수 이상의 1MHz~10MHz 사이의 펄스신호를 인체에 방사해서 반사되는 신호로 이미지를 나타내는 시스템이다.[1] 이 논문에서는 이 시스템에 적합한 ADC를 설계하는 것이 목적이다. A/D 변환기의 구조중 가장 변환속도가 빠른 것이 Full-Flash 형태의 변환기이다. 잘 알려진 바와 같이 이 구조는 한 순간에 모든 비교기가 입력과 기준전압을 비교하여 출력을 결정하므로 S/H가 필요 없고, 빠른 변환특성을 갖는다. 그러나 해상도가 n비트일 때, $2^n - 1$ 개의 비교기가 필요하게 된다. 그러므로 고속, 고해상도의 Flash A/D 변환기는 많은 수의 비교기로 인해 상당한 칩 면적과 전력소모를 갖게 되는 큰 단점을 가지고 있다. 이러한 단점을 극복하기 위해 제안된 구조중의 하나가 Folding and Interpolating 구조이다. 이 구조 역시 S/H를 사용하지 않고도 구현이 가능하며, 2-스텝 ADC와 비슷한 원리를 사용함으로써 비교기의 개수도 상당히 줄이는 장점을 갖는다. 게다가 이러한 특징들로 인해 입력 커패시턴스, 전력소모, 칩 면적 등이 줄어들게 된다. 최근까지 이 방식을 이용한 ADC는 6비트의 해상도부터 12비트까지 광범위하게 발표되었다[2]~[13]. 개념적인 Folding and Interpolating ADC의 블록도를 그림.1에 나타내었다. 다른 경로를 통해 상위비트와 하위비트를 동시에 얻음으로써 고속동작이 가능하다. 이 구조의 원리를 5-비트 Flash ADC와 개념적으로 비교한 그림이 그림.2에 있다. 이 그림에서처럼 Flash ADC는 입력에 대해 선형적으로 모든 비트들을 결정함으로써 상당한 수의 비교기를 필요로 하는 반면, Folding and Interpolating ADC는 Folding이라는 선처리 과정에 의해 정의해야 할 레벨이 줄어들어 비교기의 개수를 줄일 수 있는 것이다.

2. 본 론

2.1 설계된 ADC의 블록도

그림.3에 설계된 ADC의 블록도를 보였다.

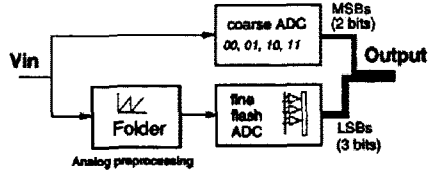


그림.1 5-비트 Folding and Interpolation ADC의 블록도

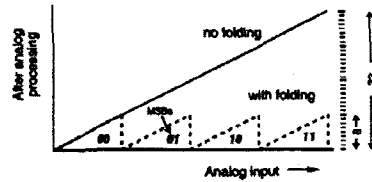


그림.2 Flash vs. Folding ADC

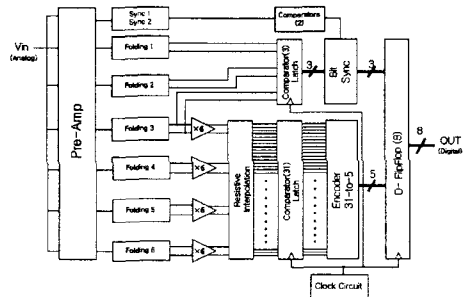


그림.3 설계된 ADC의 블록도

전체 구조는 기존의 것들과 유사하다. 폴딩을 (Fr)=8, 병렬 폴딩블럭의 개수(FBN)=4, 그리고 인터폴레이션율(Ir)=8로 전체 시스템을 꾸렸다. 이 설정은 이 구조의 8비트 ADC에서 가장 적합한 구조로 알려져 있다.[8][11] 설계된 구조를 설명하면, 입력된 신호를 증폭하기 위한 제안된 pre-amp가 있고, 인터폴레이션 신호의 크기를 보장해 주기 위한 증폭기가 폴딩블럭의 출력에 연결되어 있다. 그 뒷부분은 제안된 인터폴레이션 회로와 비교기가 연결되어 있다. 이 구조는 상위비트와 하위비트가 결정되는 시간의 차이가 있을 수 있어, 최대 MSB/2의 오차를 가지고 올수도 있다. 따라서 반드시 결과들의 동기를 맞추는 회로가 필요하다. 이것이 Bit-sync회로이다.

2.2 회로의 구현

A. 프리앰프와 폴딩회로

Folding 회로는 기존의 구조에서와 같이 차동증폭기의 입력단을 교차시켜 연결함으로써 구현하였다. 대부분의 경우 폴딩회로의 이득이 작기 때문에 입력단에서 분

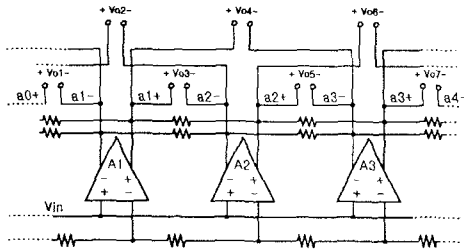


그림.4 제안된 프리앰프의 구조

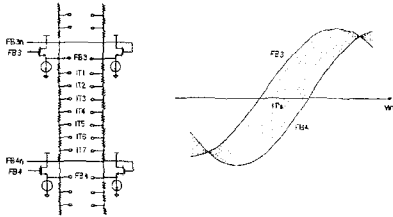


그림.5 기존 인터플레이션 회로와 출력파형

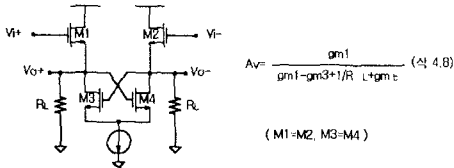


그림.6 적용된 인터플레이션 회로의 버퍼와 그 이득

산된 프리앰프를 거치는 것이 보통이다.[9][12][13] 이 부분이 비교적 전력을 많이 소모하는 부분이다. 본 논문에서는 프리앰프의 개수를 절반으로 줄이면서 그 기능을 할 수 있도록 설계했다. 즉, 제거된 프리앰프의 출력은 그 인접한 앰프의 출력을 서로 연결함(앰프 출력을 인터플레이션)으로써 얻어낼 수 있다. 이 방식은 플래쉬 ADC에서 사용이 되어왔는데[16], Folding 구조에서는 이득이 원래 앰프의 신호와 인터플레이션된 신호의 이득이 같아야 하는 추가적인 제약이 생기게 된다. 회로는 그림.4에 나타났다. 또한 입력단의 오프셋 영향을 줄이기 위해 저항성 오프셋 평균화 방식을 적용하였다.

B. 인터플레이션 회로

인터플레이션이란 신호의 사이값을 추출해 내는 방식으로 전압방식과 전류방식이 있다.[8][9][10] 여기서는 전압방식을 써서 그 회로를 개선하도록 했다. 보통의 방식은 그림.5에서처럼 source follower를 버퍼로 사용하는 방식인데, 이것은 전압이득이 작기 때문에 여기서는 정제환으로 이득을 주는 회로를 이용했다.[20] 그림.6에 이 회로를 보였다. 이 회로를 이용함으로써 모의 실험결과 이득이 거의 1로 나타났다.

C. 비교기

비교기는 ADC에서 가장 중요한 셀로서 전력도 가장 많이 소모하는 부분이다. 따라서 최근에는 바이어스 상태에서는 전류의 흐름이 없고, 신호의 변화시에만 전류 소모가 나타나는 구조를 많이 이용하고 있다. 그런데 이 구조는 클럭에 의한 키패노이즈가 상당히 큰 단점이 있다. 그림.7 (a)에 기존 구조의 한 예[19]를 보였고, (b)에는 제안된 회로를 보였다. (a)의 회로는 스위치가 입력 트랜지스터의 바로 위에 위치하므로 클럭 피드스루의 영향을 크게 받는 단점이 있어서, 본 논문에서는 스위치와 입력트랜지스터를 떨어뜨려 놓았다. 또한 정제환의 영향으로 입력 트랜지스터의 드레인 전압이 1V이상

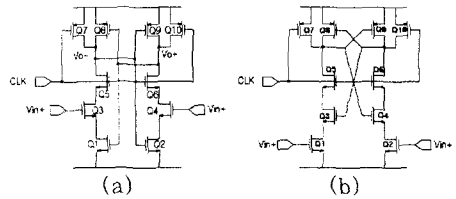


그림.7 기존구조(a)와 제안된 구조(b)의 비교기

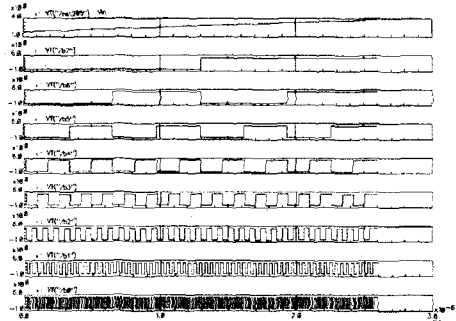


그림.8 ramp입력에 대한 각 비트의 출력

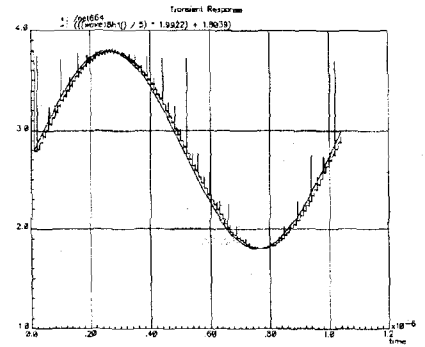


그림.9 1MHz의 입력신호가 A/D 변환 후 다시 D/A를 거친 결과의 출력

변화하지 않으므로 클럭의 변화에 따른 노이즈의 영향이 작게 나타나는 장점을 갖게 된다.

D. 다른 회로들

그 외의 회로들은 앞에서 언급한 상위 비트와 하위 비트의 동기를 맞추기 위한 Bit synchronization 회로, 비교기의 출력을 디지털 코드로 바꾸기 위한 로직, 그리고 클럭 드라이버와 출력버퍼로 구성되어 있다.

2.3 구현된 ADC의 모의실험 결과

설계된 ADC는 5V의 단일 전원을 사용하였고, 아날로그 신호의 입력범위를 2V로 설정하였다. 일단 설계된 회로가 오차없이 모든 출력코드가 나오는지 확인하기 위해 입력에 전체 입력범위로 변하는 ramp 신호를 주었을 때의 모의실험 결과를 그림.8에 나타내었다. 그림에 보이는 바와 같이 모든 코드가 출력됨을 볼 수 있었다. 또 1MHz의 신호가 입력될 때, 출력코드의 변화를 보기위해 ADC의 출력에 이상적인 DAC를 연결한 경우의 모의실험을 그림.9에 나타내었다. DAC출력에 보이는 피크는 각 출력코드의 변화시간에 약간의 오차가 있기 때문에 연산의 결과로서 생긴 것이다. 모의 실험의 결과에서 알 수 있듯이, 설계된 회로는 오차없이 동작함이 확인되었다. 이것은 0.65um CMOS 공정으로 설계되었고, 현재 공정중에 있다. 실제 칩면적은 1.7mm²

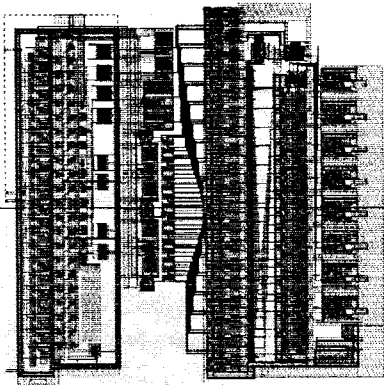


그림.10 설계된 ADC의 Layout

Technology	0.65um CMOS
Resolution	8-bit
Signal Bandwidth	10MHz
Maximum Clock Frequency	100MHz 이상
Analog Input Voltage Range	2V (1.8V~3.8V)
Input Capacitance	0.5pF
Supply Voltage	5V Single
Power Dissipation	70mW @ 40MS/s

표. 결과 요약

정도이다. Layout한 그림을 그림.10에 보였다.

3. 결 론

설계된 ADC의 주요 아이디어는 프리앰프의 개수를 기존 방식의 절반으로 줄여 전력 소모와 입력 커패시턴스를 상당히 감소시키는 것이다. 또한 개선된 형태의 버퍼구조를 인터플레이션 회로에 적용함으로써 효율을 높였고, 기존의 비교기의 구조를 개선해 Kick-back 노이즈를 상당히 줄여 노이즈에 의한 오차가 덜 생기도록 했다. 그 결과 5V 전원에서 40MS/s에 70mW 정도의 전력을 소모하고, 입력 커패시턴스도 0.5pF으로 상당히 작게 나타났다. A/D 변환 속도는 100MS/s까지는 충분히 동작했다.

(참 고 문 헌)

[1] 이광, "초음파 영상 시스템의 해상도를 높이기 위한 튜닝 범위가 넓은 Gm-C 대역 통과 필터의 설계" 한국과학기술원 석사학위 논문, 1997.
 [2] R. Van de Plassche, *Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer, The Netherlands, 1994.
 [3] R. Van de Grift and R. Van de Plassche, "A monolithic 8-bit video A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-14, no. 6, pp.374-378, June 1984.
 [4] R. Van de Grift *et al.*, "An 8-bit video ADC incorporating folding and interpolation techniques," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 6, pp.944-953, Dec. 1987.
 [5] R. Van de Plassche and P. Baltus, "An 8-bit 100MHz Full-Nyquist ADC," *IEEE J. Solid-State Circuits*, vol. SC-14, no. 6, pp.938-943, Dec. 1988.
 [6] C. J. Van Valburg and R. Van de Plassche, "An 8 b 650MHz folding ADC," *IEEE J. Solid-State Circuits*, vol. 27, pp.1662-1666, Dec. 1992
 [7] M. Steyaert, R. Roovers, and J. Craninckx, "A

100MHz 8b CMOS interpolating ADC," in *Proc.CICC'93*.
 [8] B. Nauta and A. G. W. Venes, "A 70MS/s 110mW 8 b CMOS folding and interpolating A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp.1302-1308, Dec. 1995.
 [9] M. Flynn and D. Allstot, "CMOS folding ADC's with current-mode intrpolation," *IEEE J. Solid-State Circuits*, vol. 31, no. 9, pp.1248-1257, Sept. 1996.
 [10] R. Roovers and M. Steyaert, "A 175MS/s. 6 b. 160mW, 3.3V CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp.938-944, July 1996.
 [11] A. G. W. Venes and R. van de Plassche, "An 80MHz 80mW 8b CMOS folding A/D converter with distributed T/H Preprocessing," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp.1846-1853, Dec. 1996.
 [12] K. Bult and A. Buchwald, "An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm²," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp.1887-1895, July 1996.
 [13] P. Vorenkamp, R. Roovers, "A 12b 50MS/s cascaded folding and interpolation ADC," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp.1876-1886, July 1996.
 [14] K. Kattmann and J. Barrow, "A technique for reducing differential non-linearity Errors in Flash A/D converters," in *ISSCC Dig. Tech. Papers*, 1991, pp.170-171
 [15] Hiroshi Kimura *et al.*, "A 10-b 300-MHz Interpolated-Parallel A/D converter," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp.438-446, Apr. 1993.
 [16] W. T. Colleran and A. Abidi, "A 10-b, 75-MHz two-stage pipelined bipolar A/D converter," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp.1187-1199, Dec. 1993.
 [17] Hotta *et al.*, "A 150-mW 8-bit video-frequency A/D converter," *IEEE J. Solid-State Circuits*, vol. sc-21, no. 2, pp.318-323, Apr. 1986.
 [18] A. Yukawa "A CMOS 8-bit high-speed A/D converter IC," *IEEE J. Solid-State Circuits*, vol. sc-20, no. 3, pp.775-779, June 1985.
 [19] W.C.Song *et al.*, "A 10-b 20-MS/s low-power CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp.514-521, May 1995.
 [20] R. Castello *et al.*, "A high-linearity 50- CMOS differential driver for ISDN Application," *IEEE J. Solid-State Circuits*, vol. 26, no. 12, pp.1809-1816, Dec. 1991.