

가변적인 입력 주파수를 가지는 위상차 검출 회로의 설계에 관한 연구.

변광균, 강이구, 김동남, 오름, 성만영
고려대학교 전기공학과

A Study on the Design of the Phase Detector
with Variable Input Frequency

Kwang Kyun Byun, Ey Goo Kang, Dong Nam Kim, Reum Oh, Man Young Sung
Department of electrical engineering Korea Univ.

Abstract - In this paper, a new phase detector which can detect phase difference of variable input frequency and represent as a DC voltage is designed. The proposed phase detector has detection range from -180° to 180° . It is implemented by digital electronic circuit.

It operates from 125 kHz to 4 MHz frequency of input signal and it's maximum phase error is $360/256^\circ$.

1. 서 론

산업 전반에 걸친 대용량화는 많은 정보를 빠르게 처리하기 위하여 시스템의 고속화를 부추기고 있다. 시스템의 고속화를 위해서는 시스템에 사용되는 클럭의 주파수가 높아져야하며 클럭의 주파수가 높아짐에 따라 시스템 내부에서의 클럭이나 입력 신호의 지연에 의한 입력 신호와 클럭의 위상차는 시스템 전체의 동작에 치명적인 문제를 유발하게 된다[1]. 이러한 문제를 해결하기 위해서는 시스템 내부에서의 클럭과 입력 신호간의 위상차를 최소화해 주어야 하며, 이런 문제를 해결하기 위하여 제안된 것이 PLL과 DLL이다[2].

PLL이나 DLL은 내부 신호와 입력 신호간의 위상차를 검출하여 DC 전압으로 나타낸 후, 이 DC 전압으로 내부 신호의 주파수를 조절하여 두 신호간의 위상차를 최소화하는 역할을 하게 된다. 따라서 내부 클럭과 입력 신호간의 위상차를 DC 전압으로 변환하는 역할을 하는 회로가 필요하게 되는데, 이것이 위상차 검출 회로이다.

일반적인 위상차 검출 회로는 위상 비교기의 출력값을 차지 펌프(charge pump)를 이용하여 DC 전압으로 변환하는 구조로 설계되었다[3]. 그러나 이 구조는 두 입력 신호의 위상차 시간을 비교하여 DC 전압으로 출력하는 구조로 위상차를 직접 비교할 수는 없게 된다. 따라서 입력 신호의 주파수가 고정되어야 한다는 제한을 가지게 된다.

본 논문에서는 이러한 기존 구조의 위상차 검출 회로의 한계성을 극복하기 위하여 새로운 구조의 위상차 검출 회로를 제안하였다. 제안된 구조는 두 입력 신호의 위상차의 시간을 비교하되, 동시에 입력 신호의 주기를 검출하여 전체 주기 중에 위상차 시간이 차지하는 시간을 DC 전압으로 출력하는 구조로 설계하였다. 또한 위상차 시간과 주기를 8 비트의 디지털 데이터 값으로 나타내어 처리하는 구조로 설계되어 기존의 위상차 검출 회로에 비하여 잡음 특성을 개선하였다[4]. 그리고 125 kHz에서 4 MHz 사이의 입력 주파수를 가지는 신호에 대한 시뮬레이션을 통하여 제안된 위상차 검출 회로의 위상차/전압 특성을 검증함으로써 제안된 위상차 검출 회로의 활용 가능성을 검토하였다.

2. 가변 입력 주파수를 가지는 위상차 검출 회로의 설계

본 논문에서 제안된 위상차 검출 회로는 두 입력 신호 중 기준이 될 입력 신호의 주기를 검출하기 위하여 512 MHz의 내부 클럭으로 기준 신호의 주기를 카운트하여 8 비트의 데이터로 나타낸다. 동시에 기준 신호의 주기에 따라 512 MHz, 256 MHz, 128 MHz, 64 MHz, 32MHz의 주파수를 가지는 클럭 중 하나의 클럭을 선택하여 두 입력 신호의 위상차 시간을 카운트함으로써 위상차 시간에 대한 8 비트의 데이터를 얻는다. 또한 위상차의 방향이 (-) 인지 (+)를 검출하여 1 비트의 데이터를 얻는다. 이렇게 얻어진 17 비트의 데이터는 디지털 데이터 처리 과정을 거쳐 DC 전압으로 변환된다.

그림 1은 제안된 위상차 검출 회로의 전체적인 블록 다이어그램을 보여주고 있다.

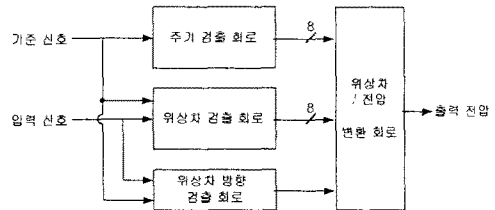


그림 1. 제안된 위상차 검출 회로의 블록 다이어그램

2.1 주기 검출 회로

주기 검출 회로는 입력 신호의 주기를 512 MHz의 내부 클럭으로 카운트하여 8 비트의 디지털 데이터 값으로 나타내는 회로이다. 입력 신호의 범위는 125 kHz에서 4 MHz이므로, 입력 신호 주기의 최대값은 $8\mu s$ 이며, 이 값을 512 MHz의 내부 클럭으로 카운트하기 위해서 필요한 최소 비트수는 12임을 알 수 있다. 또한 이 12 비트의 카운터는 주기를 검출한 후, 유효한 8 비트의 데이터만을 8 비트 레지스터에 저장한 후, Reset 되어 다음의 주기를 검출하게 된다. 이처럼 12 비트 카운터는 클럭 입력, 출력, reset을 제어하는 그림 2와 같은 신호가 필요하다.

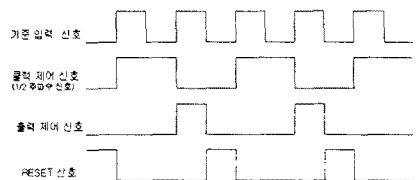


그림 2. 12 비트 카운터 제어 신호

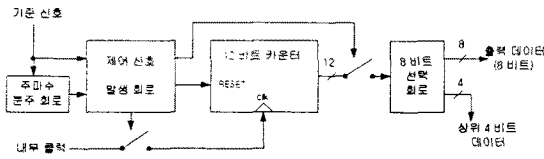


그림 3. 주기 검출 회로의 블록 다이어그램

그림 3 은 주기 검출 회로의 블록 다이어그램이며, 12 비트 카운터의 상위 4 비트는 위상차 시간 검출 회로의 제어 신호가 된다.

2.2 위상차 시간 검출 회로

위상차 시간 검출 회로는 두 입력 신호의 위상차 시간을 7 비트의 카운터로 카운트하여 8 비트의 데이터를 출력한다. 검출할 수 있는 두 입력 신호의 최대 위상차는 180°이며, 입력 주파수의 변화에 따라 검출해야 하는 위상차 시간은 변화하게 된다. 따라서 위상차의 시간을 검출하는 7 비트 카운터의 클럭은 입력 신호의 주파수에 따라 달라져야 하며, 이것은 주기 신호 검출 회로의 상위 4 비트 데이터에 의해 결정된다. 입력 신호의 주파수와 내부 클럭간의 관계는 표 1 에 나타난 것과 같다. 표 1 에 나타난 각각의 클럭들은 주파수 분주 회로를 이용한 클럭 발생 회로에 의해 발생되며, 12 비트 카운터의 상위 4 비트 값에 의해 선택된다.

표 1. 입력 주파수에 따른 내부 클럭의 주파수

클럭 주파수 (Hz)	입력 주파수 범위 (Hz)	12 비트 카운터의 상위 4비트 데이터			
		D ₁₁	D ₁₀	D ₉	D ₈
512 M	2 M ~ 4 M	0	0	0	0
256 M	1 M ~ 2 M	0	0	0	1
128 M	500 k ~ 1 M	0	0	1	x
64 M	250 k ~ 500 k	0	1	x	x
32 M	125 k ~ 250 k	1	x	x	x

위상차 시간 검출 회로 역시 주기 검출 회로와 마찬가지로 위상차 시간을 카운트한 후, 이 데이터를 8 비트 레지스터에 저장하고 Reset을 시켜주게 된다. 그러나 위상차 시간 검출 회로는 7 비트 카운터의 데이터 출력 신호를 충분히 길게 할 수 없기 때문에 출력 신호에 카운터의 각 비트에 대한 지연 시간을 고려해야 한다.

그림 4 는 위상차 시간 검출 회로의 블록 다이어그램이다.

2.3 위상차 방향 검출 회로

본 논문에서 제안된 위상차 검출 회로는 -180° 에서 180° 의 위상차 검출 범위를 가진다. 그러나 위상차 시간 검출 회로는 위상차 시간의 절대값만을 8 비트 데이터로 나타냈으므로, 위상차의 방향이 (-)인지 (+)인지를 결정하는 회로가 필요하게 된다.

그림 5 는 두 입력 신호의 위상차 방향이 (-)인 경우에는 '0'을 위상차 방향이 (+)인 경우에는 '1'을 출력하여 위상차의 방향을 검출하는 회로이다.

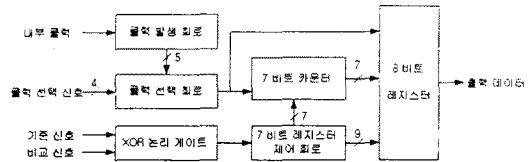


그림 4. 위상차 시간 검출 회로의 블록 다이어그램

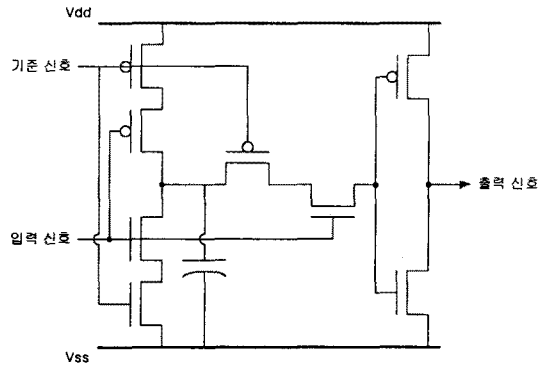


그림 5. 위상차 방향 검출 회로

2.4 위상차 / 전압 변환 회로

위상차 검출 회로는 두 입력 신호의 위상차를 DC 전압으로 출력하는 회로이다. 따라서 입력 신호의 주기와 위상차 시간, 위상차 방향에 대한 각각의 데이터를 이용하여 DC 전압으로 나타내기 위하여 그림 6 과 같은 회로를 이용한다.

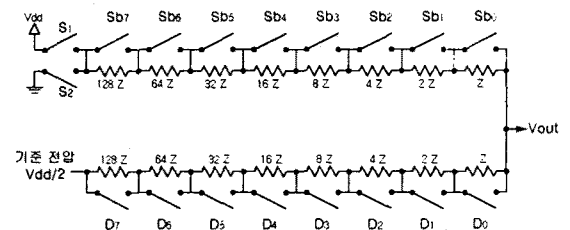


그림 6. 저항과 스위치를 이용한 전압 변환 회로

그림 6에서 위상차의 방향이 (-)인 경우에는 S₂ 가 'on' 되어 출력 전압이 저항값에 따라 0V에서 2.5V 사이의 값을 가진다. 반대로 위상차가 (+)인 경우에는 S₁ 이 'on'이 되어, 출력값은 2.5V에서 5V사이의 값을 가진다. 또한 D_n은 위상차 시간을 나타낸 n 번째 데이터이며, S_{Bn}은 주기에 대한 8 비트의 데이터에서 위상차 시간에 대한 8 비트의 데이터를 빼준 데이터의 n 번째 데이터이다. 이 값들이 '1'일 경우에는 스위치를 'off' 시켜 저항을 통하여 전류를 흘려주어 전압 강하를 일어난게 하며, '0'일 경우에는 스위치를 'on' 시켜 저항 양단간의 전압을 저항값에 상관없이 거의 0V로 만들어 준다. 따라서 위상차 / 전압 변환 회로는 그림 7 과 같이 8 비트의 감산기와 그림 6에 보인 저항과 스위치를 이용한 변환 회로를 이용하게 된다.

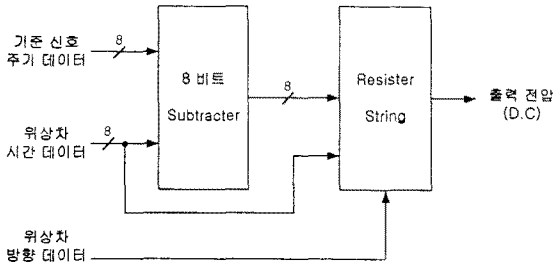


그림 7. 위상차 방향 검출 회로

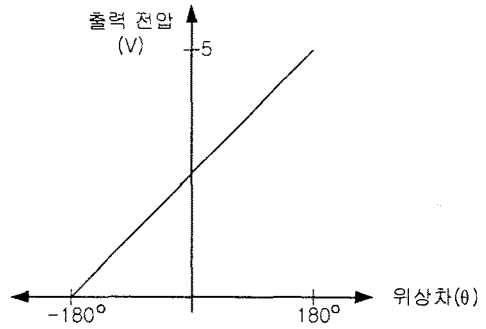


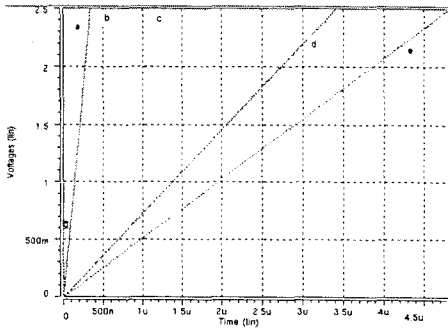
그림 7. 제안된 위상차 검출 회로의 125 kHz에서 4 MHz까지의 입력 주파수에 대한 위상차-전압 특성

3. 시뮬레이션 결과 및 고찰

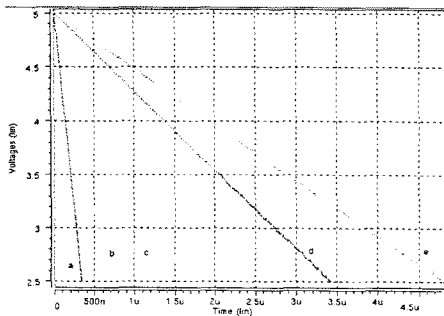
본 논문에서 제안한 위상차 검출 회로에 대하여 각각 3 MHz, 1.5 MHz, 900 kHz, 300 kHz, 200 kHz의 주파수를 가지는 입력 신호에 대한 시뮬레이션 결과가 그림 8에 나타나 있다. 그림 8의 x 축은 위상차의 시간으로 이 값을 위상으로 나타내려면

$$\theta = 2 \times \frac{\pi}{T} \times 360 \quad (1)$$

가 된다. 따라서 시뮬레이션된 모든 입력 신호에 대하여 위상차와 전압과의 관계를 나타내면 그림 9와 같은 결과를 얻을 수 있다.



(a) 위상차 방향이 (-)인 경우



(b) 위상차 방향이 (+)인 경우

a:3MHz b:1.5Mhz c:900kHz
d:300kHz e:200kHz

그림 8. 각 입력 주파수에 대한 위상차 시간에 따른 출력 전압

4. 결 론

본 논문에서 제안한 가변적인 주파수를 가지는 입력 신호에 대한 위상차 검출 회로는 125 kHz에서 4 MHz의 주파수를 가지는 입력 신호에 대하여 -180° 에서 180° 까지의 위상차를 0V에서 5V사이의 DC 전압으로 출력하였다. 이 출력 전압은 위상차에 대하여 매우 선형적이었으며, 위상차에 있어서 최대 오차는 $(360/256)^\circ$ 임을 알 수 있었다. 또한 기존의 아날로그 위상차 검출 회로와는 달리 입력 신호를 디지털 데이터로 처리하므로 소자의 부정합이나 잡음에 의한 영향을 줄일 수 있을 것으로 판단된다.

본 연구는 과학 기술부 국제 공동 연구 과제인 "Growth of GaN-based Semiconductor Thin Films and Application to High Performance, High Power Optoelectronic Devices"의 연구 수행중 얻어진 결과임.

(참 고 문 헌)

- [1] J.D.H.Alexander, "Clock Recovery from Random Binary Signals", Electronics letters, vol. 11, pp.541-542, October 1975.
- [2] Dan H. Wolaver, "Phase Locked Loop Circuit Design", Prentice Hall, 1991.
- [3] F.M.Gadner, "Charge-Pump Phase Locked Loops", IEEE Trans Comm, vol. COM-28, pp.1849-1858, November 1980.
- [4] V.F.Kroupa, "Noise Properties of PLL Systems", IEEE Trans Comm, vol. COM-30, pp.2244-2252, October 1982.