

전류형 캐시를 지니는 임베디드용 메모리 아키텍처

정세진 이현석 이종석\* 우영신\* 김태진 성만영\*  
(주) 더즈텍 \*고려대학교 전기공학과

A New Architecture for Embedded Memory with Current Type CACHE

Se-Jin Jeong, Hyun-Seok Lee, Jong-Seok Lee\*, Young-Shin Woo\*, Tae-Jin Kim, Man-Young Sung\*  
DOESTEK Co. \* Dept. of Electrical Engineering, Korea Univ.

**Abstract** - 임베디드 메모리로직에 적용되는 매크로 셀을 지니고 전류형태의 저장방법을 적용한 캐시를 통한 임베디드 메모리칩의 설계의 일환으로 0.25마이크로 공정으로 설계되었으며 멀티미디어 칩에 사용되는 메모리 코어는 캐시를 지니고 있음으로 칩의 밴드위스를 높이고, 칩의 어드레스 역세스시간(10nS)을 빠르게 할 수 있었으며 이를 위한 내부공급전압은 2.0V이다. 본 논문의 아키텍처에서는 기존 메모리 소자의 전송형태를 전류형 전송수단을 이용하여 매크로 셀의 데이터를 캐시에 저장하고, 이를 전류형태의 메인 데이터증폭회로를 통하여 전송하게된다. 이를 이루기 위한 칩의 아키텍처로 비트라인과 캐시의 연결회로를 추가한 구조를 제안하였다.

Tr.로 본 논문에서는 256cell/BL의 경우에 400uA급의 크기로 설계되었다. <Fig.3>은 캐시단의 전류전송을 수행하는 P-Type의 캐시회로로 활성화된 어레이블럭의 데이터를 서브뱅크의 선택후 기준전류와의 차이를 이용하여 CACHE/CACHEB의 상보신호를 발생함으로써 <Fig.5>의 도시된 전류 및 전압증폭단 인터페이스로 이용되는 N-Type의 트윈스트 Tr.의 입력으로 사용되며 이때는 선택된 컬럼어드레스에 의한 메모리셀의 데이터를 CSL이 활성화된 경우에 전달하게 된다.

1. 서 론

2.1.2 캐시의 임베디드모드

임베디드 메모리 구조에 사용되기위한 메모리 개발의 일환으로 많은 연구 및 논문들이 선보이며 이를 실용화시키기 위해 특정 칩의 아키텍처들이 제안되어 왔지만 기존의 싱크로너스 디램과의 호환성을 유지하면서 임베디드칩 특히 영상처리용(MPEG4) 멀티미디어 칩에 적용되기 위한 연구는 극히 제한된 분야로만 발전되어 왔다. 멀티미디어 칩이 가져야 할 특성 조건 중에서 데이터의 밴드위스 증가 및 캐시 또는 채널의 존재는 칩크기의 증가를 가져오고 캐시역할의 회로구성 및 특성은 전압위주 전송을 해왔기 때문에 데이터회로경로까지의 시간적 손실 및 중복된 회로의 사용은 더욱이 멀티미디어 칩으로서의 단점으로 나타나게 되었다. 본 논문에서는 전류전송방식의 캐시회로 및 동작원리를 설명하며 이를 기본으로 설계된 멀티채널 4M 매크로칩을 고속 멀티미디어 응용칩의 일환으로 제안한다.

본 논문의 칩동작모드는 싱크로너스모드 및 제안된 임베디드모드를 가지고 있으며 로우미쓰가 낮을 경우의 임베디드모드는 다시 메모리 셀의 데이터를 읽기전에 미쓰가 난 비트라인 및 비트라인바를 프리차지시켜주고 나서 다시 워드라인을 활성화시켜 주는 동작이 필요없게되며 로우미쓰가 나더라도 2K 캐시에는 비트라인 및 비트라인바의 데이터가 실려있기 때문에 캐시로부터 데이터를 읽기만 하면 되기 때문에 <Fig.6>의 t1에 해당하는 시간적 손실을 없앨 수 있어 칩의 역세스속도를 향상시킬 수 있었다.

2. 본 론

2.2 설계된 칩의 특성

2.1 칩의 구성

공급전압 3.3V이며 메모리영역의 내부전압은 2.0V. 데이터회로의 내부전압은 2.5V의 내부전원발생기를 가지고 있으며 메모리셀부분과 캐시블럭과의 인터페이스를 전류전송(700uA/1CACHE)을 기본으로 설계하여 1mA이하의 소비전류 캐시를 만들었다. <Fig.7>은 레이아웃된 칩의 칩도면으로 128Kx8의 서브뱅크를 가지고 있으며 2K개의 캐시를 지니고 있으며 어드레스 역세스 시간은 임베디드모드의 경우 10nS의 특성을 나타낸다. <Fig.8>은 메모리셀과 캐시단의 전류전송을 나타낸 시뮬레이션 결과로 선택된 컬럼라인에 대한 응답속도(<1nS)를 볼 수 있으며 로우미쓰가 난 경우의 임베디드모드의 역세스시간을 가늠케한다.

단위뱅크로 4M로 구성된 칩으로 싱크로너스디램과의 외부 핀배열은 동일하며 128K를 단위 메모리셀로 구성되는 코어부분 및 데이터회로블럭과 전류형태의 캐시블럭으로 구성되며 단위 서브뱅크단 2K의 캐시단이 있어 메모리 셀의 데이터를 로우미쓰시에도 또다른 워드라인을 활성화시킬 필요 없이 캐시에 전류형태로 저장된 데이터를 다음단의 입력으로 사용된다. <Fig.1>은 칩의 개략적 구성 다이어그램이며 <Fig.2>는 코어부분의 구성 회로 및 어레이의 배열방법을 도시하였다.

<표1> Design Table

2.1.1 캐시구성회로 및 동작원리

Process	4P2M
	0.25um Degin Rule
I/V Target	Vperi=2.5V,
	Varray=2.0V
	Vhigh=3.5V
	Iarray=400uA
	Icache=700uA
	Taccess=10nS

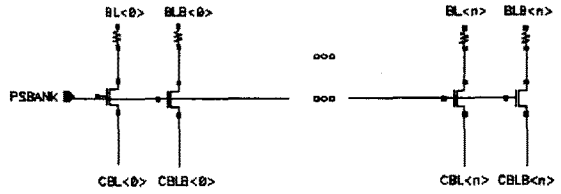
<Fig.3>은 메모리셀 및 캐시단의 연결 스위치로 메모리셀과 캐시회로간의 전류경로의 전류량을 결정지어주는

### 3. 결 론

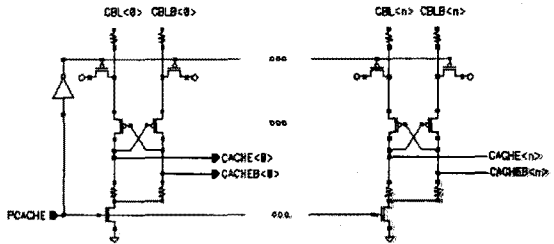
전류형 캐시회로를 지니는 4M 매크로 칩은 बैं크의 크기만으로 16M/64M/128M로의 확장성을 지니고 있으며 임베디드 모드에서는 캐시 동작을 함으로써 액세스 속도 (10nS)를 향상시킬 수 있기 때문에 이미지 프로세서에 적합한 임베디드 메모리이며 MPEG4와 같은 동영상 지원 멀티미디어 칩의 근간이 되는 새로운 메모리 소자로 사용할 수 있을 뿐만 아니라 저전압 동작이 가능한 전류 전송 방식이기 때문에 캐시 불력의 추가로 인한 전류의 손실을 극소화(700uA)시킬 수 있었다.

#### [참 고 문 헌]

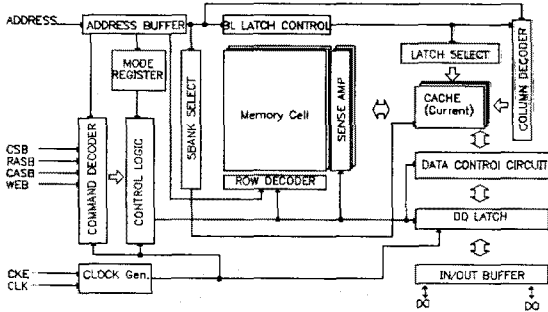
- [1] Takao Watanabe, "A Modular Architecture for a 6.4-Gbyte/s-8-Mb DRAM-Integrated Media Chip", JSSCC, VOL.32, NO.5, May pp.635-641, 1997
- [2] Yoshiharu Aimoto, "A 7.68GIPS 3.84GB/s 1W Parallel Image-Processing RAM Integrating a 16Mb DRAM and 128 Processors" ISSCC pp.372-373, 1996
- [3] J. Han, "Skew Minimization Techniques for 256M-Bit Synchronous DRAM and Beyond", Symp. VLSI Circuit Dig. Tech. Papers, pp.192-193, 1996
- [4] Takeshi Hamamoto "400-MHz Random Column Operating SDRAM Technique with Self-Skew Compensation", JSSCC, VOL.33, NO. 5 May pp.770-778, 1998
- [5] S.Miyano "A 6.8-GB/s data-transfer-rate 8-Mb embedded DRAM", ISSCC pp.300-301, 1995



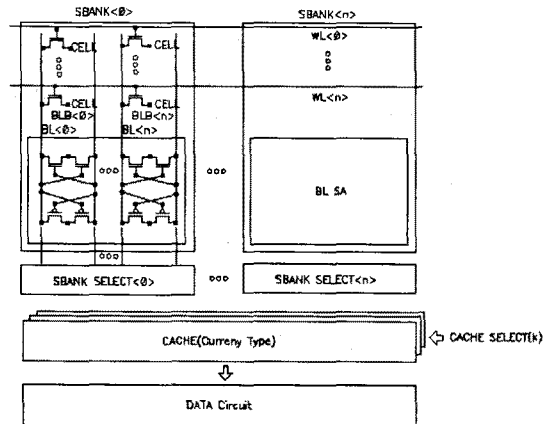
<Fig.3> 4M 매크로셀 선택스위칭회로



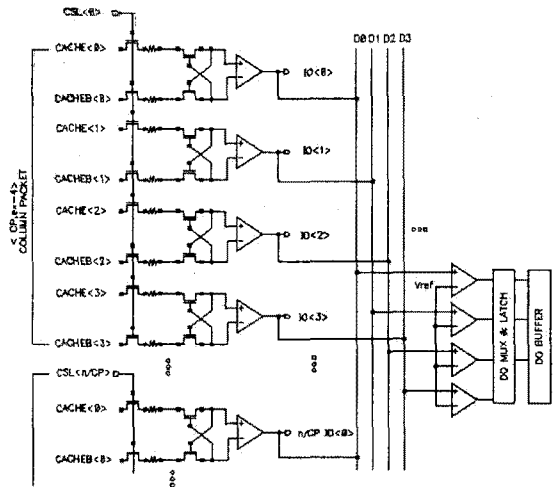
<Fig.4> P-Type의 전류형 메모리캐시불력



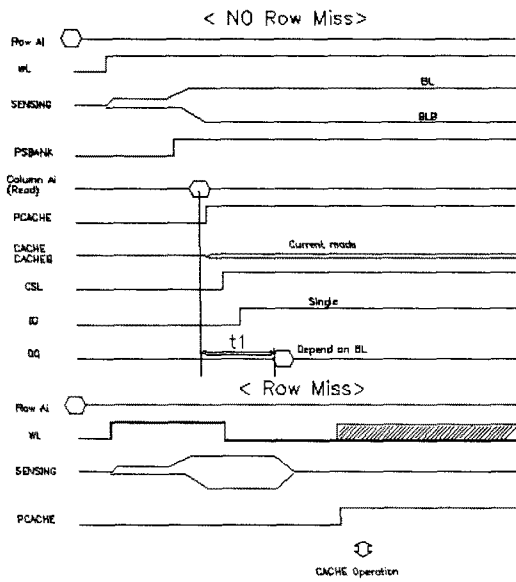
<Fig.1> Chip Function Diagram



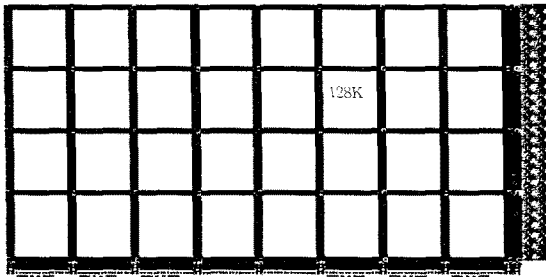
<Fig.2> 전류형캐시 및 Bank별 어레이 배열



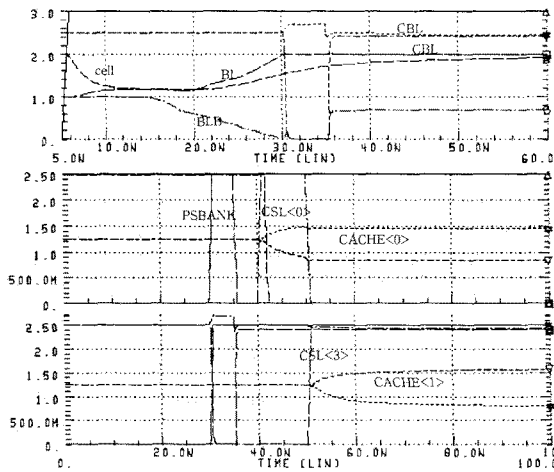
<Fig.5> 캐시와 데이터 증폭회로와의 인터페이스



〈Fig.6〉 본 논문의 임베디드모드시의 동작원리



〈Fig.7〉 매크로셀 및 캐시블록의 레이아웃



〈Fig.8〉 시뮬레이션 결과 파형  
 (@Vdd=2.5V, Varray=2.0V, Temp.=100°C)