

간단한 비선형 시냅스 회로를 이용한 MEBP 학습 회로의 구현

조화현, 채종석, 이은상, 박진성, 최명렬
한양대학교 제어계측 공학과

Implementation of MEBP Learning Circuitry
With Simple Nonlinear Synapse Circuit

Hwa-Hyun Cho, Jong-Seok Chae, Eum-Sang Lee, Jin-Sung Park, Myung-Ryul Choi
Dept. of Control & Instrumentation Eng., Hanyang University

Abstract - 본 논문에서는 MEBP(Modified Error Back-Propagation) 학습 규칙을 간단한 비선형 회로를 이용하여 구현하였다. 인공 신경 회로망(ANNs: Artificial Neural Networks)은 많은 수의 뉴런을 필요하기 때문에 표준 CMOS 기술을 이용하는 간단한 비선형 시냅스(synapse) 회로는 인공 신경 회로망 구현에 적합하다. 학습회로는 비선형 시냅스 회로, 시그모이드(sigmoid) 회로, 그리고 선형 곱셈기로 구성되어 있다. 학습 회로의 출력은 각 입력 패턴에 따라 유일한 값으로 결정되어진다. 제안한 학습회로를 2x2x1과 2x3x1 다층 feedforward 신경 회로망 모델에 적용하였다.

MEBP 하드웨어 구현은 HSPICE 회로 시뮬레이터를 이용하여 검증하였다. 제안한 학습 회로는 on-chip 학습회로를 포함한 대규모 신경회로망 구현에 매우 적합하리라 예상된다.

1. 서 론

현재, 학습회로를 포함한 인공 신경 회로망은 CMOS VLSI로 구현할 때 선형 시냅스 회로를 이용하여 구현하고, 선형 곱셈 회로를 가지는 선형 시냅스 회로를 사용하여 구현된다[1,2,3]. 그러나 생물학적 시냅스 기능의 선형이라는 증거가 없으므로 시냅스 회로는 선형으로 동작하지 않는다. 예를 들어 선형 곱셈기의 시냅스 회로는 아날로그 트랜지스터 15개 이상을 요구하므로 VLSI로 구현된 시냅스 회로는 적절한 회로가 아니다. (보통 아날로그 트랜지스터는 디지털 트랜지스터 보다 상당히 크다.) 인공 신경 회로망 구현은 많은 수의 신경망을 포함하기 때문에 인공 신경 회로망의 VLSI 구현시 신중해야 할 것이다.

본 논문에서의 MEBP 학습 규칙[4]은 간단한 비선형 회로를 이용하여 구현할 수 있다. 제안한 학습회로는 다층 feedforward 신경 회로망 모델에 적용할 수 있다. 구현된 하드웨어는 HSPICE 시뮬레이터를 사용하여 증명하였다. 간단한 비선형 시냅스 회로[5]는 많은 수의 뉴런을 요구하므로 표준 CMOS 공정기술 이용한 인공 신경 회로망 구현에 적합하다.

2. 본 론

2.1 FNN(Feedforward Neural Networks)를 위한 MEBP 학습 규칙

EBP(Error back-propagation) 학습 규칙은 다층 FNNs을 위한 가장 널리 사용되는 학습 규칙이다[6]. EBP 규칙은 시냅스 가중치(Weight)와 그들 둘 사이의 비선형 곱셈을 가진 뉴런의 출력 사이의 선형 곱셈을 교차하므로써 변형된다. 비선형 곱셈은 비선형 함수의 미분으로 간단히 계산되기 때문에 시그모이드 형태의 비선형 함수가 비선형 곱셈기로써 동작한다. 전체 여러 함수

는 다음과 같이 정의한다.

$$E = \sum_p E_p = \frac{1}{2} \sum_p \sum_j (t_{pj} - o_{pj})^2$$

여기서, p 는 학습 패턴 p 를, t 는 목표치를, 그리고 o 는 뉴런 j 의 출력이다. 뉴런 j 의 전체 입력은

$$net_{pj} = \sum_i g_i (w_{ji} o_{pi}) \text{이고 } o_{pj} = S_j (net_{pj})$$

이다. 여기서, $g_i()$ 는 비선형 함수이다. 학습 규칙은 학습 속도와 함께 [6,7]에 의해서 주어진다. 오실레이션 없이 학습 속도를 증가하기 위해서 모멘트(moment)을 포함해야 한다.

$$\Delta w_{ji}(n+1) = \eta \delta_{pj} g'_i (w_{ji} o_{pi}) + \alpha \Delta w_{ji}(n)$$

시그모이드형 비선형 함수를 이용하여 간단히 하면,

$g'_i (w_{ji} o_{pi}) = o_{pi} g_i (w_{ji} o_{pi}) [1 - g_i (w_{ji} o_{pi})]$ 가 된다. 시그모이드 활성화와 시그모이드형 비선형 함수는 다음을 이용하였다.

$$S(x) = \frac{1}{1 + \exp^{-x}}$$

$$g(x) = a \cdot \frac{1 - \exp^{-\frac{x}{b}}}{1 + \exp^{-\frac{x}{b}}}$$

본 논문에서는 비선형 시냅스 회로를 이용한 MEBP 규칙을 제안하였다. MEBP 학습 규칙은 EBP(Error Back-Propagation) 학습 규칙[6]으로부터 시그모이드 미분 함수 항을 제거함으로써 주어진다. 이것은 뉴런 k 가 출력층에 있으면,

$$\bar{w}_{kj} = \eta \sum_p (\tau_{pk} - \bar{y}_{pk}) y_{pj} - \bar{\alpha}_{ji} \bar{w}_{ji} \quad (1)$$

그리고 은닉층에 뉴런 j 가 있을 때,

$$\dot{w}_{ji} = \eta \sum_k \bar{w}_{kj} \sum_p (\tau_{pk} - \bar{y}_{pk}) y_{pi} - \alpha_{ji} w_{ji} \quad (2)$$

여기서 w_{ij} 는 시냅스 가중치이며, y 는 출력, τ 는 목표치, α 와 η 는 상수이다.

2.2 비선형 시냅스 회로 이용하고 학습능력 포함한 FFN 회로

간단한 비선형 시냅스 회로는 CMOS VLSI로 구현한 MEBP(Modified Error Back-Propagation) 학습 회로에 이용된다. 비선형 시냅스 회로는 기존의 선형 시냅스 회로와는 다르다. 비선형 시냅스 회로는 한 개의

nMOS와 한 개의 pMOS 트랜지스터로 구성된 더블 인버터(double inverter)를 이용해서 구현하였다. pMOS 트랜지스터 기판(substrate) 전압은 가장 높은 공급 전압 VDD에 연결되고 nMOS 트랜지스터는 가장 낮은 전압인 VDD에 연결된다. 그러면 MOS 트랜지스터의 구조가 대칭이므로 두 트랜지스터의 드레인과 소스는 교체할 수 있다[7]. 2x2x1 다층 FFN 회로는 그림 1에 나타났다. 이 회로는 입력 층에 두개의 뉴런과 중간층에 두개의 뉴런 그리고 마지막으로 출력 층에 한 개의 뉴런으로 구성되어있다. 이 회로에는 문턱회로가 포함되어 있지 않다. 그리고 각 시냅스 가중치는 학습 회로의 학습된 가중치에 의해서 공급되게된다. 또한 이 회로의 시냅스 가중치는 디지털 메모리에 저장되어 공급된다. 그러나 아날로그 시냅스 가중치를 전체적으로 사용하기 위해서는 아날로그 저장 장치인 capacitor를 사용해야한다.

그림 2에 순차 학습 회로를 가지고 있는 FFNs의 블록 다이어그램을 나타내었다. 2x2x1 FFN 회로는 MEBP 학습 회로를 이용하였는데, 이 회로는 두개의 입력 단자와 은닉 층에 두개의 뉴런 그리고 출력 층에는 한 개의 뉴런으로 구성되어 있다. 1-D 아날로그 곱셈기는 아날로그 신호와 아날로그 시냅틱(synaptic) 가중치 [1] 사이의 선형 곱셈 동작을 한다. 대부분의 아날로그 곱셈기는 CMOS 공정으로 구현하고 있다.

MEBP 학습 규칙은 비선형 시냅스 회로, 시그모이드 회로, 그리고 선형 곱셈기를 이용해서 구현하였으며, 회로 구현은 다음 방정식(4)로써 설명할 수 있다.

$$RC \frac{dw_{11}}{dt} = k_1[(r - y_1)x_1] - \bar{w}_{11} \quad (3)$$

$$RC \frac{dw_{12}}{dt} = k_1[(r - y_1)x_2] - \bar{w}_{12} \quad (4)$$

$$RC \frac{dw_{21}}{dt} = k_1[\bar{w}_{11}[(r - y_1)x_1] - \bar{w}_{21}] \quad (5)$$

$$RC \frac{dw_{22}}{dt} = k_1[\bar{w}_{12}[(r - y_1)x_2] - \bar{w}_{22}] \quad (6)$$

$$RC \frac{dw_{21}}{dt} = k_1[\bar{w}_{12}[(r - y_1)x_1] - \bar{w}_{21}] \quad (7)$$

$$RC \frac{dw_{22}}{dt} = k_1[\bar{w}_{12}[(r - y_1)x_2] - \bar{w}_{22}] \quad (8)$$

여기서 x_i 는 입력이고, w_{ij} 는 시냅스 가중치, y_i 는 출력이고, r 는 목표치를 그리고 k_1 은 상수를 나타낸다. 전체 회로는 HSPICE 회로 시뮬레이터를 이용하여 시뮬레이션 하였다. 표 1은 제한한 학습회로의 출력(y)이 정상 상태 가중치에서 목표치(r)에 대응하여 수렴하는 것을 보여준다. 각각의 XOR와 XNOR HSPICE 모의실험 결과를 표 2에 나타냈다.

본 연구에서는 2x3x1 FANN 회로도 구현하였다. 이 회로는 입력 층에 두개의 입력, 은닉층에 3개의 뉴런과 출력 층에 한 개의 뉴런으로 구성되었다. XOR, XNOR HSPICE 모의실험 결과를 표 2에 나타냈다.

3. 결 론

MEBP(Modified Error Back-Propagation) 학습 규칙을 간단한 비선형 시냅스 회로를 이용해서 구현하였다. 인공 신경 회로망은 많은 수의 뉴런을 필요로 하기 때문에 표준 CMOS 공정 기술을 이용하는 간단한 비선형 시냅스 회로는 인공 신경 회로망 구현에 적합하다. 학습 회로는 비선형 시냅스 회로, 시그모이드 회로, 그리고 선형 곱셈기로 이루어져 있다. 학습 출력 전압은 입력 패턴에 따라 유일하게 결정되어진다.

제한된 학습 회로를 2x2x1과 2x3x1 다층 FFNs에 적용하였다. 위의 회로들은 HSPICE 회로 시뮬레이터를 이용하여 시뮬레이션 하였다. 시뮬레이션 결과 각 입력-출력 패턴이 적용되었을 때 학습이 성공적으로 이루어진 것으로 나타났다. 4개의 입력-출력 패턴이 순차적

으로 적용되었을 때, 우리는 전체 학습 회로가 이전 형식을 유지하지 못하는 것을 발견했다. 가중치는 단지 새로운 패턴에 대해서 학습한 것을 갱신하기 때문이다. 제한된 학습 회로는 큰 규모의 신경 회로망 구현에 매우 적합하리라 생각한다.

본 연구는 과학기술부의 G7 뇌연구개발사업 지원을 받아 수행되었습니다.

(참 고 문 헌)

- [1] M.R. Choi, "Analog Vector Multiplier for Feedforward Neural Networks", Journal of Engineering & Technology, Vol. 2, No. 1, Hanyang University, 1993.
- [2] B. Gilbert, "A high performance monolithic multiplier using active feedback", IEEE J. Solid State Circuits, SC-9, pp. 364-373 Dec. 1974.
- [3] F. Kub, K. Moon, I. Mack, and F. Long, "Programmable Analog Vector Matrix Multipliers", IEEE J. Solid-State Circuits, SC-25, pp. 207-214, Feb. 1990.
- [4] M.R. Choi and F. Salam, "Implementation of Feedforward Artificial Neural Networks With Learning Using Standard CMOS Technology", ISCAS '91, pp. 1509-1512, Singapore, May 1991.
- [5] M. R. Choi, "A Simple Nonlinear Synapse Circuit for Artificial Neural Networks", Proceedings of the 2nd International Conference on Fuzzy Logic & Neural Networks, pp. 505-508, Iizuka, Japan, 1992.
- [6] D. E. Rumelhart, J. L. McClelland, and the PDP Research Group Eds., "Parallel Distributed Processing - Exploration in the Microstructure of Cognition", vol. 1, Foundations, Cambridge, MA:MIT Press, 1986.
- [7] M. R. Choi, "Implementation of MEBP Learning Circuitry With Simple Nonlinear Synapse Circuit", FUZZ-IEEE'99, Seoul, August 1999(to be published).

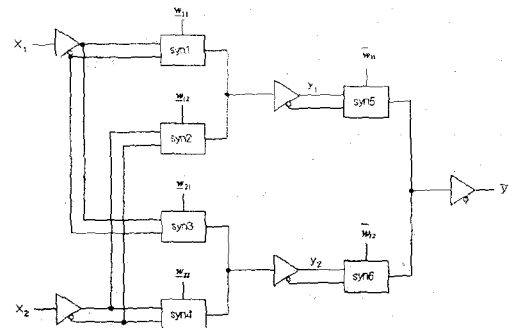


그림 1. 2x2x1 FANN 회로

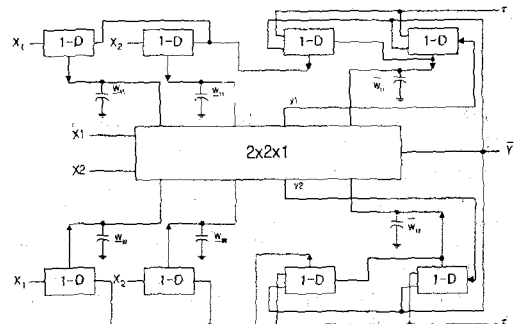


그림 2. 학습 회로를 포함한 2x2x1 FANN 회로

표 1. 순차 학습회로를 포함한 2x2x1 FANN의 HSPICE 과도 분석 결과

Input	x_1	0		0		5		5	
	x_2	0		5		0		5	
Target	r	0	5	0	5	0	5	0	5
Output	\bar{y}	3.37E-5	4.37	2.92E-3	4.37	-3.62E-3	4.37	-6.26E-5	4.32
Error	$r - \bar{y}$	-3.37E-5	0.63	-2.92E-3	0.63	3.62E-3	0.63	6.26E-5	0.63
Weight		s.s	s.s	s.s	s.s	s.s	s.s	s.s	s.s
w_{11}		2.5	2.5	2.5	2.5	3.75	3.84	3.75	3.85
w_{12}		2.5	2.5	3.75	3.84	2.5	2.5	3.75	3.85
w_{21}		2.5	2.5	2.5	2.5	3.75	3.84	3.75	3.85
w_{22}		2.5	2.5	3.75	3.84	2.5	2.5	3.75	3.85
\bar{w}_{11}		2.5	2.82	2.5	2.81	2.5	2.81	2.5	2.85
\bar{w}_{12}		2.5	2.82	2.5	2.81	2.5	2.81	2.5	2.85

표 2. 순차 학습회로를 포함한 2x3x1 FANN의 HSPICE 과도 분석 결과

Input	x_1	0		0		5		5	
	x_2	0		5		0		5	
Target	r	0	5	0	5	0	5	0	5
Output	\bar{y}	-7.23E-6	4.3137	-1.06E-6	4.2829	1.69E-6	4.2906	13.9E-6	4.180
Error	$r - \bar{y}$	7.23E-6	0.6863	1.06E-6	0.7171	-1.69E-6	0.7094	-13.9E-6	0.819
Weight		s.s	s.s	s.s	s.s	s.s	s.s	s.s	s.s
w_{11}		2.5	2.5	2.5	2.5	3.75	3.8513	3.75	3.869
w_{12}		2.5	2.5	3.75	3.8525	2.5	2.5	3.75	3.869
w_{21}		2.5	2.5	2.5	2.5	3.75	3.8513	3.75	3.869
w_{22}		2.5	2.5	3.75	3.8525	2.5	2.5	3.75	3.869
w_{31}		2.5	2.5	2.5	2.5	3.75	2.8513	3.75	3.869
w_{32}		2.5	2.5	3.75	3.8525	2.5	2.5	3.75	3.869
\bar{w}_1		2.5	2.843	2.5	2.8586	2.5	2.8547	2.5	2.909
\bar{w}_2		2.5	2.843	2.5	2.8586	2.5	2.8547	2.5	2.909
\bar{w}_3		2.5	2.843	2.5	2.8586	2.5	2.8547	2.5	2.909