

유전자알고리즘을 이용한 FPGA에서의 디지털 회로의 합성

박태서, 위재우, 이종호
 인하대학교 공과대학 전기공학과

Digital Circuit Synthesis on FPGA by using Genetic Algorithm

Tae-Suh Park, Jae-Woo Wee, Chong-Ho Lee
 Department of Electrical Engineering, Inha University

Abstract - In this paper, digital circuit evolution is proposed as an intrinsic evolvable system. Evolutionary hardware is a reconfigurable one which adapt itself to the environment and evolve its structure to realize desired performance. By using special FPGA and genetic algorithm, we have made a prototype of intrinsic hardware evolution system. As an example for digital circuit evolution, full adder realization is performed. As the result of this, a very complex structure of digital circuit performing full adder was created. Analysis made on the hardware revealed that some undetermined circuits were developed.

리 재구성을 위한 configuration bit가 공개되어 있어서 연구자들이 synthesis tool의 도움없이 칩의 재구성을 실시간으로 바꿀 수 있다는 장점이 있다. 그림1은 schematic으로 표현된 디지털 회로가 XC6216에서 구현되는 예를 보이고 있다.

1. 서 론

진화형 하드웨어란 환경에 적응하여 스스로 진화하는 하드웨어로서, 인간의 개입이 배제된 이러한 유형의 하드웨어의 개발은 자율설계라는 새로운 가능성을 제시한다. 최근 사용자가 전문도구의 도움없이 직접 구성가능한 FPGA의 등장으로 하드웨어에서의 직접진화가 가능하게 됨으로써 기존의 Simulation수준에서 머물던 진화에 대한 상대개념인 Intrinsic evolution이라는 개념을 시도할 수 있는 환경이 조성되었다.

본 논문에서는 Xilinx사의 XC6216 FPGA를 기반으로 유전자 알고리즘을 적용하여 Intrinsic Digital Circuit evolution의 가능성을 시험하고, 이를 통하여 진화형 하드웨어에서 요구되는 기술적 요소와 문제점을 보이고, 특히 유전자 알고리즘의 적절한 적용에 대해 고찰해 보겠다.

2. 본 론

2.1 진화형 하드웨어

진화형 하드웨어란, 설계자가 모든 경우를 고려하여 미리 지정한 규칙에 의해서 생성된 불변의 구조를 가진 기존의 하드웨어와 달리, 최소한의 사전지식을 기반으로 탄생하여 스스로 주변환경에의 적응을 통하여 진화하여 애초에 의도했던 기능을 구현 및 유지하고, 더 나아가 설계시 기대했던 수준 이상의 기능구현을 추구하는 새로운 개념의 하드웨어로서, 생물학의 진화론에서 착안한 응용분야의 한 갈래다.

하드웨어의 진화는 설계자에의 의존도를 줄이고 미지 상황에서의 적응 및 새로운 구조를 발견하는 수단으로서의 의의를 가질 수 있다.

2.2 XC6216 FPGA

XC6216이란 Xilinx사에서 개발한 FPGA(Field Programmable Gate Array) 제품군의 일원으로서, 충분한 용량을 갖추고 있으면서 기존 상용FPGA와 달

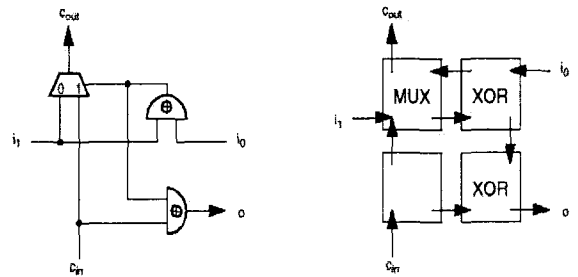


그림 1. XC6216에서의 회로구성

또한 칩의 동작 중에도 부분 재구성이 가능하다는 장점이 있으며, PAL(Programmable Array Logic)이나 Flash RAM과 달리 유전자 알고리즘에서 요구하는 충분한 칩수의 재구성을 지원한다. XC6216은 A. Thompson^[1]의 연구에서 사용된 이래로 진화형 하드웨어 구현연구에 이용되고 있다.

2.3 유전자 알고리즘

유전자 알고리즘(GA, Genetic Algorithm)이란, 생물학에서의 진화론이 주장하는 적자생존의 경쟁원리와 살아남은 우수한 개체의 유전자 전파를 통한 전체 세대의 점진적인 진화라는 개념에서 착안한 최적화 알고리즘이다.

진화대상을 코딩한 염색체를 선택(selection), 교차(crossover), 그리고 돌연변이(mutation)를 통해 변형시켜서 최적의 염색체를 찾아내는 것을 기본원리로 하며, 현재 여러 분야에서 적용되고 있다.

2.4 Intrinsic Hardware Evolution

진화형 하드웨어의 구현방법은 크게 두 가지로 나뉜다. 하나는 진화대상이 될 하드웨어를 모델링하여, 이를 토대로 한 시뮬레이션에서 진화하여 마지막에 최적 적응자를 하드웨어로 구현하는 방법으로서, Extrinsic method라고 일컫는다.

다른 하나는 진화대상 하드웨어를 모델링없이 직접 재구성하고 적합도를 평가하여 진화를 수행하는 방법으로서, Intrinsic method라고 부른다.

생물학의 진화론이 유전자(Genome)를 진화의 대상으로 한다는 점에 비추어 볼 때 Intrinsic method가 보다 직관적이고, 모델링과 시뮬레이션이라는 과정이 필요 없기 때문에 개체의 적응도 평가가 빠르며, 모델링이 불가능한 회로의 구현에도 적용가능하다는 장점이 있다.

그러나, 하드웨어 진화에서 요구되는 고속 재구성

매우 많은 재구성횟수라는 제약 때문에 최근 FPGA의 비약적인 발전이 있는 이후에야 비로소 구현가능하게 되었다.

현재까지 Intrinsic method를 사용한 연구는 영국의 A. Thompson이 로봇의 장애물 회피⁽²⁾와 1kHz-10kHz의 주파수 분리⁽¹⁾를 진화형 하드웨어로 구현하는데 성공한 바 있고, Extrinsic method 혹은 시뮬레이션만을 사용한 분야에선 Higuchi⁽³⁾나 Miller⁽⁴⁾ 등의 연구가들이 상당한 성과를 내어놓고 있다.

우리는 Xilinx社에서 공급하는 XC6216 FPGA를 기반으로 H.O.T. Works社에서 제작한 재구성 보드를 토대로 Intrinsic Evolvable Hardware를 구성하였다.

Pentium II 233MHz IBM PC호환기종과 Microsoft Windows 95를 기반으로 한 환경에서 Visual C++로 유전자알고리즘 모듈을 작성했고, H.O.T. Works社에서 제공하는 API를 이용하여 유전자알고리즘 모듈과 재구성 보드간의 결합을 구현했다.

XC6216을 재구성하기 위한 configuration bit의 경우, 유전자 알고리즘의 염색체와 흡사하여 적용이 용이하지만, 그 길이가 매우 길어서(cell당 24bit) 처리속도를 떨어뜨리고 유전자 알고리즘에서 다루기 힘든 Deception problem이 증대해서 결과적으로 Local minima의 문제를 심화시킨다는 단점이 있다.

본 실험에서는 이를 부호화한 임의의 포맷을 설정하여 cell당 6bit의 길이로 염색체를 구성하였다. 부호화의 과정에서 진화의 편의를 위해 몇 가지 기능을 제한하였다. 그림 2는 구현한 진화형 하드웨어의 구성을 간략하게 보여준다.

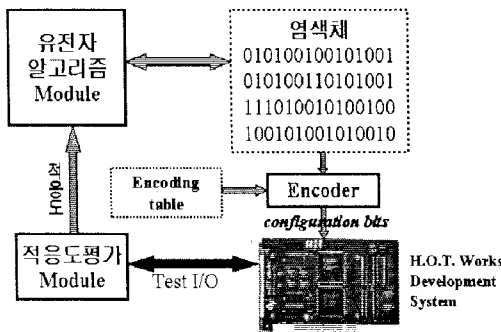


그림 2. 진화형 하드웨어 구성도

2.5 실험 : 전가산기(Full Adder)구현

구현대상으로 선택한 전가산기는 XC6216의 Cell 18개 범위에서 유전자 알고리즘이 생성하는 염색체를 지정된 규칙에 의해 해석하여 얻은 정보에 의해 각 Cell의 함수의 종류와 입출력의 방향을 결정하여 전체 회로를 구성한 후, 3비트 입력 8가지를 넣고 동작시켜서 전가산기 진리표에서의 해당 출력과 비교하여 일치하지 않는 개수를 Error로 간주하였다.

사용된 게이트는 4가지(AND, XOR, Buffer, MUX)이고 입출력방향은 8가지로 한정했으므로, 각 Cell당 32가지의 조합이 가능하고, 전체 전가산기 구현시 최대 32^{18} 가지 경우가 존재한다.

이 중에서 전가산기로 동작할 수 있는 조합의 수는 극히 적은 것으로 예상되므로, 무작위생성을 통한 random search로는 해답을 얻기가 어려운 문제로 판단되어 시험대상으로 선정되었다.

진화를 통한 디지털 전자회로의 구현이라는 목적을 위해 여러 가지 시도가 있어왔으나, 전가산기를 포함한 대부분의 경우 시뮬레이션 상에서의 성공이 보고되었을 뿐 실제 하드웨어에서의 구현은 이뤄지지 않은 점도 선정요

인이 되었다.

비교평가를 위해 먼저 random search를 시도해본 결과, 1000세대를 기준으로 했을 때 200번의 시도에도 불구하고 완전한 전가산기로 동작하는 해를 찾는데 실패했다. 유전자 알고리즘을 적용했을 경우엔 대략 10%내외의 확률로 전가산기로 동작하는 염색체를 찾아내는 데 성공했다.

세대모델에서 300개의 염색체를 대상으로 최저자보존-토너먼트 혼합전략에 의해 선택하여 2점 교차방법을 근간으로 이를 디지털 회로 진화에 적합하도록 고안한 적응형 교차-변이 방법에 의해 변형시켰다.

교차-변이 방법의 경우, 디지털 하드웨어 진화의 경우엔 전통적인 유전자 알고리즘의 방법론은 해의 다양성을 손상시켜서 결과적으로 local minima에서 머물게 되지만, 이를 탈출하기 위해 현재 유전자 알고리즘에서 제공하는 유일한 방법인 변이를 매우 크게 할 경우 어렵게 형성된 매우 긴 defined length를 파괴해버린다는 문제가 발생한다는 점을 실험을 통해 경험하여 이를 해결하고자 고안되었다.

다음은 유전자 알고리즘을 적용했을 때의 전가산기 구현의 결과이다. random search실험보다 엄격하게 500세대를 기준으로 하여 해를 찾지 못했을 때는 local minima에 빠진 것으로 간주했다.

96회의 실험 결과, 500세대 이내에서 전가산기가 10번 구현되었다.

횟수	전가산기가 구현된 세대	횟수	전가산기가 구현된 세대
1	19	6	9
2	9	7	26
3	28	8	9
4	18	9	37
5	16	10	21

표1. 전가산기가 구현된 세대수

해공간의 복잡성으로 인해 local minima에 들어서기 쉽지만, 일단 global minima에 근접한 영역에 진입하면 신속한 수렴이 이루어짐을 알 수 있다.

이는 초기 개체집단의 특성에 수렴여부가 매우 의존된다는 사실을 보여준다.

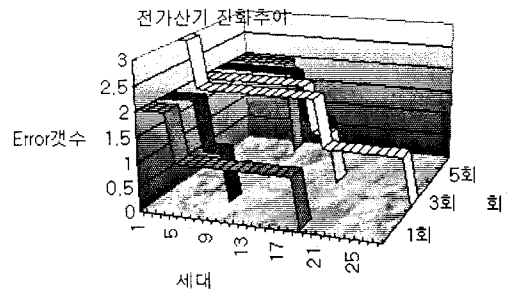


그림 3. 전가산기 진화추이

그림 3은 성공한 10회의 경우에서 유사한 형태를 추려내고 남은 6회를 골라내어 전가산기로서 동작하는 Error=0의 해가 나올 때까지의 세대변화에 따른 부적응도를 Error의 개수라는 값으로 나타낸 것이다.

한가지 주목할 점은, global optima에 근접한 경우 매우 긴 defined length를 파괴하지 않으면서 매우 작은 국소변이만으로 global optima에 접근해야 하기 때문에 최중수렴에 가까워질수록 진화속도가 더디지는 현상이 매우 두드러진다.

전가산기를 구현한 염색체의 국소변이에 대한 전체 Error의 변화를 분석하기 위해 얻어진 이진 염색체를 각 위치별로 1bit만 반전시키고 동작상의 Error를 조사했다.

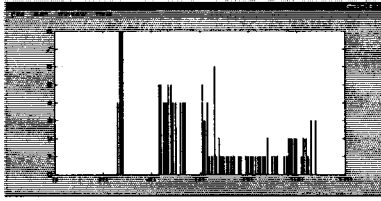


그림 4. 1bit 국소변이에 의한 전가산기 회로의 성능변화

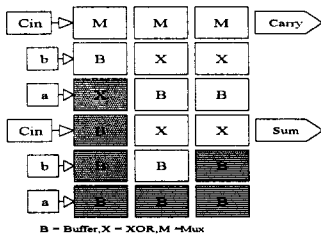
(X축 : 변이 위치, Y축 : Error의 갯수)

Error의 범위는 0~8이고 염색체의 길이는 108비트이므로 1bit가 반전된 손상염색체는 108가지가 있다.

그림 4에서 볼 수 있듯이 국소변이가 성능에 영향을 주지 않는 영역이 있는 반면, 특정 영역에선 전체회로의 Error가 급격히 증가하는 것을 알 수 있다. Defined length가 매우 긴 이러한 유형의 문제에서는 유전자 알고리즘의 국소탐색에서의 단점을 극대화하여 오히려 진화를 방해하는 요인으로 작용할 수 있다. 특히 유전자 알고리즘의 교차(crossover)가 해의 다양성을 파괴하고 local minima로 이끄는 원인이 된다.

실험결과 구현된 전가산기의 구조를 분석한 결과 사람이 디자인한 회로와 매우 다른 구성을 보였다. 예상대로 동작에 불필요한 부분이 상당부분 발생했으며, 이러한 부분(그림 5에 회색으로 표시된 Cell)은 개개의 경우 차후에 부분재구성을 통해 제거해도 회로의 동작에는 영향을 미치지 않았다.

특이한 점은, 이러한 부분이 동시에 전부 제거할 경우 회로성능이 저하되는 현상이 관찰되었다. 이는 A. Thompson이 동일한 하드웨어(XC6216)에서 관찰한 현상으로서 [2] 칩의 물리적 특성에 기인한다고 추정된



다.

그림 5. 유전자 알고리즘에 의해 구현된 전가산기의 Cell배치도

2.6 고찰

전가산기의 진화실험을 통하여 다음과 같은 사실이 관찰되었다.

첫째, 디지털 하드웨어의 진화에 있어서 Gate의 종류와 결선구조를 염색체로 바로 표현했을 경우, 어느 정도 예측된 바와 같이 국소적인 변이에 전체 성능이 매우 크게 변화하고, 이 점이 유전자알고리즘의 취약점인 국소탐색에서의 어려움과 결합하여 100% 맞는 해를 찾지 못하고 local minima에 빠질 확률이 매우 높아진다.

전역탐색에서 일단 수렴구조가 양호한 해의 근방에 진입하면 비교적 빨리 최적해를 찾는데 반해, 수렴구조가 불량한 해가 염색체집단에 과급되면 최적해로의 접근은 통상적인 유전자 알고리즘에선 기대하기 어렵게 된다.

같은 이유로 초기 염색체집단의 특성에 수렴여부가 상당부분 의존된다.

둘째, XC6216상에서의 직접진화의 경우, deterministic model에 의한 예측이 불가능한 요인이 존재하지만, 유전자 알고리즘은 이에 대한 별도의 고려 없이 이를 포괄하여 동작가능한 회로를 끌어낼 수 있었다.

이는 기존의 수작업에서 요구되는 다양한 물리적인 변수의 고려가 필요없는 회로합성의 가능성을 보여준다.

한가지 고려할 점은, 이러한 특성이 범용FPGA인 XC6216을 synthesis tool에서 제공하는 규칙없이 자유롭게 유전자알고리즘에 의해 구성하였기 때문에 발생하는 예외적인 현상일 수 있다는 가능성이다.

덧붙이자면, 현재 Xilinx사는 XC6216의 생산을 중단한 상태이며, 이와 유사한 칩의 생산 및 연구에 대한 Xilinx사나 다른 회사의 노력이 공식적으로 중단된 상태이기 때문에 지속적인 연구를 위한 진화형 하드웨어를 위한 별도의 재구성 하드웨어를 개발할 필요가 있다.

실험결과, 디지털 전자회로의 진화에 적용하기 위한 유전자 알고리즘은 통상적인 유전자 알고리즘에 비해 다음과 같은 특성이 강조되어야 한다고 판단된다.

1. 수렴속도보다 해의 다양성 보존이 우선되어야 한다. 100% 적용도를 요구하는 이와같은 문제에선 진화의 속도보다 수렴가능성을 높이는 데 주력하는 것이 바람직하다.

2. 하드웨어의 염색체표현은 국소오류에 민감하지 않은 영역에서 이루어지는 것이 바람직하다.

Configuration bit의 직접 부호화가 아닌 새로운 방식이 필요하며, 이 부분에 대한 보다 심도있는 연구가 요구된다.

3. 결 론

본 논문에서는 디지털 회로의 FPGA상에서의 직접진화에 의한 구현 가능성을 탐색해보았다. 전가산기의 구현실험은, 그 가능성은 열려있되 진화의 방법론으로서의 유전자 알고리즘에 대한 적절한 개선이 필요함을 보여준다. 또한, 기존의 하드웨어를 배제한 진화와 달리 직접 하드웨어를 대상으로 할 경우 칩의 모델에선 예측할 수 없었던 동작이 관찰되었지만 진화는 이러한 점까지 포괄 되어 이루어질 수 있었다.

향후 과제로서 진화형 하드웨어를 위한 전용 reconfigurable platform의 개발과, 하드웨어의 직접진화에 적절한 유전자 알고리즘의 진화기법 및 염색체 표현법에 대한 연구가 요구된다.

(참 고 문 헌)

- [1] A. Thompson, "On the Automatic Design of Robust Electronics Through Artificial Evolution", Proc. 2nd Int. Conf. on Evolvable Systems: From biology to hardware (ICES98), Springer-Verlag, pp.13-24, 1998.
- [2] A. Thompson, "Artificial Evolution in the Physical World", Evolutionary Robotics: From Intelligent Robots to Artificial Life (ER'97), AAI Books, 1997.
- [3] H.Iba, M.Iwata, and T.Higuchi, "Gate-Level Evolvable Hardware: Empirical Study and Application", Evolutionary Algorithms in Engineering Applications, 276, Springer-Verlag, 1997.
- [4] J.F.Miller and P.Thomson, "Aspects of Digital Evolution: Geometry and Learning", Proc. 2nd Int. Conf. on Evolvable Systems: From biology to hardware (ICES98), Springer-Verlag, pp.25-35, 1998.