

영전압 스위칭 하프브리지 컨버터에 관한 연구

고승모*, 김 용*, 백수현*, 윤석호**
*동국대학교 전기공학과, **전력연구원

The Study on the ZVS Half-Bridge Converter

S. M. Go*, Y. Kim*, S. H. Baek*, S. H. Yoon**
* Dongguk Univ. **KEPRI

Abstract - ZVS Half-Bridge converter is proposed. This converter is operating in fixed switching frequency to regulate output voltage. The ZVS is maintained by partial resonance during the OFF interval of both switches. Using self-driven synchronous rectifier, this circuit minimizes the power loss in the rectification circuit. 50(W) ZVS Half-Bridge converter is simulated and built. Two results has been compared.

과적인 제어를 할 수 있는 장점이 있다(4). 출력단 정류기에 쇼트키 다이오드를 사용하는 경우 순방향 전압강하에 의한 손실은 식 (2.1)과 같이 출력 전압이 낮은 경우 더욱 증가하게 된다. 손실을 줄이기 위하여 정류회로에 낮은 온 저항 특성을 갖는 동기 정류기를 사용한다. 정류기로 사용하는 소자는 식 (2.2)의 온 (R_{DSon})저항 값을 만족하는 소자를 선택한다.

$$\eta = \frac{P_o}{P_d + P_o} = \frac{I_o V_o}{I_o V_d + I_o V_0} \quad (2.1)$$

$$R_{ds(on)} \cdot I_o^2 < V_{on} \cdot I_o \quad (2.2)$$

1. 서 론

반도체 기술의 발달로 소자들의 전력밀도는 높아지고 동작전압은 계속 낮아지고 있는 추세이다. 전자장비의 소형, 경량화, 고효율화가 끊임없이 이루어지고 동작전압 또한 5V, 3.3V로 낮아지고 있다(1). 전원장치의 소형 경량화는 동작 주파수를 높여 변압기 인덕턴스 및 출력 필터의 크기를 축소하여 이룰 수 있다.

그러나 높은 스위칭 주파수는 그에 비례하는 스위칭 손실과 스위칭 소자에 큰 스트레스를 발생시킨다. 스위칭 손실에 의해 소자의 최대속도를 모두 이용하지 못하게 되고 이로 인하여 스위칭 주파수가 제한되고 스위칭 주파수 저하로 인하여 전원장치의 소형화가 어렵게 된다. 스위칭 손실을 줄이기 위하여 영전압 스위칭 방식을 적용한 공진형 또는 다중 공진형 컨버터가 DC-DC 컨버터분야에 널리 사용되고 있다. 공진형 컨버터는 스위칭 소자에 전압과 전류의 중첩으로 발생하는 스위칭 손실을 제거하여 고주파 및 고효율 동작을 목적으로 한다.

그러나 이 방식은 전류 레벨 및 스위칭 소자의 전압 스트레스가 증가되며 팽방위한 스위칭 동작주파수와 최소 부하 조건을 갖는 단점을 가진다(2), (3).

본 논문에서는 이러한 문제점을 보완하기 위하여 고정 주파수에서 듀티비 가변에 의해 출력 전압을 제어하는 영전압 스위칭 하프브리지 컨버터를 제시하였다.

또한 제안된 회로의 출력 정류기단에서 나타나는 손실을 저감하기 위하여 자기구동방식의 동기정류기를 사용하였다. 시뮬레이션과 실험을 통하여 출력전압 5V, 50(W)를 가지는 컨버터에서 각 회로별 동작 특성을 분석하였다.

2. 본 론

2.1 ZVS 하프브리지 컨버터

그림 1은 제안된 ZVS 하프브리지 컨버터 회로를 나타낸다. 이 방식은 고정 주파수를 가지고 듀티비 가변으로 출력 전압을 제어한다. 스위치 Q_1 , Q_2 는 시비율 D, (1-D)로 동작한다. 두 스위치의 단락을 방지하기 위하여 적절한 지연시간을 두고 변압기 1차측 직렬 등가 인덕턴스와 회로소자의 기생 성분들을 이용하여 영전압 스위칭을 수행한다. 일정한 주파수에서 듀티가변에 의해 출력전압을 제어함으로써 전도 손실이 감소되며 간단하고 효

P_o : 출력전력 P_d :전력손실 I_o : 출력전류 V_o : 입력전압
 V_d : 다이오드 전압강하 R_{DSon} : MOSFET 온저항
 V_{on} : 순방향 전압강하

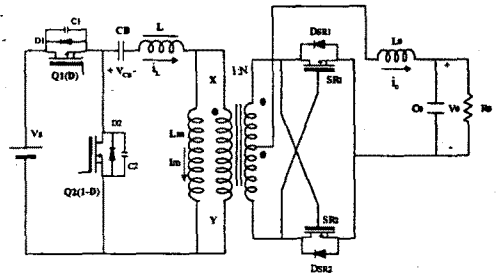


그림 1. ZVS 하프브리지 컨버터

그림 1에서 $C_1 \cdot C_2$ 및 $D_1 \cdot D_2$ 는 각각 스위치 $Q_1 \cdot Q_2$ 로 사용되는 MOSFET의 내장 다이오드 및 기생 캐패시터를 나타낸다. L은 누설 인덕턴스를 포함하여 변압기 1차측에 존재하는 직렬 등가 인덕턴스이고, C_B 는 Q_2 가 온일 경우 2차측에 에너지를 공급하고 변압기 포화를 막는 저지 캐패시터의 역할을 한다. $D_{SR1} \cdot D_{SR2}$ 는 동기정류기 내장 다이오드를 나타낸다.

2.2 동작해석

영전압 스위칭은 1차측 L에 저장된 에너지를 이용하여 $Q_1 \cdot Q_2$ 의 개생캐패시터를 도통 전에 방전시켜 수행된다. L에 저장된 에너지는 출력 캐패시터에 저장된 에너지보다 커야되므로 작은 부하조건에서 영전압 스위칭은 이루어지기 어렵다. 모드별 동작 해석을 위해 다음을 가정한다.

- (1) 변압기 2차 누설 인덕턴스는 무시한다.
- (2) C_B 는 V_{CB} 가 일정하도록 충분히 큰 값을 갖는다.
- (3) L_m 은 DC 차차전류 I_m 이 일정하도록 충분히 큰 값이다.
- (4) 출력 인덕터 L_o 는 L보다 충분히 큰 값이고 흐르는 전류는 항상 일정하다.

이론적인 동작 파형 및 등가회로는 그림 2, 3과 같다.

① 모드 1 (그림 2. M1)

Q_1 과 D_{SR2} 도통구간. 출력 인덕터 L_o 에 $(V_s - V_{CB}) \cdot N - V_o (= V_L)$ 가 인가되고 전류 i_o 은 V_L/L_o 의 기울기로 증가한다. 변압기 1차측 전류는 dc 자화전류 I_m 과 1차로 환산된 부하전류 Ni_o 의 합이 된다($Ni_o + I_m$). 이 구간 중 변압기 2차에는 식 (2.3)과 같은 전압이 발생하며 이는 정류기 SR_2 의 게이트 신호가 된다.

$$V_{g2} = (V_m - V_{CB})D/N \quad (2.3)$$

② 모드 2 (그림 2. M2)

Q_1 차단으로 시작. 스위치 출력 캐패시터 $C_1 \cdot C_2$ 가 각 충·방전을 하며, 변압기에 인가되는 전압은 감소한다. i_L 은 일정하게 유지되고 Q_1 의 턴-오프시 스너버로 작용한다. C_2 전압이 방전으로 $V_{CB}(=DV_s)$ 와 같아질 때 끝난다.

③ 모드 3 (그림 2. M3)

C_2 전압이 방전하여 C_B 양단 전압과 같을 때 변압기 1차측은 0V가되어($V_{XY}=0V$) 1·2차 권선은 분리된다. C_2 는 0V까지 방전을 계속하고 이때 D_2 가 도통을 시작하며 모드 4로 넘어간다.

④모드 4

전류 i_L 이 극성을 바꾸고, Q_2 가 도통하기 전 D_2 의 도통구간으로 Q_2 의 영전압 스위칭을 얻을 수 있는 구간이

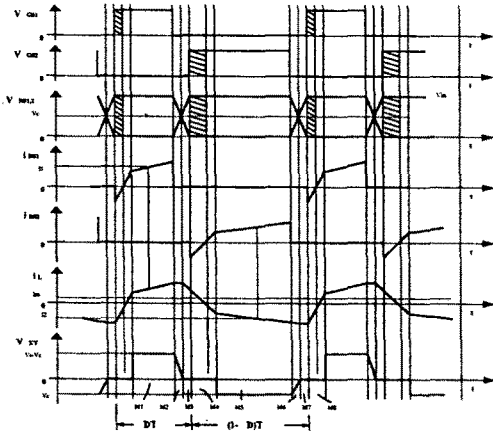


그림 3. 이론적인 회로 각부 파형

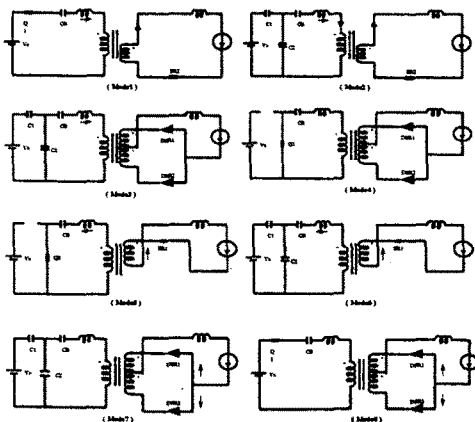


그림 2. 모드별 동작특성

다. 이 구간이 Q_2 턴-온에 이용할 수 있는 최대 시간이다. V_{XY} 는 여전히 0V이며 L양단에 $-V_{CB}$ 가 인가되어 1차 전류는 급격하게 감소한다. i_L 이 $(I_m - Ni_o)$ 에 이르러 모드 ⑤로 넘어간다.

모드 ⑤·⑥·⑦·⑧은 모드 ①~④와 동일한 동작을 한다. 모드 ⑤기간 중 C_B 는 부하의 에너지원으로 작용한다. 이 구간중 2차 변압기에는 식 (2.4)과 같은 전압이 발생하며 SR_1 게이트신호가 된다.

$$V_{g1} = V_{CB}(1-D)/n \quad (2.4)$$

모드 ②·③은 주 스위치 최소 지연시간으로 변압기에 흐르는 전류와 L의 크기, 출력 캐패시터 $C_1 \cdot C_2$ 및 입력 전압에 의해서 결정된다. 변압기 전류와 L의 크기가 큰 경우 지연시간은 짧아지고, $C_1 \cdot C_2$ 및 입력 전압이 클 경우 길어지게 된다.

2.3 듀티비 최적 동작조건

주 스위치 $Q_1 \cdot Q_2$ 는 듀티가 다른 상태로 동작하며, 운전중 변압기의 volt-second 평형을 만족시켜야 한다. 그림 4는 1차 권선에 인가되는 전압과 1차 전류를 나타낸다.

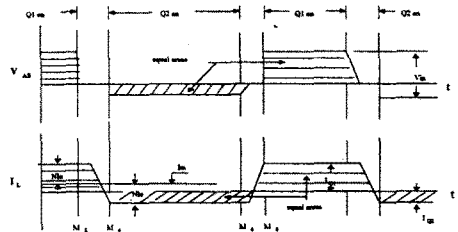


그림 4. 변압기 1차 전압 및 전류

그림 4에서 "equal-areas"로 표시된 영역에 대한 관계는 다음과 같다. 식 (2.6)으로 출력전압은 듀티 가변으로 제어할 수 있음을 알 수 있다.

$$V_{CB} = D V_s \quad (2.5)$$

$$V_o = \frac{2V_{in} D (1-D)}{n} \quad (2.6)$$

입력 캐패시터의 DC바이어스 전압을 유지하기 위해 스위치는 amp-second 평형을 만족해야 하며 그림 4에서 "equal-areas"로 표시된 영역에 대한 관계로부터 각 스위치 전류는 다음과 같다.

$$I_{Q1} = \frac{2 I_o (1-D)}{n} \quad (2.7)$$

$$I_{Q2} = \frac{2 I_o D}{n} \quad (2.8)$$

듀티에 따라 각 스위치를 통하는 전류는 대칭적이지 않으며 L_m 을 통하여 흐르는 전류에 의해서 보완된다. DC 자화전류와 스위치 전류의 관계는 식 (2.9)과 같다.

$$\begin{aligned} I_m &= \frac{I_{Q1} - I_{Q2}}{2} \\ &= \frac{I_o}{n} (1-2D) \end{aligned} \quad (2.9)$$

그림 4는 스위치전류 및 자화전류를 D의 함수로 나타

낸다. DC 자화전류의 최대 값은 듀티가 0% 및 100% 일 때 나타난다. 듀티가 50%일 때 DC 자화전류는 흐르지 않으며 본 회로의 최적의 동작 조건이다.

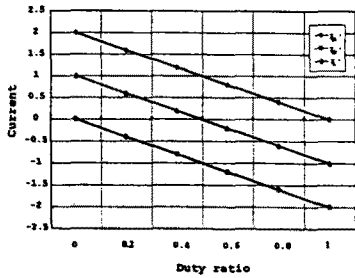


그림 5. 주 스위치 및 DC 자화전류

3. 시뮬레이션 및 실험

컨버터 입력전압은 50[V], 스위칭 주파수는 250kHz, 출력 5V, 10A, 50W를 기준으로 시뮬레이션 및 실험을 수행하였다. 변압기는 Magnetics사의 41208-EC (area product: 0.028cm²) 코어를 사용하였고 변압기 턴수는 N_p=15턴 N_s=2턴, 누설인덕턴스는 측정이 곤란하여 약 8%로 가정하였다.

그림 6, 7은 25(W), 50(W) 부하일 때 1차측 전류와 직렬 등가인덕턴스 및 변압기에 인가되는 전압의 시뮬레이션 파형이다.

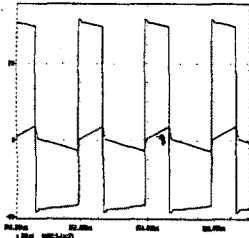


그림 6. 25W 부하

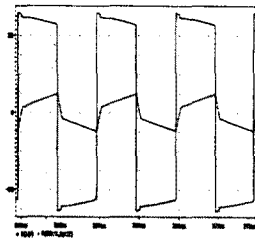


그림 7. 50W 부하

그림 8은 1차측 주 스위치 전압, 전류의 파형을 나타낸다. 회로의 기생 인덕턴스와 스위치 기생 캐패시턴스가 데드타임 구간동안 공진에 의해 성공적인 영전압 스위칭을 수행한다.

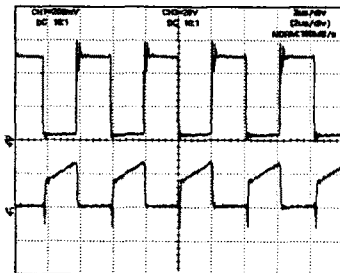


그림 8. 주 스위치 전압 및 전류.

그림 9는 출력전압 및 전류 파형을 나타낸다. 듀티비 50%에서 제안된 하프브리지 컨버터는 상보적 스위칭으로 출력단 리플이 감소됨을 보인다.

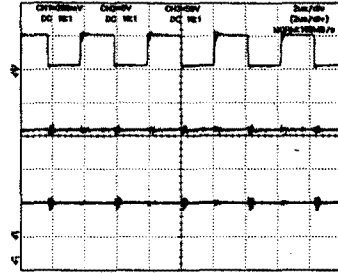


그림 9. 부하 전류 및 전압

그림 10은 컨버터의 효율 곡선을 나타낸다. 그림 5에서도 알 수 있듯이 듀티비가 0.5인 경우 DC자화전류는 흐르지 않게 되어 전압전달비가 최대가 된다. 정류기소자로 동기정류기를 사용하는 경우 효율 증가를 볼수 있다.

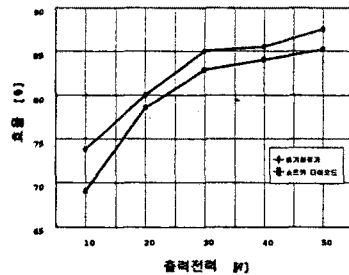


그림 10. 효율곡선

4. 결 론

본 논문에서는 ZVS 하프브리지 dc/dc 컨버터에 관하여 고찰하였다. 제안된 회로에서 영전압 스위칭 수행으로 고주파 스위칭에서 나타나는 스위칭 손실을 저감하였고 출력단 자기구동 정류방식을 사용하여 효율을 향상시킬 수 있었다. 출력전압 제어는 고정된 스위칭 주파수에서 스위치의 듀티비를 가변하여 수행하였다. 이러한 방식은 스위치의 전압 스트레스와 출력단 리플이 감소하여 출력 필터의 크기를 크게 줄일 수 있다. 결국 듀티비 50% 하프브리지의 최적의 동작조건이 된다.

(참 고 문 헌)

- [1] J. A. Cobos, "Study of the applicability of Self-Driven Synchronous Rectification to Resonant Topologies," IEEE PESC, 1992, pp.942-940.
- [2] F. C. Lee, "High frequency quasi-resonant and multi-resonant converter technologies," in Proc. Annu. Conf. IEEE Industrial Electronics Soc.(IECON), 1988, pp.509-521.
- [3] J. A. Sabate, V. Vlatkovic, R. Ridley, F. C. Lee, B. H. Cho, "Design Considerations for High-Voltage High-Power Full-Bridge Zero-Voltage-Switched PWM Converter," IEEE Application Power Electronics Conf. Proc., 1990, pp.275-284.
- [4] P. Imbertson and N. Mohan, "Asymmetrical duty cycle permits zero switching loss in PWM circuits with no conduction loss penalty," IEEE Trans. Ind. Applicat., vol.29, no.1, pp121-125, 1993