

SDH 전송시스템에서의 경로제어스위치

이상호¹, 고중혁², 성영권³
 1한서대학교 전자공학과, 2고려대학교 전기·전자·전파공학부

A Path Control Switch in SDH-based Transmission System

Sanghoon Lee¹, Junghyuk Koh², Yungkwan Sung³
 Dept. of Electronic Engineering, Hanseo Univ., School of Electrical Engineering, Korea Univ.

Abstract - In this paper, a path control switch has been developed for self-healing operation in SDH-based transmission system. The proposed switch is suitable for self-healing operations in both an Unidirectional Path Switched Ring and a 2-fiber Bidirectional Line Switched Ring. The path control switch is implemented with 0.8 μ m CMOS LSI chip. The self-healing operation of the switch is effectively done by the configuration information stored in the registers of the switch. The switch has an AU-3(51.84Mb/s) TSI(Time Slot Interchange) and has 1.25Gb/s throughput. But the higher throughput can be realized by combining two identical switches or more with the parallel architecture.

1. 서 론

ITU 권고안[1-2]에 따른 SDH (Synchronous Digital Hierarchy) 광전송시스템은 대용량의 정보를 전송할 수 있기 때문에 광대역 종합 정보통신망(B-ISDN)의 하부구조 역할을 한다. 그러나 전송시스템이나 광선로 상에 하드웨어적 망 장애가 발생할 때는 대용량의 데이터를 장시간 잃어버리기 때문에 이에 대한 연구들이 행해져 왔다[3-4]. 이러한 망 장애에 대한 대책으로는 ADM(Add-Drop Multiplexer) 광전송시스템들로 구성되는 자기복구링(self-healing ring)을 구축함으로써 전송망의 생존율을 향상시킬 수 있다. 이는 전송망을 링(ring) 구조로 구축하여 전송되는 데이터의 예비경로를 마련함으로써 전송로 중 어느 한곳의 결합 발생 시 다른 경로를 통해서 전송시킴으로 불통된 서비스를 자동적으로 복구시켜 준다. 위와 같이 재난발생에 대비하여 전송망이 링 구조와 같이 매우 복잡해짐에 따라서 각 전송망에서 노드의 역할을 하는 광전송시스템도 용량 증가와 더불어 복잡해진다. 즉 전송시스템에 접속되는 종속신호들의 수가 많아지고 또한 그 신호들의 흐름이 별도의 복안 경로를 가져야 하므로 복잡해지며, 선로 화재등의 사고 발생시는 이를 신호들의 신속한 경로변경이 이루어져야한다. 따라서 ADM 광전송시스템에 자기복구동작이 가능한 스위치 회로의 도입이 요구된다. 본 논문에서는 이러한 스위치 회로가 적용되는 자기복구링 구조와 동작에 대해 살펴보고 이 결과로부터 전송로상에 장애가 발생할 때 데이터 복구가 될 수 있는 구조를 갖는 디지털 신호들의 경로를 제어하는 스위치 소자를 제안하고 이를 0.8 μ m CMOS gate array로 설계한 후 설계 제작된 칩의 특성을 살펴보았다.

2. 본 론

2.1 양방향 선로 절체 링(BLSR)

양방향 링은 운용 트래픽(working traffic)들이 링의 노드들 사이에 있는 두 개의 병렬 채널을 통한 단일경로를 통해 양방향으로 전달되는 링이다. 즉 링으로의 유입

신호와 링으로부터의 반송신호가 서로 반대 방향으로 입·출입되기 때문에 전송 트래픽들이 최단거리로 전달된다. 따라서 운용 트래픽이 최단거리의 단일 경로를 통해 서로 전달되기 때문에 단방향 경로 절체 링(UPSR)에서처럼 특정 구간의 최대 트래픽이 다른 구간의 용량을 제한하는 것과는 달리 링의 다른 구간에서는 여분의 용량을 활용할 수 있는 이점이 있다. 양방향 선로 절체 링(BLSR)의 절체 동작은 선로 오버헤드인 K1, K2 바이트에 의해 수행되고 절체 동작을 하기 위해서는 노드간 데이터 교환이 필요하기 때문에 단방향 경로 절체 링의 경우보다는 복잡하다. 하지만 채널의 대역폭 이용률을 극대화 할 수 있으며, 정상 상태시 남은 채널 대역을 사용할 수 있으므로 예비 채널을 통해 여분의 서비스를 할 수 있다.

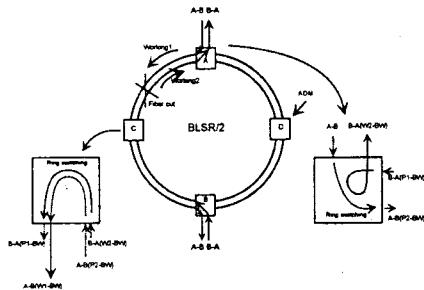


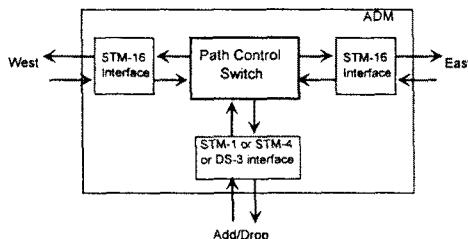
그림 1. 2-선식 양방향 선로 절체 링

양방향 선로 절체 링은 여유 용량의 배열에 따라서 2-fiber BLSR과 4-fiber BLSR로 구분된다. 2-fiber BLSR은 그림 1에서 나타낸 바와 같이 별도의 예비 채널을 위한 광선로 없이 2선 모두가 운용 채널로 사용된다. 그런데 각 광선로의 채널 용량이 절반으로 나뉘어져서 절반은 운용 트래픽으로, 나머지 절반은 예비 트래픽을 위한 용량으로 사용된다. 따라서 정상 동작 상태시에는 단지 운용 채널 용량만으로 트래픽을 전달한다. 그러나 광선로 절단 등 선로장애가 발생할 때는 타임 슬롯 교환에 의해 운용 채널상의 데이터가 예비 채널상으로 스위칭되여 선로장애를 대비한다. 이러한 타임 슬롯 교환에 의한 선로 절체 기능은 루우프백에 의한 링 스위칭(ring switching)이라 부른다. 그림 1에서처럼 노드 A와 노드 C간 광선로 절단 사고가 발생했을 때 복구를 위한 루우프백에 의한 링 스위칭 동작은 광선로가 절단된 곳의 인근 양쪽 노드 A와 C에서만 일어난다. 정상 동작 상태시 노드 A에서 1번 운용 채널(working1)의 운용대역을 따라서 노드 C를 거쳐 노드 B로 전달되는 신호들은 (A-B(W1-BW)) 장애가 발생될 때 노드 A에서 타임 슬롯 교환에 의해 2번 운용 채널(working2)의 예비대역으로 링 스위칭후(A-B(P2-BW)) 통과상태에 있는 노드 D를 거쳐서 목적지인 노드 B에 바로 도달하는 것이 아니라 노드 B도 역시 통과된 후 노드 C에서 다시 한번 루

우프백에 의한 타임 슬롯 교환으로 1번 운용 채널의 운용대역으로 스위칭된 후(A-B(W1-BW)) 최종적으로 노드 B에 도착된다. 마찬가지로 노드 B에서 2번 운용 채널의 운용대역을 통해 노드 C를 경유하여 노드 A에 전달되던 신호들은(B-A(W2-BW)) 노드 A, C간 장애가 발생될 때, 노드 B에서 2번 운용 채널의 운용대역을 통해 노드 C에 전달되고 노드 C에서 루우프백에 의한 타임 슬롯 교환으로 1번 운용 채널의 예비 대역으로 링 스위칭된 후(B-A(P1-BW)) 다시 노드 B와 노드 D를 경유한 후 노드 A에 도달한다. 이 때 노드 A에서 다시 한번 링 스위칭에 의해 2번 운용 채널의 운용대역으로 타임 슬롯 교환된 후(B-A(W2-BW)) 최종적으로 노드 A에서 수신된다. 이상에서와 같이 2-fiber BLSR은 임의의 광선로 상에 장애가 발생할 때 인접 양쪽 노드에서의 두 번의 링 스위칭동작에 의해 장애를 복구하므로 장애가 발생되어도 링 토포로지는 그대로 유지된다.

2.2 경로 제어 스위치

그림 2는 경로 제어 스위치 소자에 적용되는 ADM 전송시스템의 블록도이다.



경로 제어 스위치 소자에 입출력으로 접속되는 west, east 및 tributary 방면의 데이터 용량은 각각 모두 STM-16(2.5Gb/s)급으로 48채널의 51.84Mb/s의 AU-3이나 west 및 east의 링크는 STM-16 신호로 접속되고 tributary의 링크는 48개의 DS-3(44.736Mb/s) 혹은 16개의 STM-1(155Mb/s) 또는 4개의 STM-4(622Mb/s) 신호들로 접속된다. 결국 경로 제어 스위치 소자를 하나의 칩으로 설계할 때 요구되는 예상 I/O의 수는 300핀 이상이 되므로 칩 패키지 이용에 어려움이 있다. 따라서 본 논문에서는 2개의 동일한 경로 제어 스위치 소자를 병렬구조로 사용하여 이를 해결하였다. 즉, 각 칩의 west, east 및 tributary 방면의 데이터 용량은 1.25Gb/s로 24 채널의 AU-3 데이터들이 각각 입출력된다. 이는 하나의 경로 제어 스위치 소자가 처리하는 데이터 용량은 west, east, tributary 방향으로 각각 1.25Gb/s 용량으로 입출력되지만 칩 내에서 라우팅되는 총 신호의 용량은 7.2Gb/s가 된다. 본 논문에서 설계한 경로 제어 스위치 소자의 구조는 그림 3에서와 같이 교차 스위치(cross-point switch), 프레임 위상 정렬기(frame phase aligner), west-east 및 add-drop 제어부, unequipment 신호발생부 및 시스템 인터페이스부로 구분된다.

2.2.1 24 x 24 교차스위치

종속부로부터 입력되는 add 데이터들과 종속부로 출력되는 drop 데이터들은 각각 24 채널의 AU-3 신호들로서 ADM 전송시스템의 DS-3 동축케이블에 의해서 최종적으로 연결되는 부분이므로 입력되는 신호들의 흐름이 논블럭킹 구조로 설계되어야 한다. 여기서는 24 x 24 논블럭킹 구조의 AU-3 교차 스위치를 설계하기 위해서 24개의 24:1 MUX를 사용하여 1단 구조로 설계하였다. 각 해당 채널의 선택은 시스템 제어부의 마이크로프로세서 설정 데이터에 의해 선택된다.

2.2.2 프레임 위상 정렬

종속부로부터 입력되는 24 채널의 AU-3 신호들은 비록 동일한 클럭과 프레임 동기 신호에 의해 종속부에서 처리된다 하더라도 각 채널들이 전송 케이블로 접속되기 때문에 케이블 길이의 차이와 인쇄회로 기판상의 데이터 버퍼의 전파지연시간의 차이등으로 인해 클럭과 데이터 경로상에 스큐(skew)가 존재한다. 이것은 각 채널들의 데이터 프레임 위상이 서로 다른 상태로 경로 제어 스위치 소자에 입력됨을 의미한다. 따라서 이를 신호들을 교차 스위치 블록에서 처리하기 전에 그 데이터 프레임 위상들을 일치시켜야 한다[5].

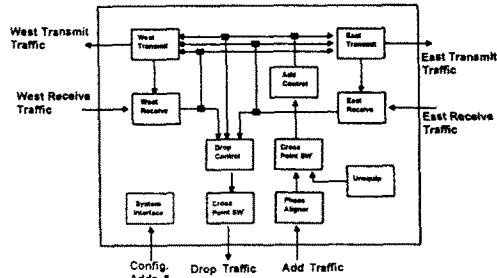


그림 3. 경로 제어 스위치의 블록도

2.2.3 Add-Drop 및 West-East 제어

24 채널의 AU-3 데이터가 각각 west, east 및 add, drop 신호의 형태로 각각 경로 제어 스위치 소자에 입출력된다. 이를 입출력되는 채널 데이터들의 경로들은 전송시스템이 전송 네트워크에 적용되는 구조에 따라서 시스템의 설정 정보(configuration information)에 의해 물리적으로 라우팅된다. 즉 전송시스템의 설정 모드가 선형 네트워크(linear chain) 모드이거나, 단방향 경로 절체링(UPSR) 모드 혹은 2-fiber 양방향 선로 절체링(BLSR) 모드에 따라서 내부 채널 신호들의 연결이 달라지게 된다. 이를 내부 채널 신호들의 경로 제어 동작은 시스템 제어부인 마이크로 프로세서의 인터페이스에 의해 수행된다. 전송시스템이 power on 될 때 시스템 제어부의 설정 정보가 해당 채널들의 경로를 결정하게 된다. 따라서 링 네트워크로 적용 시 임의의 광링크상에 광선로 절단과 같은 장애가 발생할 때 자기복구동작이 가능하도록 내부 신호들의 흐름을 경로 스위칭, 링 스위칭 루우프백으로 재설정한다.

2.2.4 Unequipment 신호발생

Unequipment 신호발생부는 종속부의 일부 채널이 전송 시스템에 설정되지 않을 때 최종 송·수신간의 혼란을 방지하기 위하여 ITU-T G.707 규격에 준해 구간오버헤드의 포인터 바이트(H1, H2)에 “01101000 00000000” 데이터를 데이터 프레임에 의도적으로 삽입시키는 블록이다.

2.2.5 시스템 인터페이스

시스템 인터페이스부는 전송시스템이 전송 네트워크에의 적용 구조에 따라 설정 데이터를 쓰고, 읽는 기능을 수행한다. 이를 위해서 어드레스 디코더, 데이터 레지스터들로 구성된다. 전송 선로 상에 장애가 발생했을 때 해당 신호들이 복구될 수 있도록 add, drop, through, ring switching loopback 등으로 경로 제어 스위치 소자의 설정 상태를 변경시켜 신호들의 새로운 경로를 제어한다. 이와 같은 신호들의 자기복구동작은 경로 제어 스위치 소자의 데이터 레지스터에 새로운 설정 데이터를 외부 데이터 버스를 통해 셜팅으로써 이루어진다. 데이터 레지스터의 재설정 과정은 각각 add-drop 및 add와 drop의 교차 스위치 블록의 어드레스-데이터 맵에 의해 이루어진다.

2.3 시험결과

설계된 경로 제어 스위치 소자는 $0.8\mu\text{m}$ CMOS gate array를 사용하여 제작되었다. 표 1은 설계 제작된 경로 제어 스위치 소자의 설계내용을 나타낸 것이다.

표 1. 경로 제어 스위치 소자의 설계내용

Input	3 groups(24 chs/group)
Output	3 groups(24 chs/group)
Date rate	51.84Mbps
Clock rate	51.84MHz
Throughput	1.25Gb/s(AU-32 24채널)
Data Format	AU-3
Technology	0.8 μm CMOS
Gate size	26,000 gates
Power dissipation	약 1W 이하
Package	240 pin PQFP

설계 제작된 소자의 성능을 평가하기 위하여 광전송시스템과 DS-3 송/수신 계측기(Anritsu Co. ME3401A)를 이용하여 시험장치를 구성하였다. 그림 4는 이의 시험 구성이다. 그림에서와 같이 DS-3 계측기로부터 출력되는 스크램블된 PRBS(Pseudo Random Bit Stream) 패턴의 DS-3 신호가 전송시스템의 종속부(TU)에서 AU-3 신호로 변환된 후 경로 제어 스위치 소자에 하나의 입력 데이터 채널로 입력된다. 이후 다중화 과정을 거쳐 STM-16(2.5Gb/s) 신호가 생성되고 광송신 모듈(OTX)에 의해 광신호로 변환된 후 광섬유로 전송된다. 이 신호는 전송시스템내의 고속 신호 수신 유니트로 다시 입력된 후 광수신 모듈(ORX)의 광전변환과 역다중화의 과정을 거쳐 AU-3 신호로 재변환된 후 종속부(TU)를 통해 DS-3 신호로 다시 바뀐다. 이 신호를 DS-3 계측기에 연결하여 채널별로 경로 제어 스위치 소자의 입출력 데이터를 측정 비교하였다. 임의의 특정 채널의 입출력 데이터를 일정시간동안(72시간) 측정하여 BER(Bit Error Rate)을 체크한 결과 $10^{-11} \sim 10^{-12}$ 정도로 양호한 특성을 얻었다. 따라서 설계된 경로 제어 스위치 소자는 신뢰성 있게 동작함을 알 수 있었다.

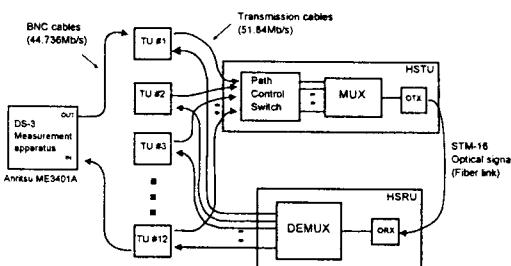


그림 4. 경로 제어 스위치의 시험 구성도

그림 5는 설계 제작된 경로 제어 스위치 소자가 2-선식 양방향 선로 절체링(2-BLSR) 모드로 설정될 때, 임의의 특정 채널에서의 입출력 데이터를 Tektronix사의 DSA 601A Digital Signal Analyzer로 측정한 결과의 일부이다. 즉, 광선로 절단과 같은 장애가 발생했다고 가정하여 임의의 특정 채널을 텅 스위칭 투우프백시켜 경로 제어 스위치 소자의 설정 상태를 변경 시킨 후 측정한 입출력 과형이다. 이 경우 채널상의 에러가 발생하지 않았으며 즉시 복구가 가능함을 보여 주었다. 아울러 설계 제작된 경로 제어 스위치 소자는 24 채널의 AU-3(51.84Mbps) 신호를 처리하므로 그 신호 처리율은 1.25Gb/s이다. 그런데 STM-16(2.5Gb/s 용량) 신호를 처리하기 위해서

는 2개의 스위치 소자가 있어야 한다. 이 경우 2개의 소자로부터 출력되는 모두 48 채널의 AU-3 경로 제어된 데이터들이 추후 다중화될 때, 단지 하나의 마스터 클럭에 의해서 리타이밍되므로 데이터들간의 스큐 못지 않게 스위치 소자간의 스큐도 중요하게 고려되어야 한다. 제작된 하나의 스위치 소자에서 측정된 출력 데이터들간의 스큐와 2개의 스위치 소자간 스큐는 약 2.0 ~ 3.0ns 이하로 측정되어 리타이밍을 위한 마스터 클럭의 비트 주기가 19.2ns임을 감안하면 다수 스위치 소자의 적용에는 큰 문제가 없다. 이는 이론적으로 2개, 4개, 6개, 8개 이상의 스위치 소자를 병렬 구조로 사용하여 2.5Gb/s, 3.75Gb/s, 5.0Gb/s, 7.5Gb/s, 10Gb/s의 스위칭 용량을 갖는 경로 제어 스위치 소자를 구현할 수 있음을 의미한다.

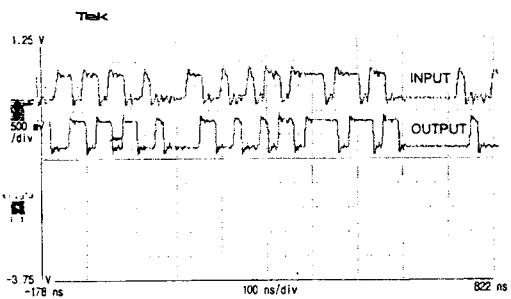


그림 5. 경로 제어 스위치의 입·출력 측정 과형

3. 결 론

SDH 광전송시스템에 적용되는 경로 제어 스위치 소자를 $0.8\mu\text{m}$ CMOS gate array를 사용하여 설계 및 제작하였다. 이 소자는 ADM 전송시스템의 자기복구동작을 지원하며 선형 전송망뿐 아니라 단방향 경로 절체링, 양방향 선로 절체링과 같은 환형 전송망에도 적용 할 수 있는 구조로 설계되었다. 설계 제작된 소자의 처리용량은 1.25Gb/s이나 2개 이상의 동일한 소자를 병렬구조로 사용함으로 더욱더 큰 처리용량을 얻을 수 있다.

[참 고 문 헌]

- [1] ITU Recommendation G.708, "Network Node Interface for the Synchronous Digital Hierarchy", 1993. 3
- [2] ITU Recommendation G.709, "Synchronous Multiplexing Structure", 1993. 3
- [3] T. H. Wu, "Fiber Network Service Survability", Artech house, 1992
- [4] T. H. Wu et al., "Feasibility Study of a High-Speed SONET Self-Healing Ring Architecture in Future Interoffice Networks", IEEE Communications Magazine, pp.33-51, Nov. 1990
- [5] 이상훈, 성영권, "SDH 동기식 전송시스템의 디지털 프레임 위상 정렬기", 대한전자공학회논문지 제34권 5면 12호 pp. 1-9, 1997