

이동통신용 strip line 적층 칩 필터 설계 및 제작

윤 중 략*, 김 지 균*, 이 석 원**, 이 현 용*

* 명지대학교 전기공학과, ** 호서대학교 제어계측공학과

Design and Fabrication of Strip Line Chip Filter for Mobile Communication

Jung Rag Yoon, Jee Gyun Kim, Seog Won Lee, Heun Yong Lee

* Myong-Ji University ** Hoseo University

Abstract - BiNbO₄ ceramics with 0.06wt% CuO, 0.1wt% V₂O₅ sintered at 900°C. The strip line chip filter has been design and fabricated by screen printing with silver electrode after tape casting. The characteristics of the fabricated filters were compared with the simulated results. In the strip line chip filter, insertion loss value of band pass width was 3.65[dB] and return loss was 8.9[dB] and center frequency was similar that simulation results.

1. 서 론

최근 이동 무선 통신기기의 사용이 급증하고 있으며 이동 통신용 단말기의 소형화가 요구되고 있다.⁽¹⁾ 이러한 요구에 부응하기 위해 단말기의 부품의 소형화가 요구되고 있으며 특히, 마이크로파 필터와 같은 부품의 소형화 및 SMD(Surface Mounted Device)화가 필수적이다. 따라서 본 연구에서는 기존의 유전체 공진기를 이용한 필터보다 소형화 및 SMD화가 가능한 적층형 칩 필터를 설계하고 설계 결과를 이용하여 적층 칩 공정을 이용하여 필터를 제작하였다.

2. 실험방법

본 실험에서 사용된 기본 물질은 Bi₂O₃, Nb₂O₅, CuO, V₂O₅를 사용하였으며 원료 및 칩 필터의 제조 공정은 그림 1과 같다. Bi₂O₃와 Nb₂O₅를 mol비로 1:1 이 되도록 평량한 후 순수물을 이용하여 24시간 습식 혼합하였다. 혼합 완료된 원료를 건조한 후 800°C에서 2시간 하소하였다. 하소한 분말에 소결 조제료 0.06wt% CuO, 0.1wt% V₂O₅를 첨가한 후 하소와 동일한 조건으로 24시간 습식 재분쇄한 후 건조하였다. 본 조성의 고주파 유전 특성을 조사하기 위해 5wt% PVA 수용액을 결합제로 첨가 한 후 직경이 15mm인 원통형 금형을 이용하여 1 ton/cm²의 압력으로 성형한 후 900°C에서 소결하였다. 적층 칩 필터는 일반적인 적층 칩 공정을 이용하였으며 세라믹 원료와 바인더의 배합비는 63: 38로 하여 slurry를 제조한 후 green sheet를 doctor blade법으로 약 50μm의 두께로 tape casting하였다. Ag 전극을 이용하여 15-20μm로 인쇄한 후 적층, 압착하였으며 이때 압착 조건은 60°C

에서 200Kg/cm²의 압력으로 8분 동안 압착하였다. 소성 조건은 300°C에서 24시간 binder burnout한 후 900°C에서 2시간 소결하여 필터를 제작하였다. 적층 칩 필터를 제작한 후 Network Analyzer (Model:8510C)를 이용하여 필터의 특성을 측정하여 평가하였다.

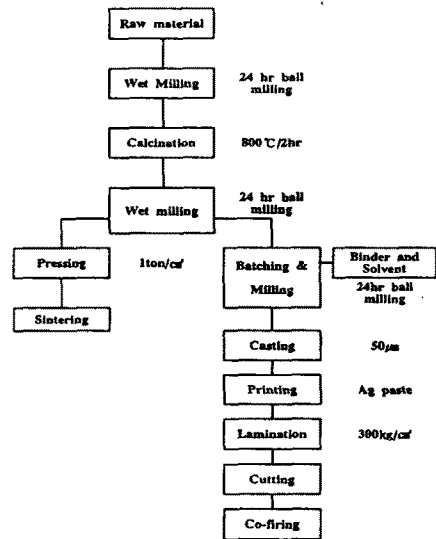


그림 1. 적층 칩 필터 제조 공정도

3. 적층 칩 필터 설계 및 pattern 구현^(2,3)

본 논문에서는 스트립라인 공진기를 이용한 적층 칩 필터를 설계하였으며 설계 방법으로는 저역통과 필터를 설계한 후 주파수 변환을 통하여 집중 소자화한 대역통과 필터를 설계하였으며 J-인버터 이론을 적용하여 마이크로파 대역에서 제작 가능한 필터를 설계하였다. 그림 2는 본 연구에 이용된 적층 칩 필터의 구조로서 J-인버터 이론을 이용하여 설계한 필터를 이용하여 결합 스트립 선로 이론 적용하여 strip line 공진기용 적층 칩 필터를 설계하였다. 결합 strip line 공진기의 등가 소자값 결정을 결정한 후 적층 칩

필터에서 최종적으로 구하고자하는 파라미터는 strip line의 우모드 임피던스(Z_{oe})와 기모드 임피던스(Z_{oo})의 임피던스 비를 이용하여 공진기 폭 W 와 공진기 간의 간격 g 를 구하였다. strip line 적층 칩 필터 설계 이론으로부터 필터의 중심 주파수가 600[MHz]이고 통과대역 리플이 0.2dB, 통과대역이 30[MHz]인 적층 칩 필터를 설계하였다. 설계시 유전율은 40이고 공진기의 우모드 임피던스는 17.5[Ω], 공진기 길이 4[mm], 공진기와 ground간의 거리 $t=0.8$ [mm]로 하여 시뮬레이션 하였다. 시뮬레이션 결과 $g = 1.3$ [mm], $W=6.94$ [mm], 입력, 출력 캐패시턴스 $C_{e1} = 3.14$ [pF], loading 캐패시턴스 $C_{r1} = 42.02$ [pF], 공진기간의 결합 캐패시턴스 $C_{12} = 3.03$ [pF]를 얻었다. 그림 3은 실제 필터 제작에 필요한 전극 pattern으로서 (a)는 ground 패턴 (b)는 strip line 공진기 패턴 (3)은 입출력 및 loading 캐패시턴스 패턴이다. 설계된 필터의 크기는 $5.5 \times 5.4 \times 1.6$ [mm]이 있으며 그림 4는 적층 필터의 필터의 시뮬레이션 결과로서 원하는 특성을 얻을 수 있음을 볼 수 있다.

Shield layer
Coupling capacitor layer
Planar line layer
Coupling capacitor layer
Shield layer

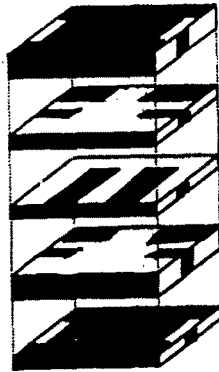
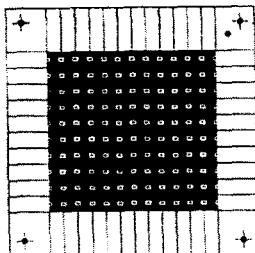
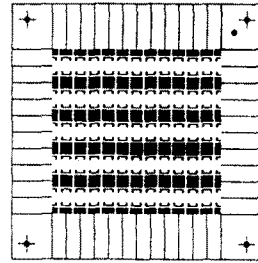


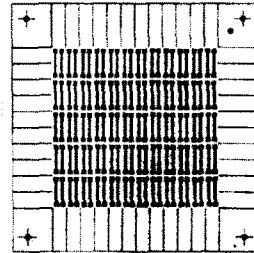
그림 2. 적층 칩 필터의 구조



(a)



(b)



(c)

그림 3. 필터의 입,출력 도체 전극

(a) 접지전극

(b)입,출력 및 loading 캐패시터 전극

(c) strip line 공진기 전극

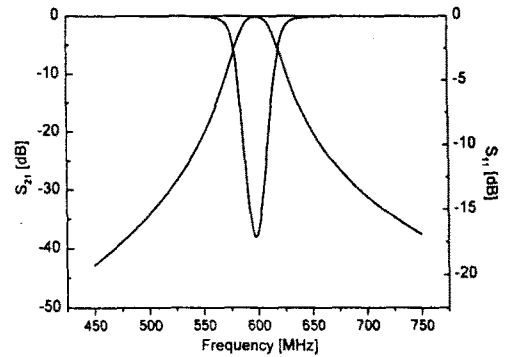


그림 4. 시뮬레이션 결과.

4. Strip line 적층 칩 필터 제작 및 검토

그림 5는 본 실험에 사용한 분말의 particle size 분포를 나타낸 그림으로서 불 밀을 이용하여 D_{50} 을 1.2 μ m로 조절하였다.

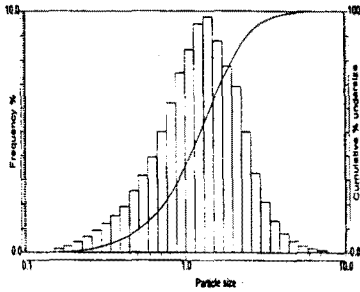


그림 5. 분말의 입도 분포

그림 6은 전극 패턴을 적층한 후 X-ray 투시기를 이용하여 전극의 내부구조를 확인한 것으로서 적층이 정확하게 되었음을 볼 수 있다.



그림 6 적층 칩 필터 도체 전극 정렬 상태

그림 7은 적층 칩 필터를 소성 후 Ag 전극과 세라믹간의 계면 층의 미세구조로서 소성 후 전극의 두께는 약 15 μ m임을 볼 수 있으며 전극과 세라믹과의 밀착 상태가 양호함을 볼 수 있다.

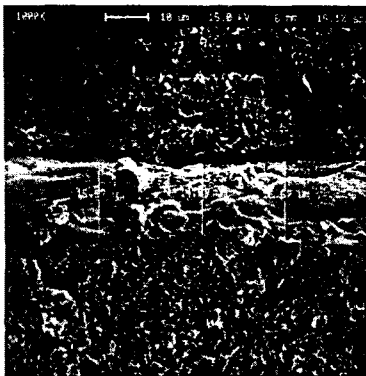


그림 7. 세라믹과 도체 전극간의 계면

그림 8은 제작된 적층 칩 필터를 Network Analyzer를 이용하여 측정된 결과로서 중심주파

수는 600[MHz]이고 통과 대역내의 삽입 손실은 3.65 [dB]이고 대역폭이 30[MHz]임을 알 수 있으며 통과 대역의 반사손실은 -8.98[dB]이하, 중심주파수 보다 120 [MHz] 낮은 주파수에서의 감쇄량은 28[dB]로 측정되었다. 시뮬레이션 결과와 비교하여 보면 중심주파수 및 대역폭은 잘 일치함을 볼 수 있으며 반사 손실이 크게 나타났다. 이와같은 결과는 측정시 측정 지그 단자와 설계시 고려하지 못한 입력 및 출력단자의 기생 용량에 의한 결과로 예상된다.

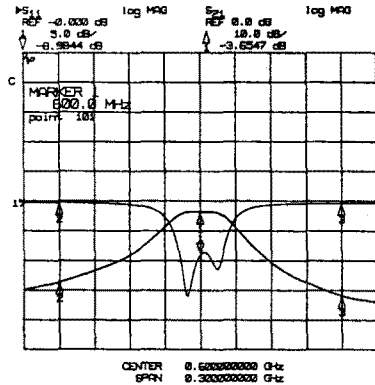


그림 8. 적층 칩 필터 측정 결과.

5. 결 론

$\text{BiNbO}_4 + \text{CuO } 0.06\text{wt}\% + \text{V}_2\text{O}_5 \text{ } 0.1\text{wt}\%$ 를 첨가하여 유전율이 40이고 900 $^{\circ}\text{C}$ 에서 소결 가능한 유전체를 얻었으며 이를 이용하여 strip line 적층형 필터를 제작하였다. 적층형 칩 필터 설계 결과 원하는 특성을 얻을 수 있었으며 설계의 타당성을 확인 할 수 있었다. 또한, 실제 제작 결과와 비교하면 중심주파수가 일치함을 볼 수 있으며 반사 손실 및 삽입 손실의 경우 시뮬레이션 결과와 상이한 결과를 나타내지만 본 연구 결과를 이용하면 소형화된 적층 칩 필터로의 제작 가능성이 볼 수 있다.

참 고 문 헌

- 1.西瀨顯, "移動體通信單末部品の 技術動向," 電子技術, pp. 23-28, Feb. 1995
- 2.H.Kagata, T.Inoue and J.Kato, "Low-Fire Bismuth-Based Dielectric Ceramics for Microwave use", Jpn. J. Appl. Phys., Vol.31, pp. 3152-3155, 1992
- 3.G.L.Matthaei, L.Young, and E.M.T. Jones, Microwave Filters, Impedance Matching Networks, and Coupling Structures, Artech House, 1980.