신경신호 기록용 능동형 반도체 미세전극을 위한 CMOS 전치증폭기의 잡음특성 설계방법

김 경 환, 김 성 준
서울대학교 공과대학 전기공학부

Design Method of Noise Performance of CMOS Preamplifier for the Active Semiconductor Neural Probe

Kyung Hwan Kim and Sung June Kim
School of Electrical Engineering, College of Engineering, Seoul National University

ABSTRACT

Noise characteristics of preamplifier, the most essential part of on-chip signal processing circuitry for the active semiconductor neural probe, is the important factor determining the overall signal-to-noise-ratio (SNR). We present a systematic design method for the optimization of SNR, based on the spectral characteristics of the electrode, circuit noise and extracelluar action potential. Analytical expression is derived to calculate total output noise power. Output SNR of 2-stage CMOS preamplifier is tailored to meet the given specification while the layout area is minimized.

1. 서론

신경신호의 세포막외 측정은 뉴런의 활성을 직접적으로 관찰함으로써 신경계를 연구하기 위한 방법 중 가장 많이 사용되는 방법이다. 최근의 반도체공정기술의 발전으로 인하여 종래의 금속전극대신 전기적, 기하학적구조를 잘 제어할 수 있을 뿐만 아니라 신호처리회로를 전극과 단일기판 집적할 수 있는 반도체미세전극이 출현하게 됨에 따라 다중채널기록을 보다 효율적으로 할 수 있게 되었다 [1], [2]. 이러한 반도체 미세전극의 가장 큰 장점 중 하나는 이후 신호처리를 위해 필수적인 전치증폭기를 단일기판에 집적할 수 있다는 사실이다. 그러나 CMOS 집적회로를 구성하는 기본소자인 MOSFET 의 저주파잡음특성은 매우 좋지 못하며 이로 인하여 잡음특성을 고려하지 않고 전치증폭기를 설계할 경우 신호대잡음비(SNR)가 매우 나쁘게 될 수 있다. 본 연구에서는 반도체미세전극과 집적될 수 있는 2-Stage CMOS differential amplifier 에 대하여 이후 시스템에서 필요로 하는 SNR 을 만족하는 동시에 레이아웃 면적을 최소화하는 설계방법을 체계적으로 제시한다.

2. 잡음특성을 고려한 설계의 필요성 및 2-Stage CMOS differential amplifier 의 잡음특성 설계 방법

MOSFET 의 경우 열잡음 및 1/f 잡음이 주요한 잡음원으로 작용한다 [3]. 신경신호의 대역폭인 약 5 kHz 이하에서는 MOSFET 의 1/f 잡음전력밀도의 크기가 매우 크기 때문에 특별한 저잡음 공정이 사용되지 않는 경우 약 100 uV 이하의 신경신호의 크기를 고려할 때, 이후 신호처리가 불가능할 정도의 좋지 못한 SNR 을 얻게 될 수 있다.

그림 1 의 기본적인 2-Stage differential amplifier 구조는 신경신호의 전치증폭에 충분한 전압이득 및 대역폭을 만족시킬 수 있다. 전극-체액간 등가임피던스 와 소자의 등가 잡음원을 고려하여 증폭기의 입력단에서의 총등가잡음원을 구할 수 있다. 이와 전달함수로부터 다음과 같이 출력단에서의 잡음전력을 유도하였으며 그림 3 의 *Aplysia* 의 abdominal ganglion 에서 측정한 60 uV 크기의 신호에 대하여 여러 파라미터들을 변화시켜 가면서 SNR 을 계산하였다. 그림 4 는 dominant pole 주파수에 따른 SNR 의 변화를 여

러가지의 g_{m3}/g_{m1} 값에 대하여 나타낸것이다. 이로부터 약 5 kHz 이상으로 dominant pole 주파수를 증가시킬 필요가 없다는 사실과 함께, g_{m3}/g_{m1} 이 증가함에 따라 SNR 이 감소한다는 사실을 알 수 있다. 그림 6 은 pole 주파수가 5 kHz 일때 transconductance 에 따른 SNR 을 나타낸 그림으로 g_{m3}/g_{m1} 값이 0.4-0.5 로 증가함에 따라 SNR 이 급격히 감소함을 보여준다.

다음으로 소자크기에 따른 SNR 의 변화를 고찰하였다. 그림 8 은 두 입력단 소자의 게이트 면적에 따른 SNR 의 변화이다. 이로부터 필요로하는 SNR 을 만족시키는 게이트 면적을 알 수 있다.

3. 결론

본 연구에서는 능동형 반도체 미세전극의 신호처리회로 중 가장 중요한 전치증폭기의 잡음특성을 체계적으로 설계하는 방법을 제시하였다. 만약 주어진 집적회로 제작공정이 허용하는 최소의 크기로 입력단을 설계한다면 출력잡음전력이 신호전력보다 훨씬 커지게 된다는 사실을 보였으며 이로써 특별한 저잡음공정이나 본 연구에서 제시한 잡음특성설계방법을 적용하여야 함을 보였다.

참고문헌

[1] J. Ji and K. D. Wise, *IEEE J. Solid-State Circuits*, pp 433-443, Mar., 1992.

[2] G. T. A. Kovacs, C. W. Storment and J. M. Rosen, *IEEE Trans. Biomedical Eng.*, pp 893-902, Sep., 1992

[3] A. van der Ziel, *Noise in Solid State Devices and Circuits.* New York: Wiley, 1986

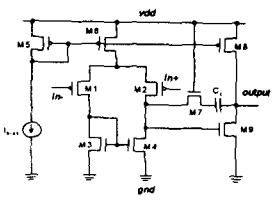

그림 1. 2-stage CMOS 전치증폭기의 회로도

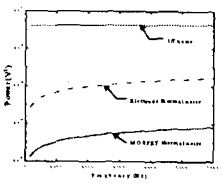

그림 2. Dominant pole frequency 에 따른 출력잡음전력의 변화

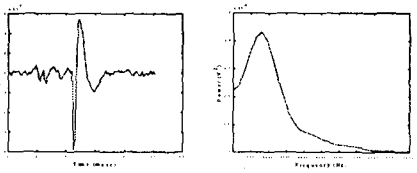

그림 3. 세포의활동전위 및 스펙트럼

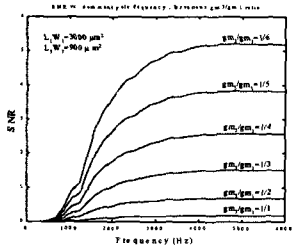

그림 4. Dominant pole 주파수에 따른 SNR 의 변화

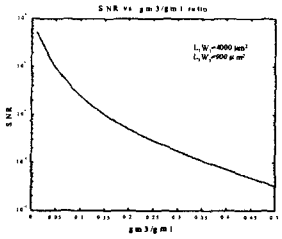

그림 5. transconductance 비에 따른 SNR 의 변화

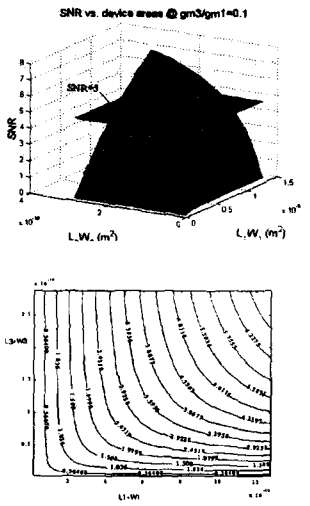

그림 6. 입력단 소자크기에 따른 SNR 의 변화.