

청각보철장치를 위한 어음 발체기의 FPGA 구현

°박석준, 홍민석, 신중인, 박상희
연세대학교 공과대학 전기공학과

FPGA Implementation of Speech Processor for Cochlear Implant

°S. J. Park, M. S. Hong, J. I. Shin, and S. H. Park
Department of Electrical Engineering, Yonsei University

ABSTRACT

In this paper the digital speech processing part of cochlear implant for sensorineural disorderly patients is implemented and simulated. We implement the speech processing part by dividing into three small parts - Filterbank, Pitch Detect, and Bandmapping parts. With the result, we conclude digital speech processing algorithm is implemented in FPGA perfectly. This means that cochlear implant can be made very small size.

서 론

인간의 청각계중 내이의 손상에 의해 감각성 난청(Sensorineural Disorder)이 된 환자의 경우, 청각보철 장치를 이용하여 사람의 음성을 어느 정도 구별하는 것은 가능한 것으로 밝혀져 있다.[1][2] 본 연구는 이러한 감각성 난청환자들을 위한 청각보철 장치의 핵심 부분인 음성신호처리용 chip의 구현이 목적이다. 일반적으로 H/W를 구현하는 방법에는 일반 개별소자, hybrid IC 또는 custom IC를 사용하는 방법등이 있을 수 있지만, digital 신호처리가 가능한 경우에는 DSP 프로세서나 FPGA가 적절하다고 할 수 있다. 그 중에서도 대규모의 양산이 아닌 소규모 생산인 경우에는 FPGA를 사용하는 것이 제품의 소형화나, algorithm의 변화에도 아주 적절히 대응할 수 있으므로 최적이라고 할 수 있다. 따라서 본 연구에서는 청각보철용 음성신호 처리 algorithm의 logic simulation을 행하여 제품의 소형화가 가능함을 확인하고자 한다.

본 론

음성 신호 처리부를 세가지로 나누었다(그림 1). 필터뱅크 부, 피치 추출 부, 밴드 맵핑부의 세가지는 각각 음성 신호에서 가장 중요한 포먼트 성분, 피치 성분을 추출하여 일렉트로드에 알맞은 자극을 주도록 한다. 필터뱅크 부와 피치 추출 부는 다섯 블록으로 나누어 설계하였다.

I. 필터뱅크 부

A. 프리엠퍼시스 블록

프리엠퍼시스 블록은 16-bit로 들어오는 음성신호를 식(1)에 의해 D-플립플롭을 이용해 클락 한 주기 시간 지연을 시켜 만든 $s(n-1)$ 과의 차(그림 2)를 구해 설계된다.

$$y(n) = s(n) - as(n-1) \quad \text{식 (1)}$$

B. 필터뱅크 블록

필터뱅크 블록은 주파수 0~5KHz를 32대역으로 나누고 각 대역에 해당하는 32개의 7탭 FIR 필터를 사용하여 구현하였다. 그림 3과 같은 한 대역을 처리하는 블록을 32개를 병렬로 연결한다. $a_1 \sim a_7$ 은 32개의 각 밴드에 해당하는 필터의 계수이고 E_n 은 각 밴드를 통과하고 나온 에너지이다.

C. 데이터 홀드 블록과 필터뱅크 출력 블록

데이터 홀드 블록과 필터뱅크 출력 블록은 전체적인 칩의 동작이 실시간 처리가 되어야하기 때문에 고안된 블록이다. 데이터 홀드 블록은 D-플립플롭을 사용해 한 프레임의 E_n 을 저장하고 필터뱅크 출력 블록은 32:1 멀티플렉서로 E_n 을 직렬 신호로 출력시킨다.

D. 최대 에너지 디렉터 블록

한 프레임의 음성 신호에서 가장 큰 에너지 값을 갖는 세 개의 주파수 밴드를 찾아내는 블록이다. 이는 직렬 신호로 입력되는 1~32 밴드의 에너지 값들을 하나씩 검사해 나가며 가장 큰 값을 갖는 3개의 밴드를 출력단에 보낸다.

II. 피치 추출 부

A. 3-단계 센터 클리핑 블록

$$C[s(n)] = \begin{cases} 1 & , s(n) \geq C_L \\ -1 & , s(n) \leq -C_L \\ 0 & , -C_L < s(n) < C_L \end{cases} \quad \text{식 (2)}$$

3-단계 센터 클리핑 블록의 입력 신호는 필터뱅크 부의 프리엠퍼시스 블록의 입력과 같은 음성 신호로 필터뱅크 부와 피치 추출부가 병렬 처리를 할 수 있도록 하였다. 이 3-단계 센터 클리핑 함수는 식 (2)로 표현된다.

B. 자기 상관 계수 추출 블록 (autocorrelator)

자기 상관 계수 추출 블록에서는 한 프레임의 센터 클리핑된 데이터를 가지고 실제 피치의 존재 범위를 고려하여 $r(50) \sim r(90)$ 까지만을 구한다. 그림 4의 블록도와 같이 구현하여 병렬 처리된 자기

상관 계수를 얻는다.

C. 데이터 홀드 블록과 자기상관계수 출력 블록

필터 뱅크부에서와 실시간 구현을 위해 사용한다. 데이터 홀드 블록은 한 프레임의 자기상관계수를 저장하고 자기 상관 계수 출력 블록은 이 계수들을 직렬 출력시킨다. 구현방법은 필터 뱅크 부와 같다.

D. 피치 추출 블록

이 블록은 한 프레임의 r(50)~r(90)까지의 자기상관 계수를 이용하여 가장 큰 극대값을 찾는 방법으로 추출하였다. 이의 구현을 위해서 가장 큰 값을 뽑아내는 것 외에 극대값 즉 로컬 맥시멈의 조건을 하나 더 추가하여 피치를 추출했다. 블록도는 그림 5와 같으며 이 중 비교기는 극대값을 찾기 위해 앞의 두가지 조건을 비교한다.

III. 밴드 맵핑 부

한 프레임의 최대 에너지 밴드 3개와 피치를 입력받아, 출력으로 최대 에너지 밴드 3개에 해당하는 일렉트로드 3개에 피치 간격으로 임펄스를 발생한다. 이 때 출력되는 임펄스의 크기는 최대 에너지 밴드에 해당할 때 7(111₍₂₎), 두 번째 큰 에너지 밴드일 때 3(011₍₂₎), 세 번째 큰 에너지 밴드에 해당될 때 1(001₍₂₎)으로 발생시킨다. 결국 그림 6과 같이 입력으로는 4개의 신호가 들어오고 32개의 출력단 중 3개의 밴드에 피치 간격으로 임펄스를 출력한다.

실험 및 결과 고찰

실험은 앞의 방법에 의해 구현한 FPGA에 sampling frequency 10KHz인 단모음 /아/를 입력하여 수행했다. 그리고 음성의 기본 단위인 프레임은 25.6ms으로 설정하였다. 그림 7의 결과는 피치 추출 부에서 피치가 81이고 그 때의 자기상관 계수의 값이 21인 것과 필터 뱅크부에서 최대 에너지 밴드 3개가 8밴드, 9밴드, 10밴드로 선택되었고 밴드 맵핑 부에서 해당 프레임에서 피치에 해당하는 순간에 밴드 8, 9, 10에 각각 7(111₍₂₎), 3(011₍₂₎), 1(001₍₂₎)의 값을 정확히 맵핑해주는 것을 볼 수 있다. 그림 8은 그 후 8.1ms(81클락 주기) 즉 한 피치 주기 후에 다시 맵핑 되는 것을 보여준다.

결 론

본 논문에서는 청각 보철 장치의 소형화를 위해 음성 신호 처리부를 구현하여 10KHz sampling 음성 데이터인 단모음 /아/를 이용해 시뮬레이션을 하였으며 c language로 구현한 실험 결과와 똑같은 결과를 얻을 수 있었다. 따라서 본 논문의 방법으로 구현된 FPGA를 사용할 경우 제품의 경박단소화가 가능함을 확인할 수 있었다.

본 연구는 1995년 보건복지부에서 시행한 G7 의료공학기술개발사업(HMP-95-G-2-31)의 3차년도 연구결과임을 밝힙니다.

참 고 문 헌

[1] Blake S. Wilson et al., "Speech Processors for Cochlear Prostheses", Proceedings of IEEE, Vol.76, NO.9, Sep.1988
 [2] Hugh J. McDermott et al., "A portable programmable digital sound processor for Cochlea implant research", IEEE Trans. on Rehabilitation Engineering, Vol.1 NO.2, June 1993
 [3] Frank Scarpino, "VHDL and AHDL Digital System Implementation", Prentice Hall
 [4] A.M. Kondo, "Digital Speech", Wiley and Sons, 1994

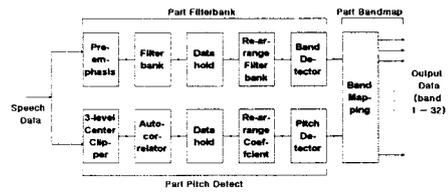


그림 1

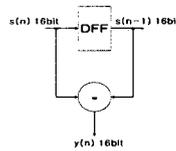


그림 2

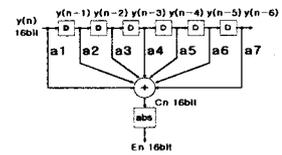


그림 3

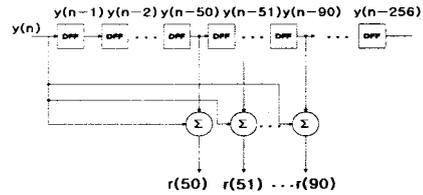


그림 4

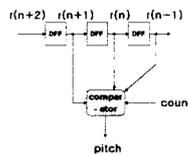


그림 5

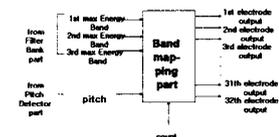


그림 6

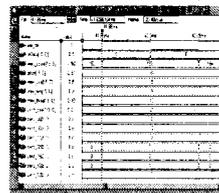


그림 7

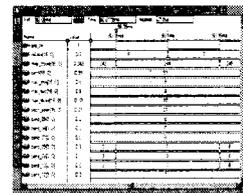


그림 8