

기억상태에 있는 전하트랩형 비휘발성 반도체 기억소자의 하위문턱이상전류특성
Anomalous Subthreshold Characteristics for Charge Trapping NVSM at
memory states.

김병철*, 김주연*, 서광열*, 이상배**
(Byung-Cheol Kim*, Joo-Yeon Kim*, Kwang-Yell Seo*, Sang-Bae Yi**)

* : 광운대학교 전자재료공학과 **:LG반도체(주)
* : Department of Electronic Materials Engineering, Kwangwoon Univ. **:LG Semicon co., Ltd.

Abstract

An anomalous current characteristics which show the superposition of a low current level and high current level at the subthreshold region when SONOSFETs are in memory states were investigated. We have assumed this phenomena were resulted from the effect of parasitic transistors by LOCOS isolation and were modeled to a parallel equivalent circuit of one memory transistor and two parasitic transistors. Theoretical curves are well fitted in measured $\log I_D$ - V_G curves independent of channel width of memory devices. The difference between low current level and high current level is apparently decreased with decrease of channel width of devices because parasitic devices dominantly contribute to the current conduction with decrease of channel width of memory devices. As a result, we concluded that the LOCOS isolation has to selectively adopt in the design of process for charge-trap type NVSM.

Key Words(중요 용어) : charge trapping NVSM(전하 트랩형 비휘발성 반도체 기억소자), SONOSFET,
anomalous subthreshold characteristics(하위문턱전류 이상특성)

1. 서론

SONOSFET는 소자제작공정이 간단하고 하나의 셀(cell)을 선택적으로 기록/소거할 수 있으며, 낮은 프로그래밍 전압이 가능하고 기억유지 능력이 우수하기 때문에 현재 저전압, 고집적 비휘발성 반도체 메모리를 위해서 가장 이상적인 구조로서 주목받고 있는 Full-Featured EEPROM(Electrically Erasable Programmable Read-only Memory)이다. 소자의 고집적화에 따라 채널의 폭이 작은 소자에서는 기억상태일 때 문턱전압이 높은 저전도 상태로 되며 사이드워크 현상 때문에 하위문턱전압에서 이상전류 전도 현상이 발생하는 문제가 있다¹⁻³⁾. 이것은 기억창의 크기 감소를 초래하게 되어 저소비전력 응용을 위해서 읽기 전류를 적게 하는데 제한을 가져오게 된다.

본 논문에서는 전하 트랩형 비휘발성 반도체 기억소자인 SONOSFET가 기억상태일 때 하위문턱전류영역에서 두 성분의 전류가 중첩되어 나타나는

이상 현상을 관찰하고 규명하였다. 이 현상을 LOCOS 격리의 새부리 부분에 의한 기생트랜지스터의 영향으로 가정하고, 기억트랜지스터와 기생트랜지스터가 병렬연결된 등가회로로 모델링하였다. 모델링 이론곡선을 소자의 채널 폭에 관계없이 측정곡선과 일치시킴으로써 이상특성현상을 밝히고자 하였다.

2. 소자제작

0.35 μm CMOS 공정을 이용하여 3중 절연막 구조를 갖는 SONOSFET를 제작하였다. 소자격리를 위해 4000 Å의 필드 산화막을 성장시켰다. 터널링 산화막은 800℃ 상압에서 질소로 희석시킨 산소(O₂:N₂=7.25 l/min:7.75 l/min)를 사용해서 열산화시켰으며, 질화막은 785℃에서 DCS와 NH₃의 혼합가스(DCS:NH₃ = 30sccm:100sccm)를 반응시켜 LPCVD방법으로 터널링 산화막 위에 증착하였다.

950 °C에서 습식산화 방법으로 블로킹 산화막을 성장시켰으며 ONO막의 두께는 각각 24 Å, 90 Å, 25 Å이었다.

3. 결과 및 고찰

그림 1은 ±9 V의 프로그래밍 전압을 인가한 후의 문턱전압에 따른 $\log I_D-V_G$ 특성곡선을 나타낸 것이다.

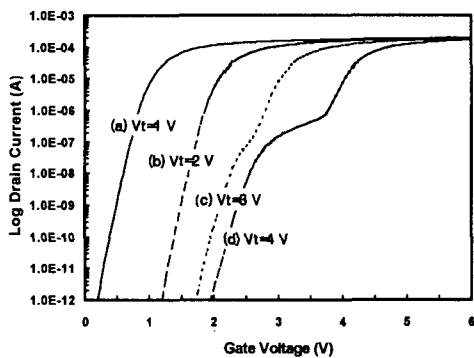


그림 1 n-채널 SONOSFET($W/L=20 \mu\text{m}/0.35 \mu\text{m}$)의 V_t 에 따른 $\log I_D-V_G$ 특성곡선

Fig. 1 $\log I_D-V_G$ characteristics curves with V_t conditions of n-channel SONOSFET($W/L=20 \mu\text{m}/0.35 \mu\text{m}$)

그림에서 (b)는 소자제작 후에 측정된 곡선으로 문턱전압이 2 V이다. -9 V의 소거전압을 인가하여 초기문턱전압이 1 V가 되도록 한 것이 (b)이다. 따라서(a)와 (b)는 기억되기 전의 상태를 나타내는 것이다. 초기상태에서 +9 V의 기억전압을 인가하여 문턱전압을 각각 3 V와 4 V로 한 (c), (d)에서 두 성분의 전류가 중첩되어 나타나는 이상특성현상이 관찰되었다. 이것은 두꺼운 필드 산화막의 새부리 영역이 SONOS 기생소자로 동작하기 때문으로 생각할 수 있다. (c)보다 (d)에서 두 전류성분의 차이가 현저한 것은 SONOS 기억소자의 얇은 산화막 영역이 낮은 전도상태와 높은 전도상태 사이에서 문턱전압이 바뀔 때 이 기생소자의 문턱전압은 SONOS 기억소자의 낮은 문턱전압과 높은 문턱전압의 어떤 전압으로 변화되게 된다. (d)의 경우는

문턱전압이 (c)보다 1 V 더 높기 때문에 더 많은 기억전하가 이 천이영역에 트랩 되었기 때문이다. 따라서 기억소자의 문턱전압이 높을 때 이 천이영역은 낮은 전압에서도 전류전도 현상이 발생할 수 있게 된다. 이 현상을 LOCOS격리 때문에 생성된 기생트랜지스터의 영향으로 가정하고, 그림 2와 같이 기억트랜지스터와 기생트랜지스터가 병렬연결된 등가회로로 모델링 하였다.

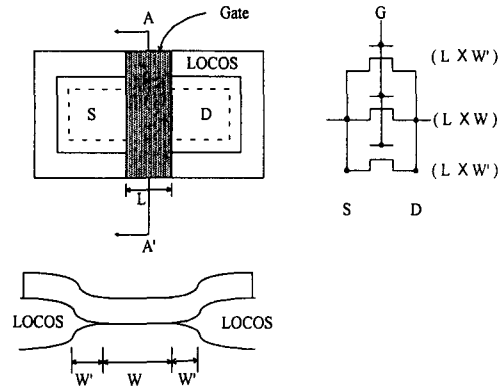


그림 2. 기억상태에서 기생누설전류를 나타내는 SONOS 소자구조의 단면도와 등가회로

Fig. 2 Equivalent circuit and cross-sectional view of SONOS device structure showing parasitic leakage current at memory states.

그림 3은 $W/L=20 \mu\text{m}/0.35 \mu\text{m}$ 인 n-채널 SONOSFET의 $\log I_D-V_G$ 측정곡선과 모델링에 의한 이론곡선을 일치시킨 결과이다. 여기서 측정곡선은 소자의 초기 문턱전압을 1 V로 한 상태에서 +9 V, 100 ms의 프로그래밍 전압을 인가한 후의 결과이다. 그림 3에서 알 수 있는바 같이 기억동작 후 SONOSFET의 전달특성곡선은 높은 전류영역과 낮은 전류영역으로 크게 구분되어 나타난다. 높은 전류영역은 기억소자에 의한 전류이므로 일치시키기 위하여 채널의 폭이 $20 \mu\text{m}$ 이고, ONO 3중 절연막의 두께를 유효산화막 두께인 87 Å으로 환산한 결과로부터 기존의 MOS 이론식을 적용하였다. 그리고 낮은 전류영역은 기생소자에 의한 누설전류이므로 이 영역을 일치시키기 위하여 기생소자의 채널 폭과 절연막의 두께를 변수로 하여 측정곡선과 일치시켰다. 그 결과 기생소자의 채널 폭이 $0.2 \mu\text{m}$ 이고

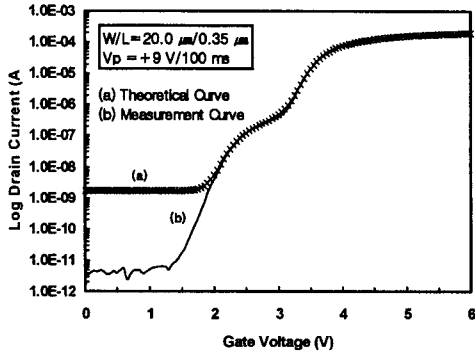


그림 3 $W/L=20 \mu\text{m}/0.35 \mu\text{m}$ 인 n-채널 SONOSFET의 $\log I_D-V_G$ 측정곡선과 이론곡선의 비교

Fig. 3 Comparison of theoretical curve and $\log I_D-V_G$ measurement curve in n-channel SONOSFET($W/L=20 \mu\text{m}/0.35 \mu\text{m}$)

새부리 영역의 필드 산화막 두께가 120 Å 일 때 이론곡선과 측정곡선이 가장 잘 일치함을 알 수 있었다. LOCOS의 새부리 영역의 산화막 두께는 일정하지 않기 때문에 120 Å의 두께는 절연막 두께의 평균값으로 해석해야 할 것이다.

그림 4는 그림 3의 일치결과를 채널의 폭이 0.5 μm인 소자에 동일하게 적용한 결과로서 우리가 가정한 모델링에 의한 이론곡선이 소자의 채널 폭이 감소하더라도 낮은 전류영역에서 측정곡선과 잘 일치됨을 알 수 있었다. 이것은 LOCOS 격리 때문에 생성된 새부리의 크기가 일정하므로 기생소자의 채널 폭도 소자의 크기와 관계없이 일정하게 되기 때문이다.

그림 5는 +9 V, 100 ms의 프로그래밍 전압을 인가한 후 채널의 폭에 따른 $\log I_D-V_G$ 특성곡선을 나타낸 것이다. 채널의 폭이 감소함에 따라서 기억소자와 기생소자의 전류 차이가 감소하는 것을 알 수 있다. 특히 채널의 폭이 0.5 μm인 경우 두 전류 성분의 차이를 구분 할 수 없을 정도이다. 이것은 기억소자와 기생소자의 채널 폭이 거의 동등하게 되기 때문이다. 즉 일치방법으로부터 구한 기생소자의 채널 폭이 0.2 μm이었으므로 LOCOS 격리 때문에 생성된 2개의 기생트랜지스터의 채널 폭은 0.4 μm가 된다. 따라서 소자의 채널 폭이 감소함에 따라

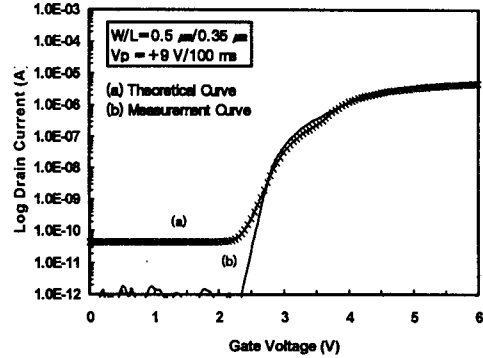


그림 4 $W/L=0.5 \mu\text{m}/0.35 \mu\text{m}$ 인 n-채널 SONOSFET의 $\log I_D-V_G$ 측정곡선과 이론곡선의 비교

Fig. 4 Comparison of theoretical curve and $\log I_D-V_G$ measurement curve in n-channel SONOSFET($W/L=0.5 \mu\text{m}/0.35 \mu\text{m}$)

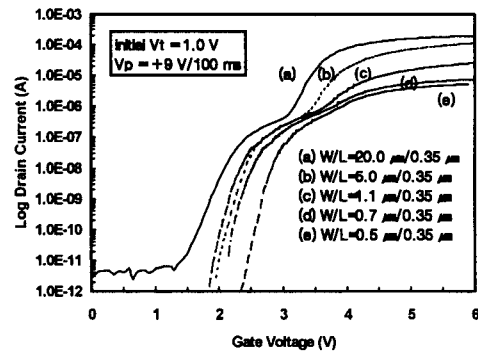


그림 5 +9 V/100 ms의 프로그래밍 전압을 인가한 후 채널의 폭에 따른 $\log I_D-V_G$ 특성곡선

Fig. 5 $\log I_D-V_G$ characteristics curves with channel width after the programming voltage is applied at +9 V/100 ms

서 기생소자가 전류전도에 주도적으로 기여하기 때문이라 해석할 수 있다. 따라서 전하트랩형 비휘발성 반도체 기억소자인 SONOSFET의 소자제작 공정시 LOCOS 격리방법을 적용할 경우 소자의 최소 채널 폭이 제한을 받게되므로 소자 및 공정설계에 LOCOS 격리방법은 선택적이어야 함을 알 수 있다.

4. 결론

전하 트랩형 비휘발성 반도체 기억소자인 SONOSFET가 기억상태일 때 하위문턱전류영역에서 두 성분의 전류가 중첩되어 나타나는 이상 특성을 관찰하고 규명하였다. 이 현상을 LOCOS격리 때문에 생성된 기생트랜지스터의 영향으로 가정하고, 기억트랜지스터와 기생트랜지스터가 병렬연결된 등가회로로 모델링 하였다. 모델링 이론곡선은 소자의 채널 폭에 관계없이 측정곡선과 잘 일치되어 이상특성현상을 밝힐 수 있었다. 소자의 채널 폭이 감소함에 따라 두 모양으로 분리되었던 전류의 차이가 현저히 감소되었으며 기억창의 크기 감소를 초래하게 되어 저소비전력 응용을 위해서 읽기 전류를 적게 하는데 제한을 가져오게 된다. 이것은 LOCOS 격리의 새부리 크기가 일정하고, 기생소자의 채널 폭도 소자의 크기와 관계없이 일정하기 때문에 소자의 채널 폭이 감소하면 기생소자가 전류 전도에 주도적으로 기여하기 때문이라 해석할 수 있다. 따라서 소자 및 공정설계에 LOCOS 격리방법은 선택적이어야 함을 알 수 있다.

참고문헌

- [1] P. J. Krick, "The Implanted stepped-oxide MNOSFET," IEEE Trans. Electron Devices (Corresp.), vol. ED-22, pp.62-63, Feb. 1975.
- [2] Y. Hsia, "Cross gate MNOS memory device," IEEE Trans. on Electron Devices, vol. ED-25, no. 8, pp. 1071-1072, 1978.
- [3] J. K. Lin, C. Y. Chang, H. S. Huang, K. L. Chen, and D. C. Kuo, "New Polysilicon-Oxide-Nitride-Oxide-Silicon Electrically Erasable Programmable Read-only memory Device Approach for Eliminating Off-Cell Leakage Current," Jpn. J. Appl. Phys. vol. 33, pp.2513-2514, Part 1, no. 5A, 1994.