

1998년도 한국표면공학회 추계 학술발표회 논문 초록집

전계 유도 방향성 결정화를 이용한 다결정 박막 트랜지스터의 전기적 특성
**Electrical characteristics of poly-Si thin film transistors using
 Field Aided Lateral Crystallization(FALC)**

전승익*, 최덕균 (한양대학교 무기재료공학과)

1. 서론

실리콘 박막 트랜지스터(silicon thin film transistor: Si TFT)는 능동 영역 액정 표시 소자 (Active Matrix Liquid Crystal Display: AMLCD)에서의 구동 소자로 폭넓게 응용되고 있으며 최근에는 기존의 비정질 실리콘 박막 트랜지스터를 높은 전계 이동도를 갖는 다결정질 실리콘 박막 트랜지스터로 대체하려는 연구가 활발히 진행되고 있다^[1-3]. 본 연구에서는 500°C 이하의 저온에서 전계 유도 방향성 결정화(Field Aided Lateral Crystallization, FALC)에 의해 다결정질 박막 트랜지스터를 제작하여 그의 전기적 특성을 분석하였고, 전기적 스트레스에 의해 누설 전류를 효과적으로 낮출 수 있는 방법을 제시하였다.

2. 실험방법

5000Å의 열산화막이 길러진 실리콘 웨이퍼 기판 상에 PECVD법에 의해 소자의 활성 영역으로 정의될 1000Å의 비정질 실리콘이 증착되었다. 사진 식각 공정(Photolithography)과 건식 에칭(Reactive Ion Etching)을 통해 활성 영역을 정의한 후, 1000Å의 게이트 산화막이 RF 마그네트론 스퍼터링법에 의해 증착되었다. 게이트 전극으로는 화학적, 물리적으로 안정한 몰리브덴(Mo)을 DC 스퍼터링법이 의해 3500Å의 두께로 증착한 후, 사진 식각 공정과 건식 및 습식 에칭으로 게이트 전극과 게이트 산화막을 각각 정의하였다(top gate self-aligned TFT). 저온 결정화 유도 금속 물질로는 30Å의 니켈(Ni)이 DC 스퍼터링법에 의해 증착되었고, 이온 질량 주입법에 의해 n-형의 도판트가 소오스와 드레인 영역에 주입되었다. 열처리는 질소 분위기의 관상로에서 전계 인가와 동시에 행해졌으며 소자의 전기적 특성은 HP4145B를 이용하여 측정하였다.

3. 결과 요약

500°C에서 3시간 동안 8V/cm의 전계가 인가된 상태에서 결정화 및 주입 불순물의 전기적인 활성화를 동시에 행한 FALC poly-Si TFT의 전기적 특성은 1.79×10^{-11} A의 off state current, 약 1.9V의 threshold voltage와 $45.7 \text{cm}^2/\text{Vs}$ 의 전계 효과 이동도등 매우 우수한 전기적 특성을 나타내었다. 그리고 누설 전류를 발생시키는 결합을 새로운 에너지 준위로 여기시킬 수 있는 전기적 스트레스에 의한 누설 전류의 변화를 조사하였는데, 전기적 스트레스가 인가되면 FALC poly-Si TFT의 누설 전류는 인가된 스트레스의 크기에 따라서 감소함을 나타내었다. 그리고 일반적으로 poly-Si TFT의 경우, 전기적 스트레스를 인가한 후 나타나는 변화는 누설 전류의 감소뿐만 아니라 문턱전압(threshold voltage)의 변화 및 on-current의 변화가 동시에 나타나는 것으로 보고되고 있는데^[4-5] 반해, FALC poly-Si TFT는 단지 수십 초의 전기적 스트레스를 인가한 후에도 급격한 누설 전류의 감소를 나타내었고, 더욱이 전자이동도나 문턱전압등 다른 우수한 전기적 특성을 저하시키지 않고 효과적으로 누설전류를 감소시킬 수 있음을 확인하였다. 그리고 FALC poly-Si TFT의 전기적 특성을 측정할 때 FALC가 시작된 부분, 즉 음의 전계를 인가한 부분을 드레인 접촉을 하고, 양의 전계를 인가한 부분을 소오스로 접촉하여 측정한 소자의 전기적 특성과 그 반대로 접촉하였을 때의 결과를 비교하였다. 그 결과 FALC에 의해 결합이 거의 존재하지 않고 우수한 결정으로 성장하기 시작한 부분이 드레인 으로 접촉되었으므로 그 반대의 접촉보다 더 낮은 누설전류 특성을 얻을 수 있었고 역시 다른 우수한 전기적 특성은 전혀 변하지 않았다. 그러므로 전기적 스트레스를 인가하거나 음의 전계를 인가한 부분을 드레인 접촉하여 FALC poly-Si TFT의 우수한 전기적 특성을 저하시키지 않으면서 누설전류를 효과적으로 낮출 수 있었다.

참고문헌

- [1] J. Levinson, *et al.*, J. Appl. Phys., 53(2), 1982 p1193
- [2] K. Ono, *et al.*, IEEE trans. electron device, 39(4), 1992 p792
- [3] T. Aoyama, *et al.*, IEEE trans. electron device, 38(9), 1992 p2058
- [4] Mark S. Rodder and Dimitri A. Antoniadis, IEEE Transaction on Electron Devices, ED-34(5), 1079 (1987)
- [5] Mark S. Rodder, IEEE Electron Device Letters, 11(8), 346 (1990)