

다치 논리를 이용한 PD 수 표현 다 입력 가산기 구현

양대영*, 김휘진*, 송홍복*
* 동의대학교 전자공학과

Implementation of PD number representation Multi-input Adder Using Multiple valued Logic

Dae-Young Yang*, Heui-Jin Kim*, Hong-Bok Song*
* Department of Electronic Engineering, Dong-eui University
Phone : +82-051-890-1938 , E-mail : dyyang@hyomin.dongeu.ac.kr

Abstract

This paper presents CMOS full adder design method based on carry-propagation-free addition trees and a circuit technique, so called multiple-valued current-mode (MVCM) circuits. The carry - propagation-free addition method uses a redundant digit sets called redundant positive-digit number representations. The carry - propagation - free addition is by three steps, and the adder can be designed directly and efficiently from the algorithm using MVCM circuit. We demonstrate the effectiveness of the proposed method through simulation(SPICE).

I. 서 론

기존의 2치 논리에서는 캐리 전파에 의해서 연산의 속도가 제한되어질 뿐만 아니라 VLSI화에 따른 회로의 서브 마이크론 화에 의해서 내부배선의 복잡성이 증가하게 되어 신호 전송 시 지연시간이 증가하는 등 몇 가지 문제들이 나타나게 되었다. 즉, 기존의 2치 논리에서는 0,1이외의 수를 표현하기 위해서 캐리 발생이 필연적이고, 실제 연산기 설계 시 캐리들을 처리하기 위해서는 능동소자의 수가 증가하게 되므로 연산의 속도가 저하되는 결과를 가져온다. 또한 서브 마이크론화가 진행됨에 따라 VLSI에서 칩(Chip) 실효 면적 중에서 내부 배선이 차지하는 면적이 70%이상의 비율을 차지하므로 배선 영역 및 배선 용량, 저항의 증대 등으로 인하여 신호를 전송할 때 지연시간이 길어지게 된다. 이와 같은 문제점들을 해결하기 위해서 최근에 다치 논리를 기본으로 하는 응용분야들이 주목되고 있다.^{[1]-[4]} 다치 논리의 일반적인

특징으로는 입출력의 편수를 감소시킴으로써 집적 밀도를 증가시킬 수 있고, 배선의 복잡성을 감소시켜 회로를 정형화함으로써 연산 속도를 높일 수 있다. 또한 다치 논리 회로에서 Signed-digit (SD) 와 Redundant Positive-digit (PD) 수 표현을 이용하여 병렬 가산을 실현한다면, 캐리전파 없이 병렬 가산을 행할 수 있으므로 연산을 고속화 할 수 있다.^{[5]-[10]}

본 논문에서는 캐리 전파 없이 병렬 가산이 가능하고 게이트 지연을 줄여 연산의 속도를 고속화 할 수 있는 PD 수 표현의 다 입력 전류 모드 CMOS 가산기를 제안한다. 이 가산기의 유효함은 시뮬레이션(SPICE)을 이용하여 확인할 것이다

II. 다 입력을 갖는 가산기

1. 2진 2입력 가산기의 실제 설계

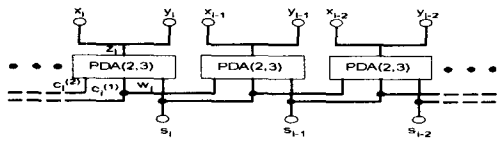
2진 2입력 가산에는 캐리 전파를 없애기 위해서 PD(2,3) 와 PD(2,2)수 표시를 사용하였다. PD(2,3)은 {0,1,2,3}의 디지털 집합으로, PD(2,2)는{0,1,2}의 디지털 집합으로 표현된다. 먼저, PD(2,3)을 이용한 2진 2입력 가산에서 입력은 $X=(x_{n-1} \cdots x_i \cdots x_0)_{PD(2,3)}$ 와 $Y=(y_{n-1} \cdots y_i \cdots y_0)_{PD(2,3)}$ 이고, $x_i, y_i \in \{0,1,2,3\}$ 이다. X와 Y를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad (1)$$

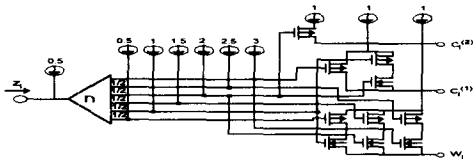
$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (2)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad (3)$$

여기서 선형합 $z_i \in \{0,1, \dots, 6\}$, 캐리와 중간합 $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$, 최종합 $s_i \in \{0,1,2,3\}$ 이다. 위의 식을 이용해서 2진 2입력 PD(2,3) 가산기를 구성하면 다음과 같다.



(a)



(b)



(c)

그림 1. 병렬 PD(2,3) 가산기

(a)가산기, (b)PDA(2,3)소자 (c)PDA(2,3)소자의 과도응답 특성

Fig 1. Parallel PD(2,3) adder

(a)adder, (b)PDA(2,3)cell, (c)Transient response characteristics of PDA(2,3)

여기서, 입력을 논리치 {0,1,2,3,4,5,6}으로 했을 때 중간합 w_i 는 {0,1,0,1,0,1,0}, 캐리 $c_i^{(2)}$ 은 {0,0,0,0,1,1,1}, 캐리 $c_i^{(1)}$ 은 {0,0,1,1,0,0,1}가 나온다. 이는 식 (1)-(3)의 결과와 일치함을 알 수 있다. 선형 합 z_i 와 최종 합 s_i 는 가산기 설계 시 별도의 능동 소자 없이 결선만으로도 얻어진다. 이 특징을 이용한다면 가산기의 구조를 단순화 할 수 있으므로 연산을 고속으로 수행할 수 있다. 그리고 PD(2,2)를 이용한 병렬 가산에서 입력은 $X=(x_{n-1} \cdots x_i \cdots x_0)_{PD(2,2)}$ 와 $Y=(y_{n-1} \cdots y_i \cdots y_0)_{PD(2,2)}$ 이고, $x_i, y_i \in \{0,1,2\}$ 이다. X와 Y를 이용한 병렬 가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad (4)$$

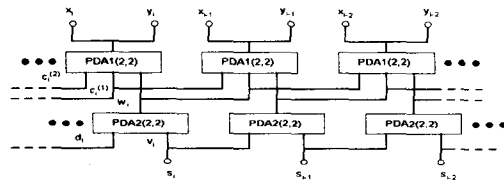
$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (5)$$

$$t_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad (6)$$

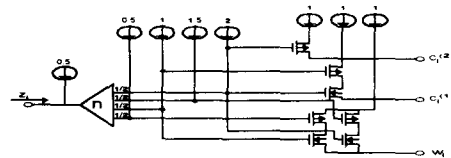
$$2d_i + v_i = t_i \quad (7)$$

$$s_i = v_i + d_{i-1} \quad (8)$$

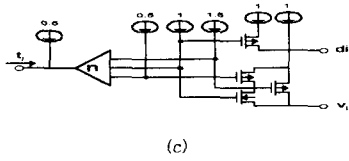
여기서 선형합 $z_i \in \{0,1,2,3,4\}$, 캐리와 중간합 $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$, 2단에서의 캐리와 중간합 $d_i, v_i \in \{0,1\}$, 최종합 $s_i \in \{0,1,2\}$ 이다. 여기서도 선형 합 z_i 와 최종 합 s_i 는 별도의 능동소자 없이 결선만으로도 얻어지므로 간략화 된 PD (2,2) 병렬 가산기 구조는 다음과 같다.



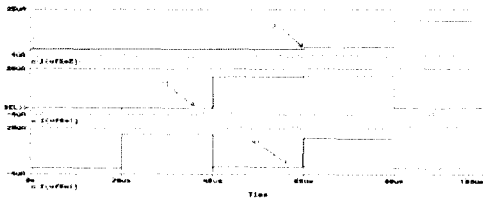
(a)



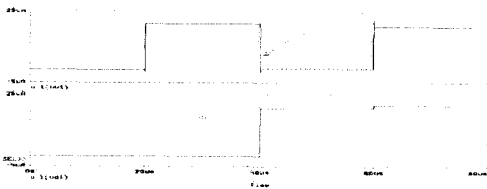
(b)



(c)



(d)



(e)

그림 2. 병렬 PD(2,2) 가산기 : (a)가산기 (b) PDA1(2,2)소자 (c) PDA2(2,2) 소자 (d) PDA1(2,2)의 과도응답 특성 (e) PDA2(2,2)의 과도응답 특성

Fig 2. Parallel PD(2,2) adder : (a) adder (b) PDA1(2,2) cell (c) PDA2(2,2) cell (d) Transient response characteristics of PDA1(2,2) (e) Transient response characteristics of PDA2(2,2)

여기서 입력을 논리치 {0,1,2,3,4}로 했을 때 중간합 W_i 는 {0,1,0,1,0}, 캐리 $c_i^{(2)}$ 은 {0,0,0,0,1}, 캐리 $c_i^{(1)}$ 은 {0,0,1,1,0}가 나오고, 2단의 입력 t_i 가 논리치 {0,1,2,3}일 때 2단의 캐리 d_i 는 {0,0,1,1}, 중간합 V_i 는 {0,1,0,0}이다. 이것은 식 (4)-(8)의 결과와 일치함을 알 수 있다.

2. 2진 3입력 가산기의 구현

2진 3입력 가산기의 구현에서는 캐리 전파를 없애기 위해서 PD(2,4) 수 표시를 사용하였다. PD(2,4)은 {0,1,2,3,4}의 디지털 집합으로 표현된다. PD(2,4)을 이용한 2진 3입력 가산에서 입력은

$$K=(k_{n-1}\cdots k_i\cdots k_0)_{PD(2,4)}, L=(l_{n-1}\cdots l_i\cdots l_0)_{PD(2,4)},$$

$$M=(m_{n-1}\cdots m_i\cdots m_0) \text{ 이고, } k_i, l_i, m_i \in \{0,1,2,3,4\}$$

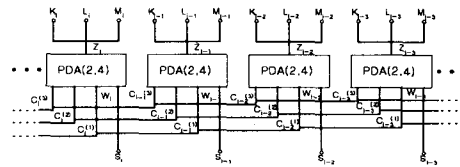
이다. K, L, Y를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = k_i + l_i + m_i \quad (9)$$

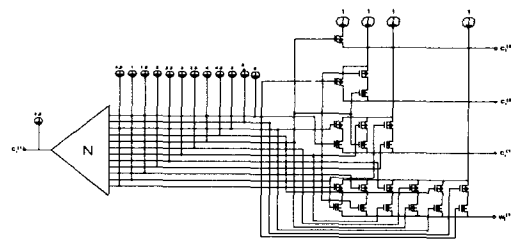
$$8c_i^{(3)} + 4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (10)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} + c_{i-3}^{(3)} \quad (11)$$

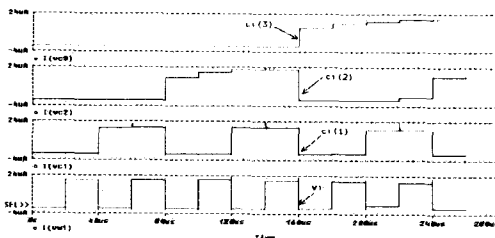
여기서 선형합 $z_i \in \{0,1,\dots,12\}$, 캐리와 중간합 $c_i^{(3)}, c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$, 최종합 $s_i \in \{0,1,2,3,4\}$ 이다. 위의 식을 이용해서 2진 4입력 PD(24) 가산기를 구성하면 다음과 같다.



(a)



(b)



(c)

그림 3. 병렬 PD(2,4) 가산기

(a) 가산기, (b) PDA(2,4)소자, (c) PDA(2,3)소자의 과도응답특성

Fig 3. Parallel PD(2,4) adder (a) adder, (b) PDA(2,4) cell, (c) Transient response characteristics of Fig 5

2. 2진 4입력 가산기의 구현

2진 3입력 가산기의 구현에서는 캐리 전파를 없애기 위해서 PD(2,5) 수 표현을 사용하였다. PD(2,4)은 {0,1,2,3,4,5}의 디지털 집합으로 표현된다. PD(2,5)을 이용한 2진 3입력 가산에서 입력은 $K=(k_{n-1}\dots k_i\dots k_0)_{PD(2,5)}$

$$L=(l_{n-1}\dots l_i\dots l_0)_{PD(2,5)} \quad PD(2,5)$$

$$M=(m_{n-1}\dots m_i\dots m_0)_{PD(2,5)},$$

$$N=(n_{n-1}\dots n_i\dots n_0)_{PD(2,5)} \quad \text{이고,}$$

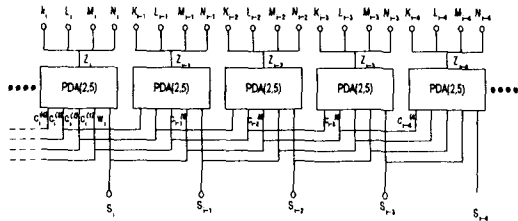
$k_i, l_i, m_i, n_i \in \{0,1,2,3,4,5\}$ 이다. K, L, M, N 을 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = k_i + l_i + m_i + n_i \quad (12)$$

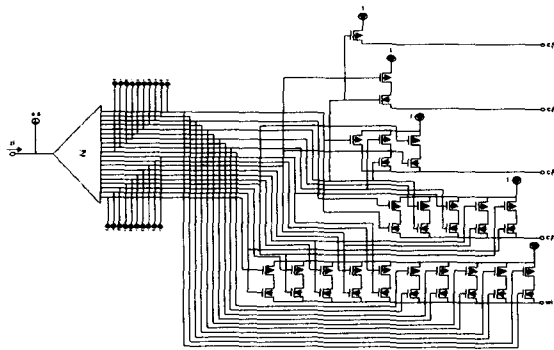
$$16c_i^{(4)} + 8c_i^{(3)} + 4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (13)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} + c_{i-3}^{(3)} + c_{i-4}^{(4)} \quad (14)$$

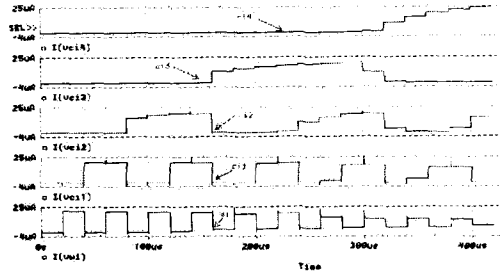
여기서 선형합 $z_i \in \{0,1,\dots,20\}$, 캐리와 중간합 $c_i^{(4)}, c_i^{(3)}, c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$, 최종합 $s_i \in \{0,1,2,3,4,5\}$ 이다. 위의 식을 이용해서 2진 5입력 PD(2,5) 가산기를 구성하면 다음과 같다.



(a)



(b)



(c)

그림 4. 병렬 PD(2,5) 가산기

(a) 가산기, (b) PDA(2,4)소자, (c) PDA(2,3)소자의 과도응답특성
Fig 3. Parallel PD(2,4) adder (a) adder, (b)PDA(2,5) cell, (c)

Transient response characteristics of PDA(2,5) cell

IV. 결론

본 논문에서는 캐리 전파 없이 병렬 가산이 가능하고 게이트 지연을 줄여 연산의 속도를 고속화할 수 있는 PD 수 표현 다 입력 가산기를 구성하였으며 그 예로써 PD(2,3)가산기와 PD(2,2)가산기, 그리고 PD(2,4)가산기와 PD(2,5)가산기를 보였다. 각 가산기의 유효함은 시뮬레이션(SPICE)을 이용하여 알 수 있었다. 2진 2입력 PD가산기를 구성할 때는 PD(2,3)수 표현을 사용하는 것이 PD(2,2)수 표현을 사용하는 것보다 유리함을 알 수 있었다. 또한, 3입력이나 4입력가산기를 하나의 가산 단만으로 구현하기 위해서 PD(2,4)와 PD(2,5)의 수 표현을 사용하였다. 따라서, M개의 다 입력을 처리하는 가산기에서는 적당한 PD수 표현을 사용하면 가산의 단수를 줄일 수 있으므로 구조를 단순화하여 연산을 고속화할 수 있다. 향후의 과제로 이 가산기를 기본으로 하여 전류 모드 CMOS 승산기의 설계를 검토할 예정이다.

참고 문헌

- [1] A. K. Jain, R. J. Bolton, "CMOS Multiple-Valued logic design - part I: Circuit implementation," IEEE Trans. on Circuits and System- I, vol.40, pp, 503-514, Aug.1993.
- [2] K. C. Smith, "Multiple-Valued logic : a tutorial and appreciation," IEEE Computer, vol. 37,

- no. 4, pp.17-27, 1988.
- [3] M. Kameyama, T.Hanyu, and T. Higuchi, "Design and Implementation of quaternary NMOS integrated circuits for pipelined image processing," *IEEE J. Solid-state Circuits*, vol. SC-22, no. 1, pp. 20-27, 1987.
 - [4] T. Hanyu, M. Arakaki and M. Kameyama, "Quaternary Universal-Literal CAM for Cellular logic Image Processing," *ISMVL*, vol. 26, no. 1, pp. 224-229, 1996.
 - [5] A. Avizienis, "Signed-digit number representation for fast parallel arithmetic," *IRE Trans. Elect Computer.*, vol. EC-10, pp. 389-400, Sept. 1961
 - [6] N. Takagi, H. Yasuura, and S. Yajima, "High-speed VLSI multiplication algorithm with a redundant binary addition tree," *IEEE Trans. Comput.*, vol. C-34, pp. 789-796, sept. 1985.
 - [7] J. E. Vuillemin, "A very fast multiplication algorithm for VLSI implementation," *Integration, VLSI J.*, vol. 1, pp. 39-52, Apr.1983.
 - [8] S. Kawahito, K. Mizuno, and T. Nakamura, "Multiple-valued current-mode arithmetic circuits based on redundant positive-digit number representations." in *Proc. int. Symp. Multiple-Valued logic*, Victoria, Canada, May 1991, pp. 272-277.
 - [9] K. C. Smith, "The Prospects for Multivalued Logic : A Technology and Applications View." *IEEE trans. Comput.*, C-30, 9, pp. 619-634, sep.1981
 - [10] T. Higuchi and M. kameyama, "Multiple-Valued Digital Processing System," *Shokodo Co. Ltd.*, 1989