

셀프 캘리브레이션 기법을 이용한 행렬 디코딩 D/A 컨버터의 설계에 관한 연구

Design of the Self-Calibrated D/A Converter with Current Source Matrix Structure

임현욱(삼성전자), 강호철, 김순도, 성만영(고려대)

(Hyun Wook Lim, Ho Cheol Kang, Soon Do Kim, Man Young Sung)

Abstract

This paper presents a 6-bit self-calibrated D/A converter designed with current cell matrix structure. This structure is based on the current-cell matrix configuration using a regulated gate cascode current cell with 3-way switch. Using $1\mu\text{m}$ CMOS process and 5V power supply, the simulated conversion rate is 48.78MHz and the average mismatching properties among current sources are reduced to 0.02% and 0.005%, respectively when 1% and 0.5% errors of current sources are considered.

1. 서론

최근 측정기구 및 디지털 오디오용 D/A, A/D 컨버터의 입출력 특성에 대한 선형성의 요구가 상당히 커지면서 표준공정을 이용한 소자들간의 정합 정도로는 충분히 원하는 결과를 얻을 수 없게 되었다. 따라서, 이러한 소자간의 부정합 특성을 좋게 하기 위해서 캘리브레이션 기법을 추가하여 사용하게 되었다.

기본적으로 Switched-Current(SI) 기술^[1]을 사용하는 전류 셀프 캘리브레이션 기법^[2]은 MOS 트랜지스터의 기생 캐패시터를 이용하기 때문에 표준 CMOS 공정에 매우 적합하며, 별도의 외부소자를 필요로 하지 않는다. 또한, 전류모드로 동작하므로 저전력소비 회로의 실현이 가능하며, 여분의 셀을 이용함으로써 별도의 캘리브레이션 구간이 필요하다.

본 논문에서는 셀프 캘리브레이션 기법을 이용하여 현재의 표준 CMOS 공정으로 제조 가능하고, 전

류원들간의 부정합 에러를 개선하며, 동작전압을 낮출 수 있는 3-Way 스위치를 이용한 셀프 캘리브레이션 레귤레이트 게이트 캐스코드

(Regulated Gate Cascode) 전류셀을 구현하였으며, 동시에 이 전류셀을 이용하여 6비트 행렬 디코딩 D/A 컨버터를 설계, 제시하였다.

2. D/A 컨버터의 구조

Fig 1.과 Fig 2.는 각각 캘리브레이션 회로와 3-way 스위치를 이용한 RGC(Regulated-Gate Cascode) 전류셀을 나타낸 것이다. 캘리브레이션 회로는 GGA(Grounded-Gate Amplifier)구조를 형성함으로써 캘리브레이션 모드와 일반 동작 모드에서의 전류원 출력단 전압변화를 최소화 하였다. 또한 MJ와 MC, MR로 구성된 RGC 구조를 이용하여 이득 스테이지를 추가함으로써 MC 트랜지스터의 캐스코우딩 효과를 증가시키며 출력단으로부터 M1과 M4의 드레인단으로의 피드백 효과를 감소시켜준다. 따

라시 전류셀의 출력 임피던스를 크게 증가시켜, INL 에러를 개선할 수 있다. 그리고, 각 전류셀의 임피던스를 3 Way 스위치구조로 설계하였다. 이러한 구조를 이용하면 일반셀과 연속 변환 동작을 위해 필요한 스페어셀을 완벽하게 동일한 구조로 설계할 수 있으며, 전류원 M1, M4의 드레인 단과 전류셀의 출력단 COUT 사이의 전압 강하를 줄임으로써, 출력단에서의 전압스윙폭을 늘릴 수 있고, 출력단의 공급전압도 감소시킬 수 있다. MS는 전류셀과 캘리브레이션 회로를 연결시키기 위한 스위치이며, MO와 MO₋는 각각 데이터 입력에 의해 실제 출력단과 더미(Dummy) 출력단으로 연결시키기 위한 스위치이다. MS가 턴온 되어 있는 동안 MO와 MO₋는 반드시 턴오프 되어 있어야 하며, MS가 턴오프 되어 있을 때에는 데이터 입력에 따라서 MO와 MO₋ 둘 중 하나만 턴온 되어 있어야 한다. 반면에 스페어셀은 일반 셀이 캘리브레이션 되는 동안 데이터 요청이 있을 시에만 전류를 출력해야한다. 이러한 동작은 별도의 입력 논리회로를 이용하여 수행 가능하다.

세안된 전류셀과 캘리브레이션 회로를 이용하여 매트릭스 구조의 6비트 D/A 컨버터를 설계하였고 이를 Fig 3.에 나타내었다. 상위 3비트 디코더와 하위 3비트 디코더, 64개의 전류셀인 C1~C63과 스페이 셀, 캘리브레이션 회로, 쉬프트 레지스터, 그리고 출력전류를 전압으로 변환시켜주는 전류-전압 변환 회로로 구성되어 있다. 그리고 각각의 전류셀과 스페어 셀은 Fig 4.와 같이 지역디코더와 입력 논리회로, 코어 셀로 구성되어 있다.

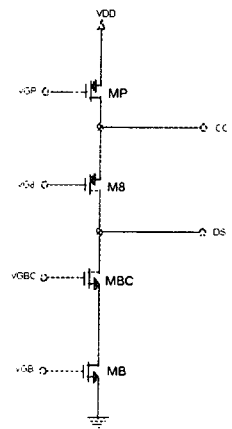


Fig 1. Calibration

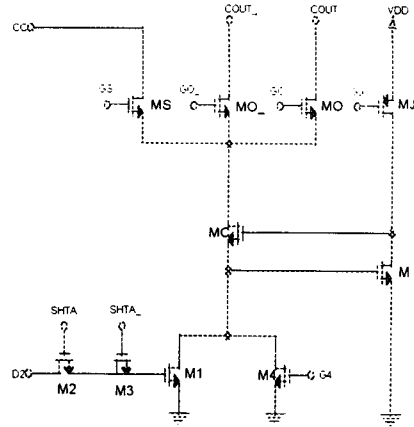


Fig 2. Core current cell circuitry

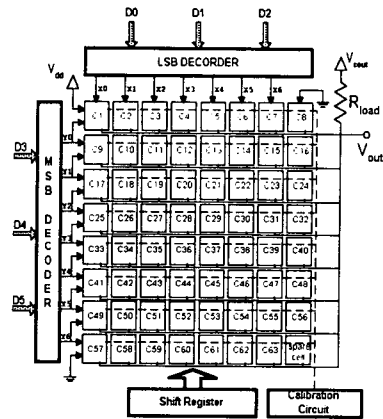


Fig 3. Circuit diagram of D/A converter

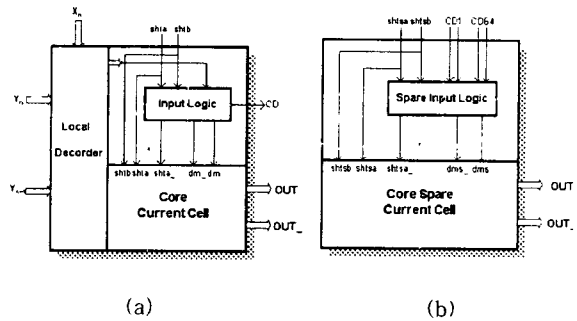


Fig 4. Block diagram of current cell
(a) General current cell (b) Spare current cell

3. 시뮬레이션 결과 및 고찰

1 μ m CMOS 공정에서 사용되는 모델 파라미터를 이용하여 시뮬레이션을 수행하였으며, 이 모델 파라미터의 드레시홀드전압은 nMOS의 경우 0.572V이며, pMOS의 경우 0.596V이다. 설계된 D/A 컨버터는 5V의 공급전압을 사용하였고, 출력단 3V에서 전체 전류 4.41mA가 흐르도록 설계하였으며, 50 Ω 의 외부 저항을 이용하여 출력전압범위가 0~0.2V가 되도록 설계하였다.

1 LSB 스텝을 확대하여 Fig 5.에 나타내었으며 측정된 세팅링 시간은 0.0205 μ s로 48.78MHz의 변환속도를 가진다. $\pm 3\sigma$ 레벨에서의 $\pm 1\%$ 와 $\pm 0.5\%$ 의 Gaussian 분포를 이용하여 각 전류원에 에러를 주고 시뮬레이션 하였으며 캘리브레이션 동작후의 부정합에러 감소 결과를 Fig 6.에 나타내었다. 설계된 D/A 컨버터의 성능을 Table 1.에 나타내었다.

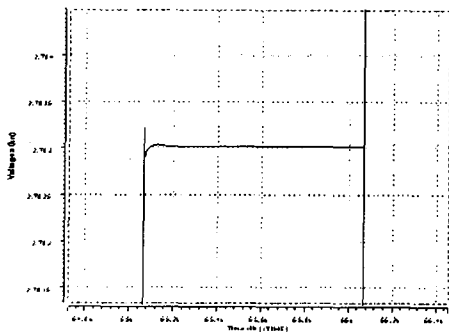
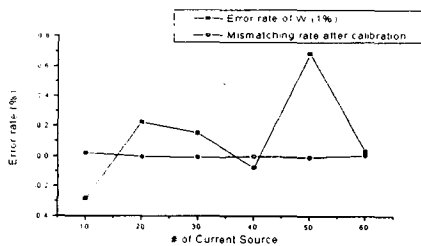
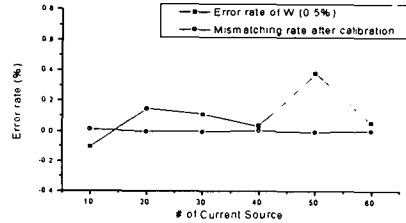


Fig 5. Settling characteristics of D/A converter



(a)



(b)

Fig 6. Mismatching rate after calibration when error rate of (a) 1% (b) 0.5% is considered

Resolution	6bit
Integral nonlinearity error	0.5 LSB
Settling time	0.0205 μ s
Output swing voltage	0.2V
Max conversion rate	48.78MHz
Power supply	5V
Power consumption	16.83mW
Mismatching rate	0.005%

Table 1. Characteristics of the D/A Converter

4. 결론

본 논문에서는 아날로그/디지털 혼합회로에 적합한 표준 CMOS 공정을 이용하여 제작 가능한 셀프 캘리브레이션 기법과 전류셀을 설계하여 이를 매트릭스 구조의 6비트 D/A 컨버터에 적용하였다. 전류셀의 데이터 출력 스위치를 3-way 방식으로 설계하여 출력단의 공급전압을 크게 낮출 수 있었고, 전류셀을 RGC로 구성함으로써 출력임피던스를 극대화하여 전류원간의 부정합에러를 0.005%로 개선할 수 있었으며 48.78MHz의 빠른 동작속도를 나타내었다.

참 고 문 헌

- 1] J.B.Hughes, Proc. IEEE International Symp. Circuits Syst., pp. 1584-1587, May 1989.
- 2] D.W.J. Groeneveld, H.J. Schouwenaars, H. Termeer, IEEE J. Solid-State Circuits, vol. SC 24, pp.1517-1522, Dec. 1989.