

게이트 라인 물질의 저항률이 TFT-LCD 화소의 동작에 미치는 영향

Effects of Resistivity of Gate Line Material on TFT-LCD Pixel Operations

이영삼 홍익대학교 전자전기공학부
최종선 홍익대학교 전자전기공학부

Young-Sam Lee School of Electronics and Electrical Eng., Hong-Ik Univ.
Jong Sun Choi School of Electronics and Electrical Eng., Hong-Ik Univ.

Abstract

Pixel-Design Array Simulation Tool (PDAST) was used to profoundly understand the gate signal distortion and pixel charging capability, which are the most critical limiting factors for high-quality TFT-LCDs. Since PDAST can simulate the gate, data and pixel voltages of a certain pixel on TFT array at any time and at any location on an array, the effect of the resistivity of gate line material on the pixel operations can be effectively analyzed. The gate signal delay, pixel charging ratio, level-shift of the pixel voltage were simulated with varying the resistivity of the gate line material. The information obtained from this study could be utilized to design the larger area and finer image quality panel.

1. 서론

여러 가지 고화질과 대화면적의 평판 디스플레이에 대한 요구가 점점 증가하고 있다. 여러 가지 평판 디스플레이 중 가장 우수하고 널리 사용되고 있는 것은 비정질 실리콘 박막트랜지스터(TFT)를 스위칭소자로 사용하는 액정 표시 장치(TFT-LCD)이다. 본 연구에서는 TFT-LCD의 동작에 가장 큰 영향을 미치는 요소 중의 하나인 게이트 라인 물질의 저항률에 대하여 연구하였다.¹ 대면적 고화질 TFT-LCD의 게이트 배선의 저항이 화소의 동작에 미치는 영향은 사용 물질의 저항률과 게이트 배선의 구조를 조정함으로써 최적화될 수 있는데, 화소 설계-어레이시뮬레이터인 PDAST를 이용하여 게이트 라인 물질의 저항률의 변화에 따른 게이트 신호 지연과 이에 의한 화소의 충전 특성 등을 시뮬레이션하였다. PDAST는 TFT 어레이의 어떤 위치에서 어떤 시점에서든 게이트, 드레인 및 화소 전압을 정확하게 계산할 수 있고, 여러 가지 소자와 어레이 파라미터들을 편리하게 입력하고 수정할 수 있게 구성되어 있다.

2. PDAST

PDAST는 먼저 입력되는 제품(Panel)의 정보로부터 가장 일반적인 화소 레이아웃에 대해 부화소의 크기와 개구율을 계산하여 사용자에게 제시한다. 다음으로는 화소 각 부분의 저항과 용량 성분이 입력된 구조와 물성 파라미터들로부터 계산된다. 이 계산된 회로 요소 값들로부터 설계할 패널에서 요구되는 On 및 Off 전류값과 그 변화 허용범위, TFT의 W/L비율, 전계효과 이동도와 문턱전압의 요구되는 균일도 등이 계산되어 제시된다. 이렇게 계산된 값들은 게이트 신호의 지연시간, 충전시간(또는 충전률), 전압 유지율, 화소전압의 강하, 화소전압 강하의 최대 허용편차 등의 계산에 사용되고, 계산된 값들은 이미 설정되어 입력되어 있는 어레이 설계기준 값들과 비교된다. 설계기준에 부합되지 않을 경우는 여러 가지 구조와 물성 파라미터들의 설계 값들을 반복적으로 조절하여 최적의 어레이가 설계되도록 도구가 구성되었다.

3. 시뮬레이션 방법

본 연구에서는 그림 1과 같이 TFT를 포함한 라인의 저항성분(R_G), 액정용량(C_{LC}), 축적용량(C_{ST}) 그리고 기생용량(C_{GS}) 등을 가진 등가회로를 대상으로 하였다.²⁻³ 축적용량은 앞 화소의 게이트에 연결된 형태(C_{ST} -On-Gate)이다. 시뮬레이션에 사용되어진 주요 파라메타의 종류와 그 값은 표 1에서와 같이 보여주고 있다. 15인치 XGA급(1024×768) TFT-LCD를 기준으로 하여 $0.5 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 전계 효과 이동도와 채널의 폭/길이가 $31/6 \mu\text{m}$ 인 TFT를 가지고, 화소의 용량성분과 기생용량 성분들을 설계 기준에 맞게 추출한 값을 가지고 시뮬레이션 하였다.

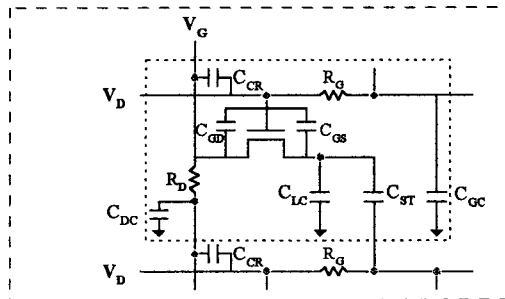


그림 1. 한 화소의 게이트 배선의 등가용량

파라메타	물리적 의미	값
Size/Resolution	화면크기/해상도	15inch/XGA
W/L	채널 폭/길이	$31/6 \mu\text{m}$
μ_{FE}	전계효과이동도	$0.5 \text{ cm}^2/\text{vs}$
Tox	이중산화막 두께	5000 Å
Cpx	화소용량	$0.848 \times 10^{-12} \text{ F}$
Cgs	기생용량	$0.02204 \times 10^{-12} \text{ F}$
Vgh~Vgl	게이트 전압의크기	0~20 (V)
Vsh~Vsl	데이터 전압의크기	0~10 (V)
Vth	문턱 전압	3.5 (V)

표1. 시뮬레이션에 사용된 파라메타의 종류와 값

한 화소에 포함된 회로 구성요소들은 게이트 구동라인과 데이터 구동라인을 제외하고는 모두 집중된(Lumped) 요소들로 모델링할 수 있다. 게이트 구동라인과 데이터 구동라인은 분산된(Distributed) 저항과 용량을 가지고 있으므로, 이들은 여러 개의 집중된 미세 저항과 용량으로 구성된 회로들이 Cascade되어 있는 회로망으로 모델링되어야 한다. 그림 2에 나타난 것과 같은 π -network으로 게이트 구동라인과 데이터 구동라인을 모델링할 수 있다.

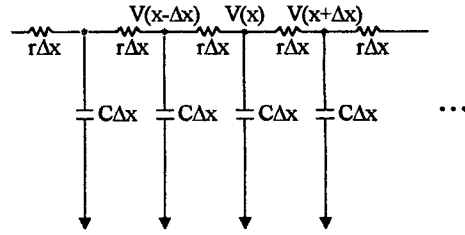


그림 2. 게이트 라인 어레이의 Cascade된 π -network의 등가회로

배선 상의 한 점에서의 전압을 나타내는 식은 아래에 유도된 미분방정식을 풀어서 구할 수 있다:

$$rc \cdot \frac{dV(x)}{dt} = \frac{d^2V(x)}{dx^2}$$

윗 식들에서 x 는 신호 입력점에서의 거리이고, r 은 단위길이 당 저항이며, c 는 단위길이 당 용량이다. 또한 전류에 대한 미분 방정식도 Thompson cable equation에서부터 구할 수가 있고⁴⁻⁵ Laplace변환을 이용하고 경계조건을 적용하여 게이트라인의 충전시 전압과 전류식을 구하였다:

$$v(x, t) = v_{gh} - \frac{4 \cdot \Delta v_{off}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

$$i(x, t) = \frac{2 \cdot \Delta v_{off}}{\pi} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

방전시 전압과 전류식도 유사한 방법으로 구하였다.

화소전극에 축적된 전하량은 아래와 같고,

$Q_P = C_{GS} \cdot (V_P - V_G) + C_{ST} (V_P - V_{ST}) + C_{LC} (V_P - V_{COM})$
 충전 드레인 전류는 $I_D = dQ_P/dt$ 이다. 여기서 V_P 는 화소전압, V_G 는 게이트전압, V_{ST} 는 부가용량의 대응전극의 전압이며 V_{COM} 은 화소전극의 대응전극 전압이다. TFT는 출력특성의 선형부분 ($V_G - V_{th} \geq V_D$)에서 작동하여 액정셀을 충전하므로 Gradual-Channel 방법으로 유도한 전류식은 다음과 같다:

$I_D = \beta_0 \cdot [(V_G - V_{th} - V_P) \cdot (V_D - V_P) - (V_D - V_P)^2/2]$
 $\beta_0 = \mu_n \cdot C_{ox} \cdot (W_{CH}/L_{CH})$ 이며 μ_n 은 전자의 채널이동도 C_{ox} 는 단위면적 당 게이트용량, V_{th} 는 TFT의 문턱전압을 의미한다. 위의 두 식과 $I_D = dQ_P/dt$ 관계로부터 $V_P(t)$ 가 구해진다:

$$V_P(t) = V_{sh} - \frac{2 \cdot (v_{gl} - v_{gh} - v_{th} - v_{sh}) \cdot e^{-\eta T}}{1 - B \cdot e^{-\eta T}}$$

$$T = \frac{C_{PX}}{\beta \cdot (v_{gh} - v_{gl} - v_{th} - v_{sh})}$$

$$B = \frac{(v_{sh} - v_{sl})}{2(v_{gh} - v_{gl} - v_{th}) - v_{sh} - v_{sl}}$$

방전시의 전압식도 충전시와 같은 방법으로 구할수 있다.⁵⁻⁶ 또한 TFT의 동작이 포화영역일 때도 유사한 방법으로 수치해석적으로 구할 수 있다.

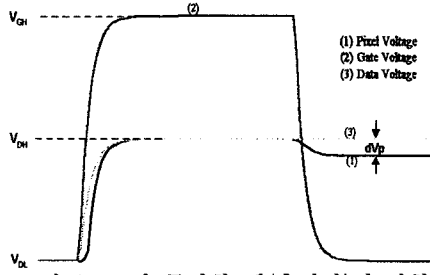


그림 3. V_D 가 증가할 때(충전시)의 파형

위의 그림 2는 게이트 펄스가 인가되고 데이터 전압이 높은 값으로 충전될 때 전형적인 게이트와 데이터 전압 및 화소 전압 파형을 나타내고 있다. TFT가 Off 될 때 TFT의 기생용량 성분에 의해 화소 전압의 강하(dVp)가 있게 된다. 게이트 저항 물질의 저항률이 커지면 등가회로에서의 게이트 저항 성분이 커지고, 이에 의해 게이트 전압의 지연이 발생하게 되는데 표시기의 면적이 커짐에 따라 게이트 배선의 길이가 길어지고 저항도 증가하게 된다.

3. Simulation 결과

위의 모델들이 이식된 PDAST를 이용하여 먼저 독립된 화소의 충전 특성 시뮬레이션하고 이를 AIM-Spice로 계산된 등가회로의 충전 특성 비교하여 그 유용성을 우선 검증하였다.

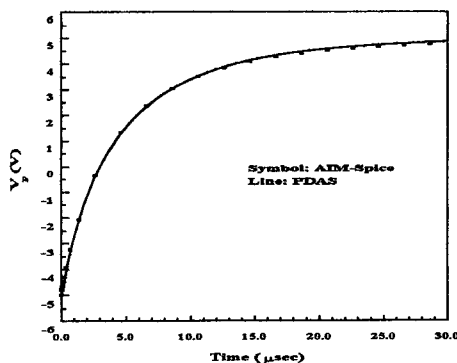


그림 4. AIM-Spice와 PDAST로 계산한 화소의 충전 특성

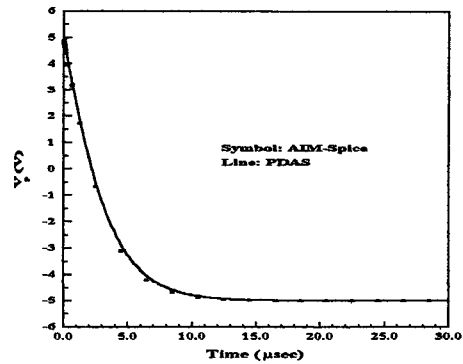


그림 5. AIM-Spice와 PDAST로 계산한 화소의 방전 특성

게이트 배선의 저항률이 변함에 따라 게이트 신호의 지연과 화소의 충전 특성 변화를 알아보기 위해 두 가지 저항률(4와 $13\mu\Omega\text{cm}$)에 대해 15인치 XGA 어레이의 1000번째 열(row), 1000번째 행(column)에 있는 화소에 대한 게이트 전압과 화소 전압 파형을 시뮬레이션 하였다. 그림 6에 그 결과를 보여주고 있는데 저항률의 증가에 따른 게이트 신호의 지연이 심각해짐을 알 수 있고 화소전압의 강하 특성에도 큰 왜곡이 생김을 알 수 있다. 일반적으로 게이트신호 지연시간(t_d)은 게이트 배선의 한쪽 끝에 신호가 인가 된 후, 다른 쪽 끝의 전압이 인가 전압의 95%에 도달할 때까지의 시간으로 정의하는데, 간단한 설계기준이 되는 수식은 $t_d \approx 1.32rcLc^2$ 이 되는데 시뮬레이션 결과와 일치함을 볼 수 있다. 게이트 신호지연시간은 화소 설계 시 중요한 설계기준 항목으로 일반적으로 게이트 선택시간의 반보다 적게 설계한다.

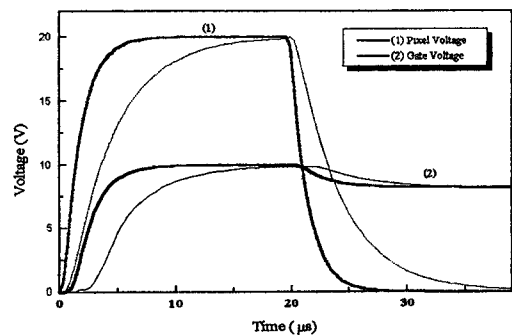


그림 6. 게이트 신호 전압 지연에 따른 화소 전압의 변화.

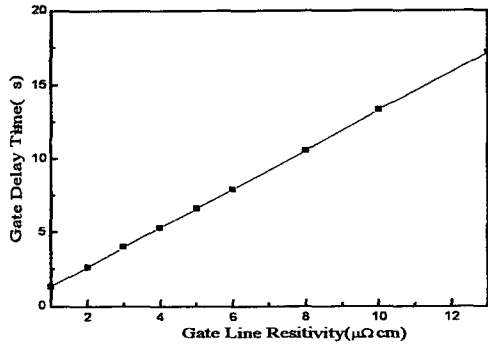


그림 7. 게이트 라인 물질의 저항률에 따른 게이트 신호 지연시간

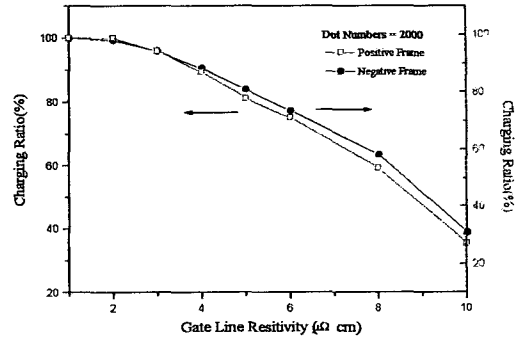


그림 9. 2000개 Dot에서 게이트 라인 물질의 저항률에 따른 충전률.

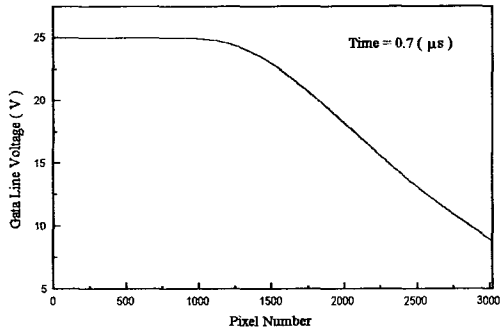


그림 8. 시간이 0.7 μsec일 때 화소수의 증가에 따른 게이트 전압의 변화

그림 7은 게이트 라인 물질의 저항률 증가에 따른 게이트 라인 지연시간의 변화를 보여주고 있고, 그림 8은 시간이 게이트 신호 인가 후 0.7 μsec일 때 1000번째 열에 있는 화소를 따라 각 화소의 게이트에 인가 되는 게이트 전압의 변화를 보여주고 있다. 게이트 라인 물질의 저항률이 변화함에 따라 게이트 신호 지연 시간이 증가하고 이에 따라 화소에도 영향을 미치게 되는데, 그림 9에서 보는 것과 같이 게이트 라인 물질의 저항률이 증가함에 따라 화소의 충전 특성이 떨어짐을 볼 수 있다. 95% 이상의 충전률을 기준으로 설계한다면, 15" XGA 어레이의 게이트 배선 선폭이 18 μm이고 배선의 두께가 2000 Å인 경우 저항률 3 μΩ cm 이하의 물질을 선택해야 한다. 물론 선폭과 두께를 조정한다면 이 값은 바뀌어야 할 것이다. 또한 게이트 배선을 따라 커플링되어 있는 각종 용량 성분들의 최적화도 간과되어서는 안 될 것이다.

5. 결론

본 논문에서는 화소-설계 어레이 시뮬레이션 도구인 PDAST를 이용하여 게이트 배선 물질의 저항률이 화소의 동작에 미치는 영향을 게이트신호 지연 시간과 화소의 충전 특성등을 통하여 분석하였다. 보다 대면적 고휘도의 디스플레이를 구현하기 위해서는 보다 저항률이 낮은 물질을 사용하거나 라인의 두께나 선폭이 적절히 조절되어야 할 것이다. 두께나 선폭이 공정 상의 이유로 고정되어 있다면 배선 물질의 저항률을 변화시켜 최적의 화소 특성이 구현될 수 있게 하여야 할 것이다.

본 논문은 통상산업부와 과학기술처에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

참고 문헌

- [1] C.Chen, J. Kanicki, Pro. of the 26th Euro. Solid State Device Research Conference, 1023, 1996.
- [2] Y.Oana, Non-Crystal. Solids, Vol.115, 27, 1989.
- [3] R.L.Wisnieff, International Display Research Conference, Vol.29, 2, 1988.
- [4] H.S.Carslaw, J.C. Jaeger, Conduction of Heat in Solids, Calarendon Press, Oxford, 1959.
- [5] Toshihisa Tsukada, TFT/LCD Liquid Crystal Displays Addressed by Thin-Film Transistors, Gordon and Breach Publishers, 1996.
- [6] K.Suzuki, SID 92 Digest, 39, 1992.