게이트 절연막 응용을 위한 CaF_2 박막연구

The study of CaF_2 films for gate insulator application

김도영, 최유신, 최석원, 이준신
(Do-Young Kim, Yu-Shin Choi, Suk-Won Choi, Junsin Yi)

Abstract

CaF_2 films have superior gate insulator properties than conventional gate insulator such as SiO_2, SiN_x, SiO_x, and Ta_2O_5 to the side of lattice mismatch between Si substrate and interface trap charge density(D_{it}). Therefore, this material is enable to apply Thin Film Transistor(TFT) gate insulator. Most of gate oxide film have exhibited problems on high trap charge density, interface state in corporation with O-H bond created by mobile hydrogen and oxygen atom. This paper performed CaF_2 property evaluation as MIM, MIS device fabrication. CaF_2 films were deposited at the various substrate temperature using a thermal evaporation. CaF_2 films was grown as polycrystalline film and showed grain size variation as a function of substrate temperature and RTA post-annealing treatment. C-V, I-V results exhibit almost low D_{it}($1.8\times10^{11}cm^{-1}eV^{-1}$) and higher E_{br}(>0.8MV/cm) than reported that formerly. Structural analysis indicate that low D_{it} and high E_{br} were caused by low lattice mismatch(6%) and crystal growth direction. CaF_2 as a gate insulator of TFT are presented in thi paper

Key Words(중요 용어) : CaF_2, Gate Insulator(게이트 절연막), TFT(박막트랜지스터), Lattice mismatch(격자부정합), Interface trap charge density(계면포획전하밀도), RTA(급속열처리)

1. 서 론

기존의 a-Si:H TFT에 사용되는 SiN:H, SiN_xO_y, Al_2O_3, Ta_2O_5는 a-Si:H와 절연박막간의 계면폭획전하밀도(D_{it})가 크기 때문에 최적의 LCD구현을 위해 D_{it}를 최소로 하는 절연체 연구가 필요하다. 문제시되는 D_{it}는 I_{on}/I_{off} 전류비를 감소시키며 임계전압(V_T)를 증가시킨다. 기존의 연구는 이중 게이트, 표면보호처리(surface passivation)등 구조적인 측면에서 연구가 되어 왔으나, 미래의 고 집적화된 TFT를 저전력으로 구동하기 위해서는 보다 개선된 새로운 게이트의 절연물질에 대한 연구가 필요하다. 기존의 게이트 절연막의 문제는 D_{it} 이외에도 poly-Si TFT에서 크게 문제시되는 높은 누설전류 특성을 해결할 것이라 예상된다. 기존의 a-Si:H 박막은 수소를 10wt% 이상을 포함하고 있기 때문에 SiO_2와 실리콘 박막 계면에서 O-H 결합으로 D_{it}의 밀도를 증가시키며 이러한 D_{it} 증가현상은 산소를 포함하고 있는 절연막인 Ta_2O_5, Al_2O_3, CeO_2, ZrO_2, YSZ, SiO_x 등에서도 동일하게 O-H 결합 증가로 D_{it}를 증가시킬 것이다. 이러한 계면전하들은 V_T를 증가시켜 고집적 저전력 TFT 소자 제조에 문제점을 야기한다. 기존의 절연막들은 활성화영역인 Si와 격자부정합(lattice mismatch) 때문에 열적응력(thermal stress)이나 전기적응력(electrical stress)에 의한 TFT 채널영역에 결함을 발생하여 소자의 특성에 영향을 주어 소자의 오동작을 이르킬 수 있다. 결국 a-Si:H 박막과 절연막사이의 D_{it}를 줄여 계면특성을 향상시키며 활성층영역과 절연막간의 격자부정합을 줄이기 위해 산소를 포함하고 있지 않은 질화막(SiN:H, SiN_x)과 불화막 (CaF_2, BaF_2, SrF_2, MgF_2)[1] 계열의 절연막이 이용 가능하다. 이러한 불화막계의 물질은 Si 기판위에 단결정성장이 가능하여 SOI에 응용이 가능하며강유전체(PZT, STO, BTO) 및 산화물계 초전도체(YBCO, LSCO)의 버퍼층으로 이용이 가능하다. 특히 본 연구에서는 격자부정합이 6%이하인 CaF_2막을 중심으로 하는 연구를 통해 기계적, 전기적 특성[2] 전반 사항을 비교분

석 함으로써 향후 신물질 게이트 절연박막에 대안 제시를 통해 대면적 a-Si:H TFT 특성을 개선하는데 있다.

2. 실험방법

본 연구에서 제작된 MIM 구조소자는 Corning 7059 glass를 기판으로 이용하여 상부의 유기 오염물을 Acetone 10min, Methanol 10min간 초음파세척 후 DI water로 세척하고 N_2 건조하였다. CaF_2 박막은 열기상증착법을 이용하여 10^{-6}torr 이하의 진공상태에서 증착되었다. 증착원으로 piece 형태의 3~5mm, 99.95% 순도의 CaF_2(Cerac Co. 제작)가 사용되었으며 폭발적인 증착을 억제하고 일정한 두께의 박막을 제조하기 위하여 baffled furnace 형태의 Mo boat가 이용되었다. 하부전극으로 Al을 사용하였으며 상부에 다양한 크기의 점형 Al 전극을 증착하여 동일한 특성을 평가하였다. MIS 구조소자는 (100)면의 단결정 p-type Si(10~20Ωcm)의 기판이 사용되었으며 표면의 유기 및 산화물 오염을 제거하기 위하여 RCA 세척법을 이용하여 세척하였다. 세척된 p-type Si을 열기상증착법으로 Al을 Si 하부에 800~2000Å 증착하고 옴성접합(ohmic contact)을 이루기 위하여 저항성 열처리로에서 620℃, 15min, N_2 분위기(2.5 lpm)에서 열처리하였다. 옴성접합 형성 후 Si 표면에 존재하는 자연산화막(~20Å)을 BHF (HF (49%) : H_2O = 1:10)에서 수초간 dipping하여 제거후 CaF2 박막을 MIM과 동일한 방법으로 증착하였다. 다양한 기상증착조건을 통하여 얻어진 CaF_2 박막은 상부에 다양한 크기의 점형 Al 전극을 1000Å 증착하여 그 특성을 평가하였다. C-V 측정을 통하여 CaF_2 절연박막의 전기적 특성을 조사하기 위하여 Fluke 5100B, Booton 7200을 이용하였으며 E_{br}과 MIS 소자의 diode 성질을 조사하기 위하여 Fluke 5100B, Keithley 617을 사용하였으며 모든 데이터는 컴퓨터로 처리되었다. 본 연구에서 제작된 MIM, MIS소자는 아래의 그림 1와 같다. 특히 MIS 소자는 RTA 열처리 온도를

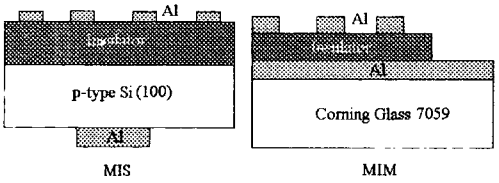

그림 1 본 연구에서 제작된 MIM, MIS 소자

400에서 1100℃까지 변화시키면서 열처리하였으며 증가시간은 1분, 유지시간은 100초, 감소시간은 1시간동안 실온으로 온도를 하강시켰다.

3. 결과 및 토론

3.1 MIM 구조

본 연구의 MIM 구조에서 CaF_2의 전기적 특성을 파악하기 위하여 Al 하부전극과 Al 상부 점 전극사이에 존재하는 정전용량을 인가전압과 주파수에 따라 분석하였다. 각각의 시료는 일정한 정전용량을 가지고 있으며 이 값으로부터 계산된 유전상수(ε_r)는 각각 5.63, 8.13, 10.27로 시료의 두께가 증가함에 따라서 증가하는 경향을 보인다. bulk[3] CaF_2의 경우 ε_r은 6.8인데 비하여 두께가 큰 시료의 정전용량의 경우 비교적 두께가 얇은 경우보다 작은 값을 가지는 데 그 이유는 두께가 클 수록 박막 내부에 존재하는 결함들이 고정전하들이 증가한다고 사료된다. 따라서 일정한 면적에서 측정된 C-V로부터 박막의 밀도는 고정전하의 밀도에 영향을 주는 것이라 사료된다. MIM의 항전계(E_{br})는 전압원으로부터 직류전원을 공급하고 소자에 흐르는 전류를 측정하였다. 그림 2는 두께가 증가함에 따라서 항전계가 감소하는 경향을 보이고 있으며 이는 위의 C-V 특성에서 밝혀진 바와 같이 두께가 두꺼운 막일수록 내부에 존재하는 고정전하밀도에 의한 영향이라 사료된다. 가장 얇은 (1) 시료의 경우 E_{br}값은 0.245MV/cm 이

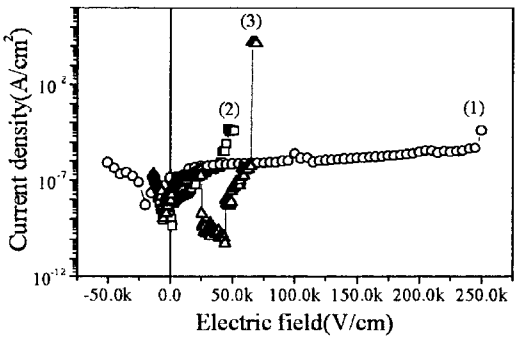

그림 2 두께에 따른 MIM의 절연특성
(1) 200nm (2) 731nm (3)971nm

상이며 절연파괴가 발생하기 직전의 누설전류밀도는 4.92×10^{-6}A/cm^{2}이었다. 그러나 I-V 특성곡선에서 절연파괴가 발생하기 직전의 전류밀도의 증가는 비 선형적(nonlinear)으로 나타났으며 이것은 CaF_2 박막의 내부의 밀도가 균일하지 못하고 국부적인 결함이 원인이된 부 절연파괴(soft breakdown)가

나타나는 것이 관찰되었으며 두께가 증가함에 따라서 증가하였다. MIM 구조시료의 X선 회절곡선을 그림 3에 도시하였다. 박막의 두께가 증가함에 따라 CaF_2 (111)면의 peak 강도가 증가하며 두께가 증가함에 따라 (220) 방향의 peak이 나타나기 시작하였다. Cohen법으로 구한 각각의 격자상수는 두께에 따라 5.495Å, 5.469Å, 5.459Å로 감소하였으며 두께가 증가함에 따라 Si의 격자상수간의 격자부정합율이 11%, 7%, 5%로 감소하였다. 이는 유리기판위에 증착된 CaF_2 박막은 두께가 증가함에 따라 (111)면의 성장이 주도적으로 나타났으며 Si과의 격자부정합은 (111)면의 결정성장이 주도적일 경우에 감소하며 두께가 증가함에 따라 CaF_2 (220)면의 결정성장면이 나타났다.

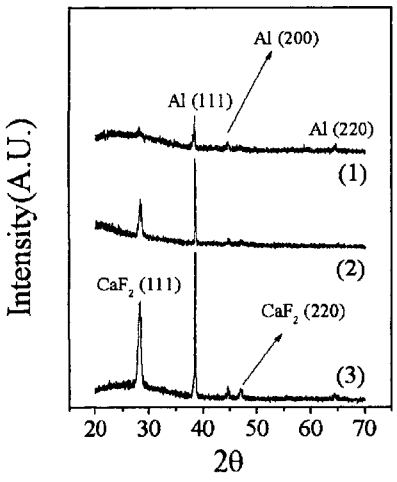

그림 3 두께에 따른 MIM 소자의 XRD 곡선
(1) 200nm (2) 731nm (3) 971nm

3.2 MIS 구조

MIS 소자를 제작하기 위해서 사용된 (100) 기판은 10~15Ωcm를 가지고 있었으며 Irwin[4] 곡선으로부터 계산된 도핑농도는 $10^{15}cm^{-3}$ 이었다. 증착온도에 따른 소자의 전기적 특성을 조사하기 위하여 1MHz에서 인가전압을 증가시킴에 따른 정전용량을 측정하였다. 그림 4로부터 구해진 ε_r은 MIM 소자에서 구해진 값보다 작은 ~4.11정도였다. 이는 MIM에서 보다 큰 Si 계면과의 포획전하 때문이라 사료된다. 또한 실온에서 증착된 CaF_2 박막은 반전영역이 되는 전압직전에 정전용량의 감소는 낮은 박막증착 온도는 박막내부의 고정전하의 증가를 야기하는 요소로 작용한다고 사료된다. 임계전압은 기판온도 100℃에서 증착된 시료의 경우 -0.08eV로 0V와 가장 가까운 값을 가졌다. 고주파수 C-V측정과 Quasistratic[5] 법으로 구한 D_{it}는 최소 $1.8\times10^{11}cm^{-1}eV^{-1}$으로 낮은 값을 가지고 있으며 소자의 전류전압(I-V) 측정으로부터 모든 소자는 이상적인 다이오드 곡선을 가지고 있었으며 소자의 역방향 전압에서 측정된 E_{br} 값은 MIM 소자와 달리 0.2MV/cm 이상의 높은 값을 가지고 있었다. MIS 소자의 전기적 특성값을 표 1에 나타내었다. 일정한

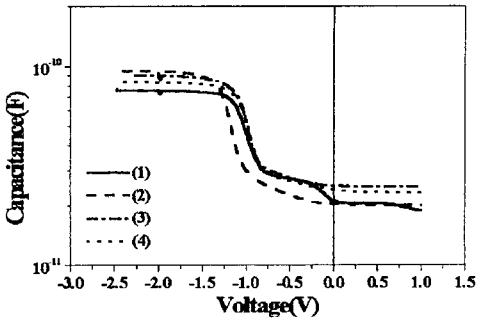

그림 4 증착온도에 따른 MIS 소자의 C-V 곡선
(1) room (2) 100℃ (3) 200℃ (4) 300℃

표 1. 증착온도에 따른 MIS 소자의 전기적특성

	C_i(F)	ε_r	E_{br}(MV/cm)	$D_{it}(cm^{-1}eV^{-1})$
room	7.59×10^{-11}	2.79	~0.8	2.1×10^{11}
100℃	9.61×10^{-11}	4.11	~0.4	1.8×10^{11}
200℃	9.04×10^{-11}	3.94	~0.3	2.6×10^{11}
300℃	8.35×10^{-11}	2.71	~0.2	2.2×10^{11}

간격으로 증가시킨 전계를 단일한 시료에 반복적으로 가함에 따라서 누설전류는 증가하였으며 임계값에 이른 경우 높은 이러한 임계전압은 증착온도가 감소함에 따라 증가하는 것으로 보아 낮은 온도의 증착이 막내부의 불완전한 결함을 줄이는 것이라 생각된다. RTA 열처리전후의 특성은 아래의 그림 5에서 보는 것과 같에 기존에 양방향 인가전압에서 나타나는 것과 같이 높은 ΔV의 이력특성(hysteresis)이 감소하고 있는 것이 보여진다. 그러나 높은 온도에서 열처리된 박막은 고유의 절연 성질을 잃었다고 할 수 있다. 이는 그림 6의 열처리 전후의 I-V 특성분석[6]에서 열처리 전후의 최소의 누설전류의 이동은 열처리 후에 박막 내부에 존재하는 포획전하가 감소했다는 것을 지적한다. 또한

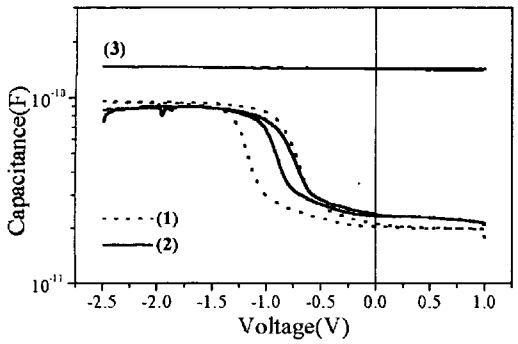

그림 5 열처리온도에 따른 C-V 특성과 이력특성
(1) 열처리전 (2) 400℃ (3) 700℃ 열처리후

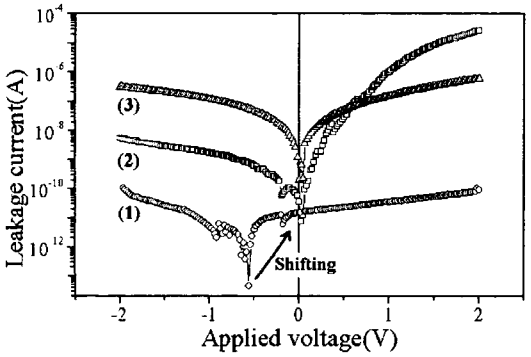

그림 6 열처리에 따른 MIS 소자의 I-V 특성
(1) 열처리전 (2) 400℃ (3) 700℃ 열처리

열처리온도가 400℃에서부터 700℃까지 증가함에 따라 높은 누설전류가 발생하며 동시에 다이오드 특성이 사라지는 것을 볼 수 있다. 이는 XRD 결정성 분석으로 그 원인을 알 수 있었다. 그림 7은 기판온도 100℃에서 1455Å 증착된 시료의 열처리 전후의 XRD 곡선이다. 이 곡선으로부터 열처리온도가 증가함에 따라 주도적인 결정성장 방향이었던 (200)의 면방향이 사라지고 (220)의 미세한 결정성장이 나타났다. 이는 (100)의 기판에서 (200) 성장된 CaF_2 박막의 절연특성과 우수한 I-V 특성은 (200) 방향으로 성장된 박막에서 우수하다는 것을 알 수 있었다.

4. 결론

열기상 증착법으로 (100) p-Si 기판위에 증착된 CaF_2 박막은 MIM, MIS 소자를 제작하여 그 특성을 평가하였으며 RTA 열처리를 통하여 그 특성을 개선하였다. 본 연구의 결과로부터 최적화된 MIM 소자는 실온에서 증착된 200nm 두께의 소자로 유전상수는 5.63, E_{br}은 0.245MV/cm, 격자부정합은 5%이며 MIS 소자의 경우 기판온도 100℃에서 제작된 소자의 유전상수는 4.11, D_{it}는 1.8×10^{11} $cm^{-1}eV^{-1}$, E_{br}이 0.4MV/cm이었으며 400℃ 100sec 간의 RTA 열처리를 통해서 포획전하밀도를 줄이고 이력특성을 줄일 수 있었으며 결정성 분석을 통해 MIM, MIS에서 동일하게 (200) 방향이 지배적인 성장을 함을 알 수 있었다.

감사의 글

본 연구는 통상산업부의 G7 project에 의해 지원되었습니다.

참 고 문 헌

1. Tanemasa Asano and Hiroshi Kshiwara. Jpn. J. Appl. Phys., Vol. 21, No. 10. L630, 1982.S.
2. P. G. McMullin and Sinharoy, J. Vac. Sci. Technol., A6, Vol. 3, pp 1367, 1988
3. Sinharoy, Thin Solid Films, vol. 187, pp 231, 1990.
4. D. B. Cuttriss, Bekk Syst. Tech. J., Vol. 40, pp 509, 1961
5. Gerard Barnottin, Andre Vapaille, Insabillites in Silicon Devices, Vol. 2, 1989
6. J. C. Alvarez, M. I. Verksler, I. V. Grekhov, N. S. Sokolov, and A. F. Shulekin, Semiconductors, vol. 30, No. 7 pp 698, 1996

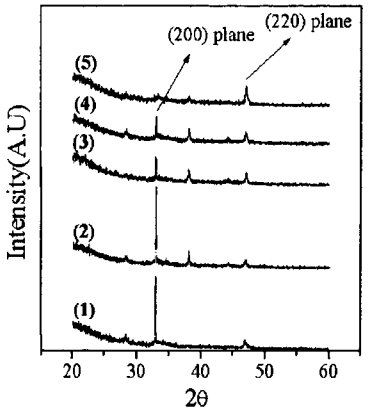

그림 7 RTA 열처리온도에 따른 XRD 곡선
(1) before RTA (2) 400℃ (3) 500℃ (4) 600℃ (5) 700℃.