

MFSFET의 신경회로망 응용을 위한 CUJT와 PUT 소자를 이용한 발진 회로에 관한 연구

Study on Oscillation Circuit Using CUJT and PUT Device for Application of MFSFET's Neural Network

강 이 구, 장 원 준, 정 석 민, 성 만 영
(Ey Goo Kang, Won Jun Jang, Suk Min Jung, Man Young Sung)

Abstract

Recently, neural networks with self-adaptability like human brain have attracted much attention. It is desirable for the neuron-fuction to be implemented by exclusive hardware system on account of huge quantity in calculation. We have proposed a novel neuro-device composed of a MFSFET(ferroelectric gate FET) and oscillation circuit with CUJT(complimentary uni junction transistor) and PUT(programmable unijunction transistor). However, it is difficult to preserve ferroelectricity on Si due to existence of interfacial traps and/or interdiffusion of the constituent elements, although there are a few reports on good MFS devices. In this paper, we have simulated CUJT and PUT devices instead of fabricating them and composed oscillation circuit. Finally, we have presented, as an approach to the MFSFET neuron circuit, adaptive learning function and characterized the elementary operation properties of the pulse oscillation circuit

Key Word : MFSFET, Neuron Circuit(신경회로), Oscillation(발진), CUJT, PUT

1. 서 론

정보화 사회가 도래하면서, 컴퓨터의 필요성은 더욱 더 증가하게 되었고, 그에 따라서 컴퓨터에 의해서 처리되는 일의 양 또한 증가하게 되었다. 그러나 현재의 컴퓨터에서는 최적 응답의 후보군이 다양화 되어있다는 것과 속도가 느리고 응용되는 프로그램이 복잡하다는 단점이 있다. 이러한 문제점을 해결하기 위해 인간의 뇌와 유사한 신경회로망이 등장하게 되었다.[1]~[2]

신경회로는 그림 1에서와 같이 시나프시스를 갖는 신경으로 구성되어 지는데, 시나프시스가 신경에 입력으로 들어가 규정된 문턱전압값을 초과하면 출력을 하게 되며, 이러한 시스템이 다중으로 연결되어 신경회로가 만들어지게 된다.[3]

고려대학교 전기공학과
서울시 성북구 안암동 5가 1 반도체·CAD연구실

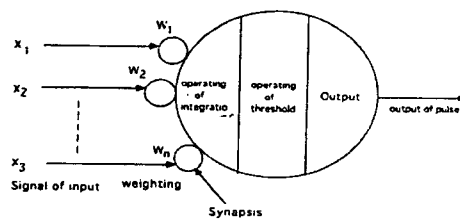


그림 1. 신경회로의 구조
Fig. 1 Structure of neuron circuit

신경회로가 하드웨어 분야에서 만들어 진다면, 거대한 신경과 시나프시스의 연결이 문제인데, 이것을 해결하기 위해 광섬유가 이용될과 동시에 시나프시스에 해당하는 메모리 부분이 비 휘발성 메모리인 플로팅 게이트 강유전체 메모리가 관심을 받고 있다. ([4]~[5]) 강유전체 메모리 시스템에서 전기적인 신호를 초기조건으로 주어진다면, 출력을 내고 다시 돌아와 자동적으로 초기화된다. 이러한 이유로

강유전체 메모리를 적용 학습형 메모리라고 불리우고 있다.[1] 이러한 함수조건이 컴퓨터에 적용된다면 시스템화가 가능하며, 동시에 학습시간도 줄일 수 있다. 따라서 본 연구의 목적은 CUJT(Complementary Uni Junction Transistor)와 PUT(Programmable Uni Junction Transistor)를 이용한 오실레이션 회로를 구성하여 MFSFET(Metal Ferroelectric Semiconductor Field Effect Transistor) 신경회로의 응용 가능성을 제시하고자 하였다.

2. 전자 신경시스템을 위한 PFM 방식의 신경회로

적용학습형 FET(MFSFET)원리를 보면, 우선 전압펄스가 들어왔을 때 막의 분극이 다양하게 변화되기 때문에 막의 두께가 결정되어야 하며, 입력전압의 펄스 폭이 분극반전의 스위칭 시간보다 짧아야 한다. 결과적으로 펄스가 변화하면, 분극시간도 변화된다는 것이다. 동시에 채널저항과 문턱전압도 변화하게 된다.

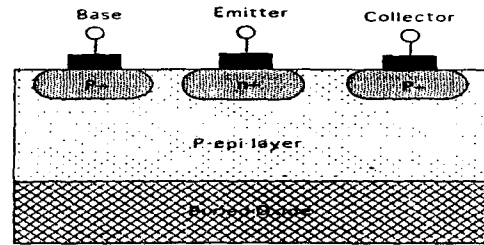
적용학습형 FET를 이용한 시스템이 인간의 신경에 대한 정보 전달과정과 동일하기 때문에, 적용학습형 FET를 신경회로망에 사용된다면 PFM(Pulse Frequency Modulation)회로에 응용될 수 있다. PFM 방식의 오실레이션 회로로써 전류조절형 부성저항(CCNr : Current Controlled Negative Resistance)를 갖는 발진회로에 응용될 수 있다. 기본적인 동작은 전압이 가해지면 저항을 통해 캐퍼시터에 충전되기 시작하고, 캐퍼시터의 전압이 상승하게 되면, CCNR 소자가 턴-온되며, 다음에 캐퍼시터에 충전된 전하가 방전된 후에 그 전압이 감소하게 되면 CCNR소자는 턴-오프된다. 이러한 동작이 반복되면서 발진을 하게 된다. 발진주파수는 시상수 RC에 의해서 결정되어 지는데, 여기서의 R을 적용학습형 FET로 대체하여 출력전압펄스는 그것의 학습에 의해 조정될 수 있다.

본 논문은 CCNR소자로 PUT와 CUJT를 사용하여 발진회로를 구성, 그의 응용을 검증함과 동시에 신경회로를 구축할 수 있는 가능성을 제안하고자 하였다.

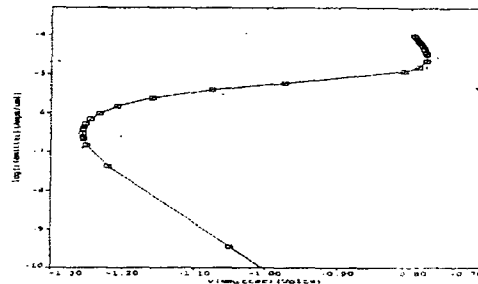
3. CUJT 발진회로 및 PUT 발진회로의 구성

그림 2에서는 CUJT의 구조와 소자의 부성저항을 나타내었다. 소자 시뮬레이터인 MEDICI를 이용하

여 소자를 설계하여 I-V 특성 시뮬레이션을 수행하였다. 에미터 전압단에서 측정된 결과 4×10^{-4} Amp/ μm 에서 부성저항 특성을 검출하였다.



(a)



(b)

그림 2 CUJT의 구조와 부성저항 특성

(a) CUJT 구조

(b) CUJT소자의 부성저항 특성

Fig. 2 Structure of CUJT device and characteristic of negative resistance

(a) Structure of CUJT device

(b) Characteristic of negative resistance

위에서 설계된 소자를 이용하여 CUJT 발진회로를 구성한 것을 그림 3에서 나타내주고 있다. Ra와 C는 각각 가변저항과 가변 캐퍼시터를 의미하며 Ra가 적용학습형 FET에 해당한다. 본 연구에서는 Ra를 9k Ω 에서 1000k Ω 까지 변화시켜 시뮬레이션을 수행하였으며, 동시에 캐퍼시터는 100pF에서 100nF까지 가변시켜 시뮬레이션을 수행하였다.

CUJT의 발진크기 특성을 개선하기 위해 사이리스터 구조를 갖는 PUT소자를 이용한 발진회로를 제시하였다. 그림 4에서 소자의 구조와 부성저항 특성을 제시하였는데, CUJT소자보다 더 높은 전류값에서 부성저항특성을 나타냄을 알 수 있다.

그림 5에서는 PUT 발진회로의 구성을 보여주고 있으며, CUJT와 마찬가지로 Ra가 적용학습형

FET를 대체하고 있다. 여기서는 R_a 를 $4.5M\Omega \sim 9M\Omega$ 까지 변화시켰으며, 가변 캐패시터 C 는 $10pF \sim 100pF$ 까지 변화시켜 시뮬레이션을 수행하였다.

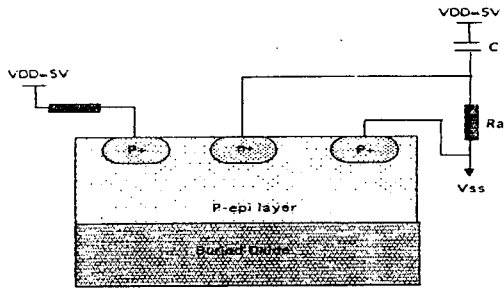


그림 3 CUJT 발진회로의 구성
Fig. 3 CUJT oscillation circuit

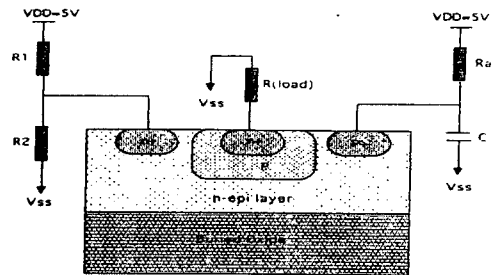
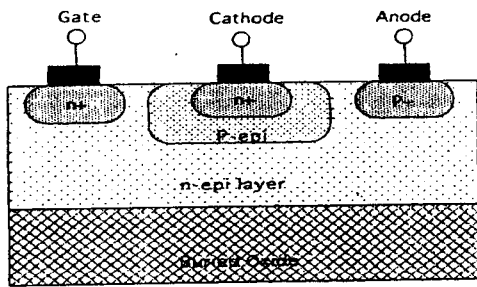


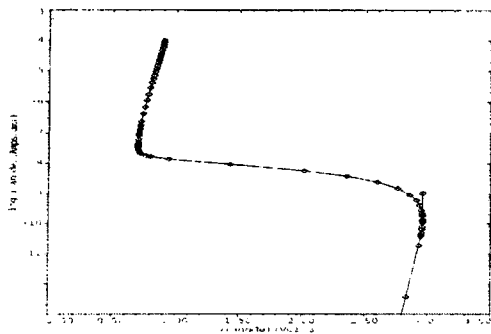
그림 5 PUT 발진회로의 구성
Fig. 5 PUT oscillation circuit

4. CUJT회로와 PUT회로의 발진특성 비교

그림 6(a)에서 각각의 회로에 대해서 발진주파수와 R_a 와의 관계를 나타내고 있다. 주파수 속도면에서 CUJT회로가 PUT회로보다 1300배정도 빠른 결과를 나타내고 있다. 그림 6(b)에서는 발진크기와 R_a 와의 관계를 보여주고 있는데 두 소자 모두 R_a 의 변화에 관계없이 일정한 발진크기를 보여주고 있는데, 그 크기는 $0.46V$, $1.79V$ 를 나타내고 있으며, 주파수 속도와는 달리 PUT회로가 CUJT회로보다 4배정도 큰 결과를 보여주고 있다.



(a)



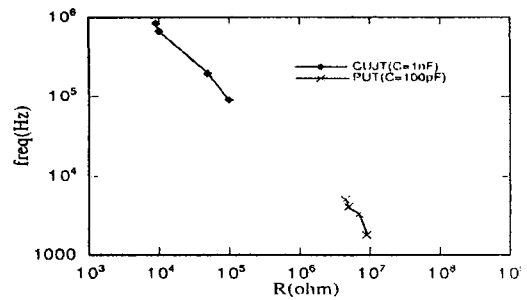
(b)

그림 4 PUT소자의 구조와 부정저항 특성

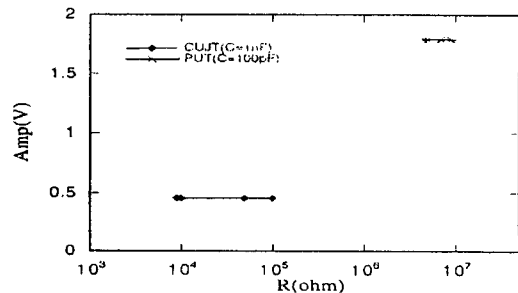
- (a) PUT소자의 구조
- (b) PUT소자의 부정저항 특성

Fig. 4 Structure of PUT device and characteristic of negative resistance

- (a) Structure of PUT device
- (b) Characteristic of negative resistance of PUT device



(a)



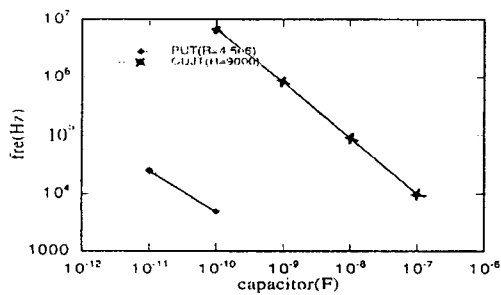
(b)

그림 6 가변저항과 발진주파수 및 발진크기 특성
 (a) 가변저항과 발진주파수
 (b) 가변저항과 발진크기

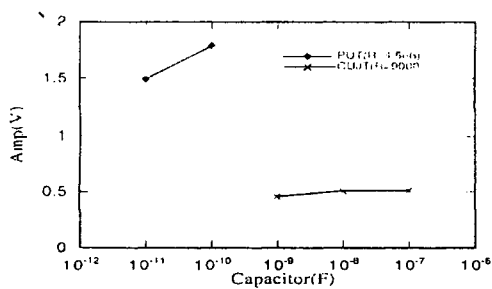
Fig. 6 Variation resistance, oscillation frequency and oscillation amplitude

(a) Variation resistance and oscillation frequency
 (b) Variation resistance and oscillation amplitude

그림7(a)는 발진주파수와 캐퍼시터와의 관계를 보여주고 있으며, 그림 7(b)는 발진크기와 캐퍼시터의 관계를 나타내고 있다. CUJT회로의 가장 빠른 주파수는 6.6MHz이며, PUT회로의 가장 빠른 주파수는 25KHz이다. 반면에 발진크기의 면에 있어서는 CUJT회로의 경우 0.21~0.46V에서 움직이고 있으며, PUT회로의 경우 1.46 ~ 1.79V에서 움직이고 있다.



(a)



(b)

그림 7 가변캐피터와 각 발진주파수 및 발진크기 특성

(a) 가변캐피터와 발진주파수
 (b) 가변캐피터와 발진크기

Fig. 7 Variation capacitor, oscillation frequency and oscillation amplitude respectively

(a) Variation capacitor and oscillation frequency
 (b) Variation capacitor and oscillation amplitude

5. 결 론

본 연구는 MFSFET의 신경회로망의 응용을 위해 CUJT 및 PUT 발진회로에 대해서 시뮬레이션을 수행하여 그 응용의 타당성을 제안하고자 하였다. 신경회로의 다양한 응용을 위해 발진주파수와 정확한 동작결과를 예측할 수 있는 발진크기의 관계를 검토하였다. 넓은 주파수 범위를 갖는 CUJT 발진회로에서는 발진크기가 조금 작다는 단점이 있는 한편, PUT 발진회로에서는 큰 발진크기를 갖는 반면 좁은 주파수 범위를 갖고 있는 단점이 있다. CMOS를 이용하여 빠르고 큰 발진크기를 갖는 발진회로를 설계할 수 있으나, 회로가 복잡하고 소비전력이 크다는 단점이 있다. 본 논문에서 제안하고자 하는 것은 가장 단순한 회로를 설계하여 MFSFET의 신경효과를 극대화시키는데 중점을 두었다. 따라서 CUJT 회로와 PUT회로의 단점들을 보완함과 동시에 기존의 공정에 추가변화가 없는 CCNR 소자를 개발하면 보다 발전적인 결과가 나올 것으로 사료된다.

참고문헌

1. T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu, Int. Solid State Circuit Conf. No., 4.3, 1995
2. Hiroshi Ishiwara, Toshishige Shimamura and Eisuke Tokumitsu, Jpn. J. Appl. Phys., Vol. 36(1997), pp. 1665~1658, 1997
3. H. Ishiwara, Jpn. J. Appl. Phys. Vol. 32, pp442, 1993
4. E. Tokumitsu, R. Nakamura and H. Ishiwara, IEEE Electron Device Lett., EDL-18, pp 160, 1997
5. T. Mihara, S. Hiraide, H. Yoshimori and C. Paz de Araujo, Int. Symp. Integrated Ferroelectrics, No. 86c, 1995