P-32

SADS 법으로 형성한 코발트 폴리사이드 게이트의 전기적 특성

(Electrical Properties of Cobalt Polycide Gate Formed by SADS Method)

정연실, 구본철, 김시중, 김주연, 배규식
수원대학교 전자재료공학과

서론

deep-submicron 대의 초고집적 MOSFET을 구현하기 위해서는 새로운 재료나 공정의 개발이 요구되며, 이에 따라 극복하여야 할 여러 가지 새로운 문제점들이 나타나고 있다. 특히 게이트 영역에서는 산화막의 두께가 10㎚ 이하로 작아짐에 따라 RC 값이 증가하여 소자의 동작속도를 저하시키는 결정적 요인이 되고 있다. 그런데, RC 값을 줄이려면 게이트 전극의 면저항을 낮추어야 하는데, 기존의 다결정 Si 전극으로는 이러한 요구를 충족시키는 데 한계가 있다. 이에 따라 다결정 Si 위에 실리사이드를 적층한 폴리사이드의 적용이 시도되고 있다. 본 연구에서는 비정질 Si 위에 $CoSi_2$를 형성하고 이 $CoSi_2$를 확산원으로 하여 다결정 Si을 도우핑하는 방법(SADS)으로 코발트 폴리사이드 게이트를 만들어 C-V 특성을 조사하였다.

실험방법

본 연구에서는 비저항이 1~20Ω㎝인 4″ P형(100) 실리콘 기판 위에 건식 열산화법으로 5㎚의 산화막을, 게이트 전극을 형성하기 위해 저압 화학 증착 방법으로 150㎚의 비정질 실리콘을 성장 시켰다. 그후 Co 단일막과 Co/Ti 이중막을 이용하여 $CoSi_2$를 형성하였고 뒤이어 As+ 이온을 5E15의 도오즈로 이온주입 하였다. 이렇게 형성된 MOS 커패시터의 전기적 특성을 조사하기 위해 Keithley 590 CV Analyzer를 이용하였다.

결과

Co 단일막을 이용하여 $CoSi_2$를 형성한 경우 열처리 시간이 증가할수록 커패시턴스 값이 낮아졌다. 그러나 열처리 온도가 증가하였을 때에는 커패시턴스의 값이 왼쪽으로 shift 됐다. Co/Ti 이중막을 이용한 경우에서는 열처리 시간을 증가 시켰을 때 단일막의 경우와 같이 커페시턴스의 값은 낮아졌다. 단지 단일막과 비교해 커패시턴스 값의 변화 속도가 현저하게 느렸다. 단일막의 경우에는 900℃에서, 이중막의 경우에는 700℃에서 우수한 전기적 특성이 나타났으며 이중막에서 뛰어난 열적 안정성을 보였다.