

누설 전류 감소를 위한 새로운 다결정 실리콘 박막 트랜지스터 제작 공정에 관한 연구

(A Study on the fabrication Process of new poly-Si TFTs for reducing the leakage current)

김기범, 윤여건, 이병일, 주승기
서울대학교 재료공학부

1. 서론

액정 디스플레이 (LCD) 의 화소 및 구동소자에 적용하기 위해 연구되고 있는 다결정 실리콘 박막 트랜지스터는 기존의 비정질 실리콘 보다 우수한 특성을 얻을수 있는 반면 높은 형성온도와 큰 누설 전류로 인해 상용화에 한계가 있음이 알려져 있다. 최근에 연구가 된 금속 유도 측면 결정화 방법은 간단한 공정으로 500°C 이하에서도 균일한 다결정 실리콘을 얻을 수 있으며, 사진식각을 이용한 소오스/드레인 영역의 부분적 금속 증착방법에 의해 전계이동도의 감소없이도 누설전류가 감소된 트랜지스터를 제작할 수 있음이 보고 되었다. 본 연구에서는 게이트 산화막의 식각 공정조건을 변화하여 사진 식각 공정을 추가하지 않고도 금속 부분증착이 가능하게 하였으며 그에 따른 트랜지스터의 특성을 관찰 하였다.

2. 실험 방법

상용 유리기판위에 PECVD로 1000Å의 비정질 실리콘을 증착시켰으며 건식 식각법으로 능동영역을 형성하였다. 전자 자기 공명(ECR) PECVD로 1000Å의 게이트 산화막을형성 한후, Mo 게이트 2000Å을 스퍼터링으로 증착하였다. 소오스 및 드레인의 접합 경계 부위에 금속이 부분적으로 증착이 되지 않도록 하기 위해 비등방성 식각이 가능한 플라즈마 에칭을 이용하여 게이트와 접합의 경계 영역에 실리콘 산화막이 잔류하게 하였다. 실리콘 산화막을 플라즈마 에칭하기 위해서는 SF₆/CHF₃/Ar 가스를 이용하였다. 결정화 유도를 위한 Ni 30Å을 스퍼터링으로 증착하였으며, 소오스 및 드레인 형성을 위해 이온도핑을 한후 열처리를 통해 TFT를 제작하였다.

3. 결과

SF₆/CHF₃/Ar 가스를 이용하여 플라즈마에칭을 하면 비 등방성 식각에 의해 게이트 옆면에 게이트 산화막의 일부가 잔류하게 되며, 이는 SEM에 의해 확인 할 수 있었다. 플라즈마 식각공정의 변화에 의해 잔류 산화막의 폭을 미세하게 조절할 수 있으며 이와 같은 방법에 의해 공정을 단순화하고 누설전류를 최소화하며 전계 전자 이동도의 감소가 없는 TFT를 제작 할 수 있게 될 것이다.